

部分一括描画装置の処理能力向上のための描画面積最適化

杉原 真[†] 松永 裕介^{††} 村上 和彰^{††}

本稿では、部分一括描画法の描画能力を高めることを目的とし、描画面積を最適にする手法について議論する。部分一括描画は電子線直描やフォトマスクの製造に応用可能な電子線描画技術である。描画装置の減価償却の意味で、部分一括描画法の描画時間は電子デバイスやフォトマスクの価格を決定するものであり、削減されることが望ましい。本稿では、CP マスク上に配列状に搭載されるキャラクタの大きさを最適にすることによって、描画時間を削減する手法を提案する。提案手法により、既存の手法と比べて最大 71.1%の描画時間を削減した。

Character Size Optimization for Higher Throughput of Character Projection Lithography

MAKOTO SUGIHARA,[†] YUSUKE MATSUNAGA^{††}
and KAZUAKI MURAKAMI^{††}

We present a character size optimization technique to enhance throughput of character projection lithography, which can be applied to maskless lithography as well as photomask manufacture. The number of electron beam shots to draw the patterns of circuits is a dominant factor in the manufacture time and the cost for devices. Our technique is capable of drastically reducing them by optimizing the size of characters, which are the patterns to project and are placed on CP masks. Experimental results show that our technique has reduced 71.1% of EB shots in the best case, compared with the ad hoc character sizing.

1. はじめに

昨今の半導体デバイスの製造においては、少量多品種化が進んでいる。今後も半導体デバイスの応用は進展し、半導体デバイスの少量多品種化はますます加速すると考えられる。少量多品種化が進む半導体デバイスの製造においては、その製造コストの増大がしばしば問題となる。半導体デバイス製造コストは主に製造装置およびフォトマスクへの投資によるものである。1つの半導体デバイスに転嫁される、装置およびフォトマスクの償却費 AC_{IC} は以下の式で表される。

$$AC_{IC} = \frac{C_{\text{equipment}}}{T_{\text{lifetime}} \cdot R_{\text{operation}}} \cdot T_{IC} + \frac{C_{\text{photomask}}}{V} \quad (1)$$

ここで、 $C_{\text{equipment}}$ 、 T_{lifetime} 、 $R_{\text{operation}}$ 、 T_{IC} 、 $C_{\text{photomask}}$ 、および V はそれぞれ、製造装置への総投資額、製造装置の寿命、製造装置の稼働率、1つの半

導体デバイス製造に要する時間、フォトマスクへの投資額、および半導体デバイスの生産量である。製造装置への投資は莫大であり、製造装置の処理能力の向上に対する努力は絶え間なく行われている。また、フォトマスクへの投資も甚大であり、半導体デバイス製品ごとにフォトマスクを開発しなければならない。今後、フォトマスクへの投資は以下の理由で急速に増大すると考えられる。

- トランジスタの集積度の進展にともない、フォトマスク上に加工するトランジスタの図形パターン量が増加する。結果として、フォトマスク製造装置の使用時間が増加し、フォトマスク単価が高騰する。
- 設計する回路が複雑化することによって、設計エラーが増加する。結果として、再設計によるフォトマスクのリメイクが増加し、製造するフォトマスク枚数が増加する。

上述のとおり、式(1)の第2項の分子、すなわちフォ

[†] 財団法人九州システム情報技術研究所

Institute of Systems and Information Technologies/KYUSHU (ISIT)

^{††} 九州大学大学院システム情報科学研究院

Graduate School of Information Science and Electrical Engineering, Kyushu University

本稿の簡約版は、2006年3月に筑波大学で開催された情報処理学会SLDM研究会、および、2006年5月にギリシャのコス島で開催されたInternational Symposium on Circuits and Systems (ISCAS)にて発表済みである。

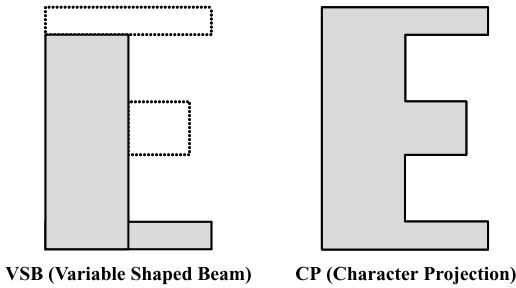


図 1 VSB 法と CP 法における図形描画
Fig. 1 VSB and CP lithographies.

トマスクへの投資額は増加する一方、今後の ASIC 設計においては少量多品種化が進むために、式 (1) の第 2 項の分母、すなわち半導体デバイスの生産量は減少する。したがって、フォトマスクコストを示す第 2 項は今後急激に増加することになる。フォトマスクのコストは半導体デバイス価格を決定するうえで、とりわけ少量生産品においては、大きな影響を及ぼすものであり、安価な半導体デバイスの製造の阻害要因として顕在化しつつある。

電子線描画技術は電子線直描 (マスクレスリソグラフィ)、すなわちフォトマスクを用いない半導体デバイス製造で用いられるものであるとともに、フォトマスク製造でも用いられる技術でもある^{21),22)}。電子線描画においては、電子線描画時間が電子線描画コストを決定づける主要因である。半導体デバイスの製造においては、フォトマスクの有無にかかわらず、電子線描画時間を削減することが電子線描画コストを削減するうえで重要である。電子線直描においては、式 (1) の第 2 項が 0 となり、電子線描画時間の削減は、式 (1) の第 1 項の削減を意味する。フォトマスク製造における電子線描画コストの削減は、式 (1) における $C_{\text{photomask}}$ の削減を意味する。いずれにしろ、電子線描画コストを削減することによって、65 nm 以降のプロセスにおいても安価で競争力のある ASIC を開発することが可能となる。

電子線直描技術はフォトマスクを用いずに電子線を用いてシリコン・ウェーハ上に図形パターンを転写する技術である^{4),9)}。伝統的な電子線直描技術である可変成型描画法 (VSB: variable shaped beam)⁸⁾ の電子線描画装置の描画能力はきわめて低い。図 1 の左図のように、VSB 法においては、図形パターンは矩形、あるいは三角形に分解され、それぞれが描画される。この図においては、“E” という図形は 4 つの矩形に分解され、“E” を描画するためには 4 回の電子線描画が必要となる。伝統的な VSB 描画装置では大量の

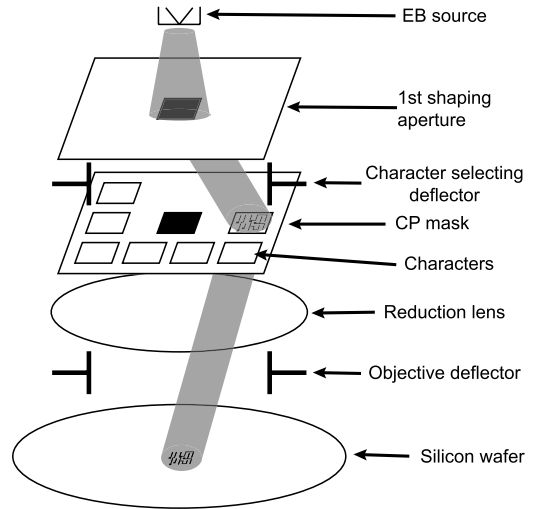


図 2 CP 描画装置の概要
Fig. 2 Simplified CP equipment.

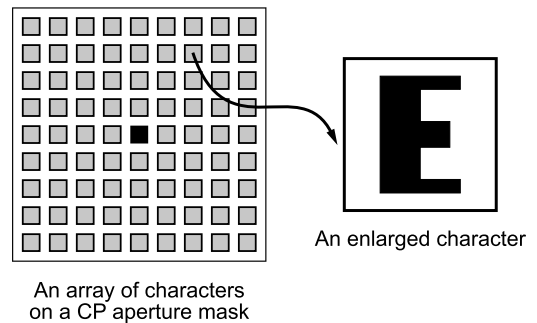


図 3 CP マスク
Fig. 3 A CP mask.

三角形および矩形が描画されるために、描画時間が長くなり、描画装置の描画能力は乏しいものとなる。

部分一括描画法 (CP: character projection) は VSB 法よりも高速に描画することが可能な手法である。CP 法においては、図 2 に示すように、装置内に用意されているキャラクタと呼ばれる図形パターンがシリコンウェーハ表面上に転写され、所望の回路が描画される^{2)~7),10),12),14)~19),21),22)}。図 3 に示すように、キャラクタは CP マスク上に配列状に実現される。たとえば、5 μm 角のキャラクタが 400 個搭載された CP マスクを用いる CP 描画装置が開発されている⁴⁾。CP 法においては、回路中において頻繁に用いられる図形パターンがキャラクタとして実現され、描画単位とされる。一方、セルベース設計においては、基本部品となるセルが回路中において頻繁に用いられる。たとえば、90 nm から 0.35 μm のテクノロジーでは、1 辺が数 μm から数十 μm までのセルが用いられる一方、

CP 描画装置では $10\ \mu\text{m}$ 角までの図形パターンをキャラクタとしてシリコンウェーハ上に転写できる。セルの図形パターンやそれを分割したものがしばしばキャラクタとして実現される。図 1 の左図に示すように、VSB 法では“E”の図形を描画するために必要な描画回数は 4 回である。これに対し、図 1 の右図に示すように、CP 法では“E”の図形をキャラクタとして実現し、これをシリコンウェーハ上に投影する。CP 法においては“E”の図形の描画回数は 1 回であり、この例では CP 法は VSB 法と比べて 4 倍高速であるといえる。CP 法においては、数ミクロン角の領域に収まる図形パターンは、その図形パターンをキャラクタとして実現すれば、どのようなものでも 1 回で描画可能である。CP 法は描画回数、すなわち描画時間を削減するうえで有効な描画法である。CP 法の欠点は CP マスク上に実現できるキャラクタ数が限られており、セルライブラリに含まれるすべてのセルを CP マスク上に実現できない点である。図 3 に示すように、キャラクタは CP マスク上に配列状に並べられ、その数は物理的な制限を受ける。たとえば、複数の CP マスクを用い、すべてのセルを CP マスク上に実現したとしても、CP マスクの切替えに許容できない時間を要する。本稿では、各レイヤの描画に用いる CP マスクは 1 つであると仮定し、CP マスク上にないセルは VSB 法によって描画することとする。CP 法の他の弱点は、電子線描画領域の大きさをオンラインで変更することが難しいために、キャラクタの大きさが一定であるという点である。これに対し、セルの大きさはセルごとに異なる。集積回路設計に 1 種類のセルライブラリを用いる場合について考えよう。電源線が 1 方向に設置される場合、セルの高さは一定である一方、セルの幅はセルごとに異なる。また、電源線を縦方向および横方向の 2 方向に設置する場合には、セルの幅および高さはばらばらになってしまう。この意味で、電源線を縦および横の 2 方向に設置する場合、キャラクタとセルの親和性は低くなるといえる。設計自動化の観点からは、どのようなキャラクタの大きさを採用すれば、電子線の総描画時間を小さくできるかを議論する必要がある。本稿では、最適なキャラクタの大きさを計算により導出し、回路を描画するために要する描画回数、すなわち描画時間を最小にする手法を提案する。本稿で提案する描画面積を最適化する手法は、ソフトウェアのアプローチにより CP 描画装置の描画能力を向上させ、デバイスに転嫁される装置償却費を削減するものである。

本稿は次のように構成される。2 章では、キャラク

タの最適な大きさを導出し、描画回数を最小化する非線形計画モデルを構築する。3 章では、2 章で与える非線形計画問題の線形化を行う。4 章では、提案手法をいくつかのベンチマーク回路に適用し、キャラクタの大きさと描画回数について実験的に調査する。計算機実験により、最も効果がある場合で、提案手法は既存の手法と比べて 71.1%の描画時間を削減できることを示す。5 章では本稿の結論を述べる。

2. 描画時間最小化を目的とした描画面積最適化問題

本章では、CP マスクのキャラクタの大きさを最適にすることにより、描画時間を最小化する問題を定義する。

CP マスク上に実現するセルは一定の大きさのキャラクタで描画される。もし、セルがキャラクタよりも大きい場合、セルの図形パターンは複数のキャラクタで描画できるように分割される。これまでの研究では、CP 法での描画面積、すなわち、CP マスク上のキャラクタの大きさは与えられるものであり、定数として扱われてきた^{4),11)~15)}。これは、CP 描画装置の制限、あるいは CP 描画装置の開発者の直感に基づくものである。本章では、CP 描画装置の描画時間を最小化するために、CP マスク上のキャラクタの大きさを最適にする問題 P_S (“S” は size を表す) を議論する。本最適化問題 P_S は以下のように述べることができる。

- C 種類のセル、設計データにおけるセルの参照回数 R_1, \dots, R_C 、セルの 1 インスタンスを CP 法で描画するために要する描画回数 $s_{CP_i}(w_{\text{char}}, l_{\text{char}})$ 、セルの 1 インスタンスを VSB 法で描画するために要する描画回数 s_{VSB_i} 、CP マスクの幅 W_{CP} と高さ L_{CP} 、および、隣接するキャラクタ間の距離 G が与えられたとき、回路の描画に要する描画回数が最小となるようにキャラクタの幅 w_{char} 、高さ l_{char} 、および、各セルの描画方法、すなわち、CP 法か VSB 法かを決定せよ。

この問題をモデル化するために、 C 種類のセルからなる回路を考える。セル i は回路中で R_i 回だけ出現し、CP 法か VSB 法かのいずれかによって描画される。セル i の 1 インスタンスを VSB 法で描画するために必要な描画回数を s_{VSB_i} とし、CP 法で描画するために必要な描画回数を $s_{CP_i}(w_{\text{char}}, l_{\text{char}})$ とする。 s_{VSB_i} は定数であり、 $s_{CP_i}(w_{\text{char}}, l_{\text{char}})$ は w_{char} および l_{char} の関数である。ここで、各セルの描画法を定式化するために 0-1 変数 x_i ($1 \leq i \leq N_{\text{cell}}$) を導入する。0-1 変数 x_i は以下のように定義される。

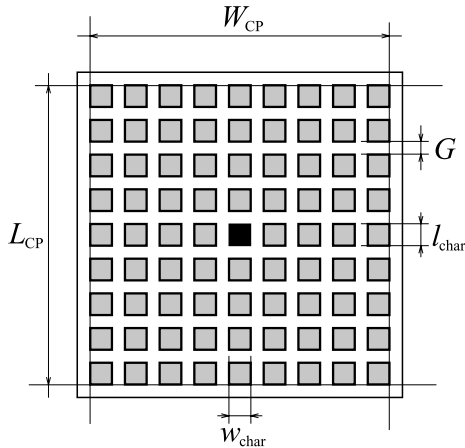


図 4 CP マスクのキャラクタの大きさ
Fig. 4 Specification of a CP mask.

$$x_i = \begin{cases} 1 & (\text{セル } i \text{ が CP 法で描画される場合}), \\ 0 & (\text{セル } i \text{ が VSB 法で描画される場合}). \end{cases}$$

回路を描画するために要する総描画回数 $S_S(x, w_{char}, l_{char})$ は以下のように与えられる。

$$\begin{aligned} S_S &= \text{CP 法での描画回数} + \text{VSB 法での描画回数} \\ &= \sum_{i=1}^c R_i s_{CP_i}(w_{char}, l_{char}) x_i \\ &\quad + \sum_{i=1}^c R_i s_{VSB_i}(1 - x_i) \\ &= \sum_{i=1}^c \{s_{CP_i}(w_{char}, l_{char}) - s_{VSB_i}\} R_i x_i \\ &\quad + \sum_{i=1}^c R_i s_{VSB_i}. \end{aligned} \tag{2}$$

セルの大きさとキャラクタの大きさに応じて、CP マスク上で占有されるキャラクタ数はセルごとに異なる。CP マスクの大きさは有限であるために、CP マスク上に搭載できるキャラクタ数には制約が存在する。それゆえに、以下の制約が導かれる。

$$\begin{aligned} \sum_{i=1}^c c_i(w_{char}, l_{char}) \cdot x_i \\ \leq N_{char}(w_{char}, l_{char}, W_{CP}, L_{CP}, G) \end{aligned} \tag{3}$$

ここで、 $c_i(w_{char}, l_{char})$ はセル i を CP マスクに搭載するために要するキャラクタ数を示し、これは当該セルの 1 インスタンスの描画回数 $s_{CP_i}(w_{char}, l_{char})$ と等しい。また、 $N_{char}(w_{char}, l_{char}, W_{CP}, L_{CP}, G)$ は、キャラクタの幅および高さがそれぞれ w_{char} および l_{char} で与えられ、CP マスクの幅および高さがそれぞ

れ W_{CP} および L_{CP} で与えられ、かつ、キャラクタ間の距離が G で与えられるときの、CP マスク上に搭載できるキャラクタの最大数を示す。 $w_{char}, l_{char}, W_{CP}, L_{CP}$, および G について、図 4 に説明を示す。ここで、本問題においては、 w_{char} および l_{char} は変数であり、 W_{CP}, L_{CP} , および G は定数であることに注意されたい。

式 (2) で表される目的関数、ならびに式 (3) で表される制約式とともに非線形項を含む。本問題を整数計画問題として解くためには、式 (2) および (3) を線形化する必要がある。

3. 描画面積最適化問題の線形化

前章で示した問題 P_S を整数計画問題として解くためには、式 (2) で表される目的関数および式 (3) で表される制約式を線形関数の形で表現する必要がある。問題 P_S のような非線形計画問題は標準的な線形化手法を用いて線形化することができる²⁰⁾。

まず、式 (2) で表される目的関数の線形表現について議論する。目的関数において用いられている $s_{CP_i}(w_{char}, l_{char})$ を線形関数として表現する。

今、その幅および高さがそれぞれ W_{cell_i} および L_{cell_i} で与えられるセル i のためにキャラクタを作成することを考える。キャラクタの大きさを小さくすればするほど、単なる矩形や三角形といった共通する図形を抽出しやすくなるが、このように描画領域が小さく、VSB 法でも CP 法で描画回数と同じものに対しては、CP マスク上のキャラクタを浪費するという意味で、CP 法を採用することは望ましくない。単なる矩形や三角形といった図形パターンは VSB 法で描画すべきものである。また、電子線の解像度による制限からもキャラクタの大きさはいくらかでも小さくできるというものではない。これらのことより、キャラクタの幅を示す変数 w_{char} および高さを示す変数 l_{char} においては W_{min} および L_{min} で示される最小値が導入される。また、CP マスクの大きさ、あるいは電子線で描画できる領域の大きさに制限があるために、 w_{char} および l_{char} の値においてはそれぞれ W_{max} および L_{max} で表される最大値が存在する。図 5 に示すように、セル i を CP 法で描画するためには、1 つ以上のキャラクタで描画する必要があり、以下の数のキャラクタを作成する必要がある。

$$\begin{aligned} s_{CP_i}(w_{char}, l_{char}) &= \frac{\text{キャラクタの配列の列数}}{\times \text{キャラクタの配列の行数}} \end{aligned} \tag{4}$$

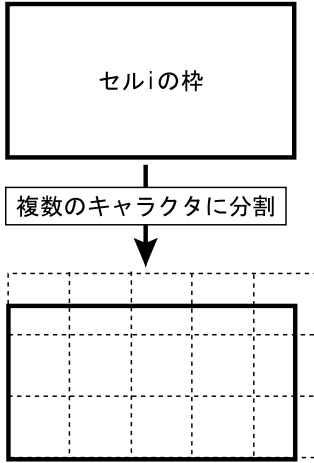


図5 セルの分割
Fig.5 Partitioning a logic cell.

$$= \left\lceil \frac{W_{cell_i}}{w_{char}} \right\rceil \cdot \left\lceil \frac{L_{cell_i}}{l_{char}} \right\rceil \quad (5)$$

上記の関数 $s_{CP_i}(w_{char}, l_{char})$ は変数 w_{char} および l_{char} の値で決定づけられる階段関数である。

図5に示すようにセルの図形パターンを複数のキャラクタに分割するとき、セルの図形パターンはキャラクタの配列に分割される。今、セル i を j 列 k 行のキャラクタの配列で描画することを考える。以下に定義される 0-1 変数 $y_{i,j,k}$ を導入する。

$$y_{i,j,k} = \begin{cases} 1 & \text{セル } i \text{ の分割において、キャラクタ配列が } j \text{ 列 } k \text{ 行である場合,} \\ 0 & \text{その他.} \end{cases} \quad (6)$$

キャラクタの配列が j 列 k 行である場合、セル i を CP マスク上に搭載するためのキャラクタ数は

$$S_{CP_{i,j,k}} = j \cdot k \quad (7)$$

で表される。このとき、キャラクタの配列の列数、行数に関して以下の制約が存在する。

$$y_{i,j,k} = 1 \rightarrow j - 1 < \frac{W_{cell_i}}{w_{char}} \leq j, \quad (8)$$

$$y_{i,j,k} = 1 \rightarrow k - 1 < \frac{L_{cell_i}}{l_{char}} \leq k. \quad (9)$$

上記制約式は以下のように変形できる。

$$y_{i,j,k} = 1 \rightarrow \frac{W_{cell_i}}{j} \leq w_{char} < \frac{W_{cell_i}}{j-1} \quad (10)$$

$$y_{i,j,k} = 1 \rightarrow \frac{L_{cell_i}}{k} \leq l_{char} < \frac{L_{cell_i}}{k-1} \quad (11)$$

上記の制約式は非線形であり、線形化を施すと以下のようなになる。

$$w_{char} - \frac{W_{cell_i}}{j} \cdot y_{i,j,k} \geq 0 \quad (12)$$

$$w_{char} + \left(W_{max} - \frac{W_{cell_i}}{j-1} \right) \cdot y_{i,j,k} < W_{max} \quad (13)$$

$$l_{char} - \frac{L_{cell_i}}{k} \cdot y_{i,j,k} \geq 0 \quad (14)$$

$$l_{char} + \left(L_{max} - \frac{L_{cell_i}}{k-1} \right) \cdot y_{i,j,k} < L_{max} \quad (15)$$

ただし、 W_{max} および L_{max} はそれぞれ w_{char} および l_{char} の最大値を示す。

式 (6) および (7) より、 $s_{CP_i}(w_{char}, l_{char})$ は以下のような線形関数で表すことができる。

$$s_{CP_i}(w_{char}, l_{char}) = \sum_{j,k} S_{CP_{i,j,k}} y_{i,j,k} \quad (16)$$

セル i が CP 法によって描画される場合、キャラクタの作り方は 1 通りあればよい。よって、以下の制約式が導入される。

$$x_i = 1 \rightarrow \sum_{j,k} y_{i,j,k} = 1 \quad (17)$$

上記の制約式を線形化すると以下のとおりとなる。

$$\sum_{j,k} y_{i,j,k} - x_i = 0 \quad (18)$$

式 (16) は線形関数であるが、式 (16) を用いて式 (2) で表される目的関数に $s_{CP_i}(w_{char}, l_{char})$ の代入を行うと、 x_i と $y_{i,j,k}$ の積項が生じる。すなわち、非線形項が生じるためにこの部分を線形化する必要がある。このために、以下に示す 0-1 変数 $z_{i,j,k}$ を新たに導入する。

$$z_{i,j,k} = x_i \cdot y_{i,j,k} \quad (19)$$

このとき、以下の制約式が導入される。

$$z_{i,j,k} \leq x_i \quad (20)$$

$$z_{i,j,k} \leq y_{i,j,k} \quad (21)$$

$$z_{i,j,k} \geq x_i + y_{i,j,k} - 1 \quad (22)$$

よって、式 (2) で表される目的関数は以下の線形関数で表される。

$$S_S = \sum_{i,j,k} R_i S_{CP_{i,j,k}} z_{i,j,k} - \sum_i R_i S_{VSB_i} x_i \quad (23)$$

ここで、式 (2) の第 2 項は定数であるために、目的関数としては不要である。式 (23) の導出において本項に該当する部分は削除している点に注意されたい。

次に、制約式 (3) で用いられている項 $N_{char}(w_{char}, l_{char}, L_{CP}, W_{CP}, G)$ を線形関数で表すことを考える。CP マスクはキャラクタの配列によって構成される。今、CP マスクが j 列 k 行のキャラクタの配列から構成されるとする。ここで、以下の 0-1 変数 $\delta_{j,k}$ を導入する。

$$\delta_{j,k} = \begin{cases} 1 & \text{CP マスク上で、キャラクタの配列} \\ & \text{が } j \text{ 列 } k \text{ 行である場合,} \\ 0 & \text{その他.} \end{cases}$$

このとき, $N_{\text{char}}(l_{\text{char}}, w_{\text{char}}, L_{\text{CP}}, W_{\text{CP}}, G)$ は以下のように表される.

$$N_{\text{char}}(l_{\text{char}}, w_{\text{char}}, L_{\text{CP}}, W_{\text{CP}}, G) = \sum_{j,k} N_{j,k} \cdot \delta_{j,k} \quad (24)$$

ただし,

$$N_{j,k} = j \cdot k \quad (25)$$

$$\delta_{j,k} = 1 \rightarrow j = \left\lfloor \frac{W_{\text{CP}} - (j-1) \cdot G}{w_{\text{char}}} \right\rfloor \quad (26)$$

$$\delta_{j,k} = 1 \rightarrow k = \left\lfloor \frac{L_{\text{CP}} - (k-1) \cdot G}{l_{\text{char}}} \right\rfloor \quad (27)$$

$$\sum_{j,k} \delta_{j,k} = 1 \quad (28)$$

上記の制約式 (26) および (27) は非線形式であり, 以下の線形式に変換される.

$$w_{\text{char}} + \left\{ W_{\text{max}} - \frac{W_{\text{CP}} - (j-1) \cdot G}{j} \right\} \cdot \delta_{j,k} \leq W_{\text{max}} \quad (29)$$

$$w_{\text{char}} - \left\{ \frac{W_{\text{CP}} - (j-1) \cdot G}{j+1} \right\} \cdot \delta_{j,k} > 0 \quad (30)$$

$$l_{\text{char}} + \left\{ L_{\text{max}} - \frac{L_{\text{CP}} - (k-1) \cdot G}{k} \right\} \cdot \delta_{j,k} \leq L_{\text{max}} \quad (31)$$

$$l_{\text{char}} - \left\{ \frac{L_{\text{CP}} - (k-1) \cdot G}{k+1} \right\} \cdot \delta_{j,k} > 0 \quad (32)$$

よって, 問題 \mathcal{P}_S の数理計画モデルは以下のように表される.

<p>Minimize the cost function $S_S = \sum_{i,j,k} R_i S_{\text{CP}_{i,j,k}} z_{i,j,k} - \sum_i R_i S_{\text{VSB}_i} x_i$</p> <p>subject to</p> <p>(1) $\sum_{i,j,k} S_{\text{CP}_{i,j,k}} \cdot z_{i,j,k} - \sum_{j,k} N_{j,k} \cdot \delta_{j,k} \leq 0$</p> <p>(2) $w_{\text{char}} - \frac{W_{\text{cell}_i}}{j} y_{i,j,k} \geq 0$, for all i, j, k.</p> <p>(3) $w_{\text{char}} + (W_{\text{max}} - \frac{W_{\text{cell}_i}}{j-1}) \cdot y_{i,j,k} - W_{\text{max}} < 0$, for all i, j, k.</p> <p>(4) $l_{\text{char}} - \frac{L_{\text{cell}_i}}{k} y_{i,j,k} \geq 0$, for all i, j, k.</p> <p>(5) $l_{\text{char}} + (L_{\text{max}} - \frac{L_{\text{cell}_i}}{k-1}) \cdot y_{i,j,k} - L_{\text{max}} < 0$, for all i, j, k.</p> <p>(6) $\sum_{j,k} y_{i,j,k} - x_i = 0$, for all i.</p> <p>(7) $z_{i,j,k} \leq x_i$, for all i, j, k.</p> <p>(8) $z_{i,j,k} \leq y_{i,j,k}$, for all i, j, k.</p> <p>(9) $z_{i,j,k} \geq x_i + y_{i,j,k} - 1$, for all i, j, k.</p>

<p>(10) $\sum_{j,k} \delta_{j,k} = 1$.</p> <p>(11) $w_{\text{char}} + \left\{ W_{\text{max}} - \frac{W_{\text{CP}} - (j-1) \cdot G}{j} \right\} \cdot \delta_{j,k} \leq W_{\text{max}}$, for all j, k.</p> <p>(12) $w_{\text{char}} - \left\{ \frac{W_{\text{CP}} - (j-1) \cdot G}{j+1} \right\} \cdot \delta_{j,k} > 0$, for all j, k.</p> <p>(13) $l_{\text{char}} + \left\{ L_{\text{max}} - \frac{L_{\text{CP}} - (k-1) \cdot G}{k} \right\} \cdot \delta_{j,k} \leq L_{\text{max}}$, for all j, k.</p> <p>(14) $l_{\text{char}} - \left\{ \frac{L_{\text{CP}} - (k-1) \cdot G}{k+1} \right\} \cdot \delta_{j,k} > 0$, for all j, k.</p>

Variables

- x_i : binary variables.
- w_{char} : real variable.
- l_{char} : real variable.
- $y_{i,j,k}$: binary variables.
- $z_{i,j,k}$: binary variables.
- $\delta_{j,k}$: binary variables.

Bounds

- $W_{\text{min}} \leq w_{\text{char}} \leq W_{\text{max}}$.
- $L_{\text{min}} \leq l_{\text{char}} \leq L_{\text{max}}$.

4. 実 験

前章で導出した数理計画モデルをもとに, 我々は CP 法での描画面積, および, 各セルの描画法を最適に決定し, 回路を描画するために要する描画回数を最小化するソフトウェアを開発した. 本開発において, 商用の数理計画エンジンである ILOG 社の CPLEX 9.1¹⁾ を用いた. 我々は表 1 に示す 4 つのベンチマーク回路を用いて, 描画面積に対する描画回数を調査した. 用いたセルライブラリに含まれるセルの数は 300~400 種類であり, 論理合成の結果, 100 個以下のセルがマッピングされた. CP マスクにセルを搭載することを考えるとき, 機能的には同じであるが物理的な配置 (反転および回転) が異なるセルは別個のセル・オブジェクトと見なす必要がある. 4 つのベンチマーク回路の配置配線を行った結果, セル・オブジェクト数は 100~

表 1 ベンチマーク回路の説明
Table 1 Benchmark circuits.

	回路 1	回路 2	回路 3	回路 4
使用されたセル・オブジェクト数 (反転, 回転を無視)	39	55	74	76
使用されたセル・オブジェクト数 (反転, 回転を区別)	118	164	211	132
セルライブラリ中のセル数 (反転, 回転を無視)	310	310	395	395
# セル・インスタンス数	3,875	3,943	2,311	35,683
Mirror-X	あり	あり	あり	あり
Mirror-Y	あり	あり	あり	なし
Mirror-XY	あり	あり	あり	なし
テクノロジ・ノード [μm]	0.35	0.35	0.25	0.25

表 2 計算機実験で対象とする CP 描画装置の仕様
Table 2 Specification of CP equipment.

	大きさ	シリコンウェーハ上で [μm]	の換算値 [μm]
CP マスクの高さと幅	650		130
隣接するキャラクタ間の距離	5		1
キャラクタの最大長	50		10

表 3 想定する 3 つのケース
Table 3 Three experimental conditions.

	縦の長さ	横の長さ	備考
ケース 1	$5.0 \mu\text{m}$	$5.0 \mu\text{m}$	文献 4) の描画面積。この値は装置の仕様から与えられる。
ケース 2	$\leq 10 \mu\text{m}$	$\leq 10 \mu\text{m}$	現状可能なビームサイズで最適な描画面積。
ケース 3	制限なし	制限なし	任意の大きさの電子ビームで最適な描画面積。

200 個程度であった。各ベンチマーク回路における総セル・インスタンス数を表 1 に示す。ここで、数理計画問題 P_s の大きさはセルのインスタンス数ではなく、セルのオブジェクト数に影響を与えられる点に注意されたい。セルのインスタンス数は数理計画モデルにおけるセルの参照回数 R_i を決定するものであり、変数の数、あるいは、制約式の数を増減させるものではない。したがって、セルのインスタンス数は数理計画問題の大きさに影響を与えるものではない。

実験で仮定した描画装置の仕様を表 2 に示す。本描画装置においては、5 倍体の CP マスクを採用した。CP マスク上の図形パターンはシリコンウェーハ上では $1/5$ に縮小される。本表においては、CP マスクの 1 辺、隣接キャラクタ間距離、および、キャラクタ 1 辺の最大長を実際の大きさ、およびシリコンウェーハ上換算値で示す。シリコンウェーハ上での値でキャラクタの大きさが $5 \mu\text{m}$ 角の場合、CP マスクは 441 個のキャラクタを搭載可能である。我々は、現在の電子線描画技術で可能な最大の電子線描画領域をシリコンウェーハ上の値で 10 ミクロン角と仮定した。

表 3 に示す 3 つのケースを想定し、それぞれのケースにおけるポリシリコン層を描画するための描画回数を調査した。ケース 1 では、キャラクタの大きさとして $5 \mu\text{m}$ 角を仮定した。この値は文献 4) で用いられているものであり、描画装置の仕様によって与えられるものである。ケース 2 では、電子線の描画領域の制限により、ウェーハ上の値で最大 $10 \mu\text{m}$ 角のキャラクタを描画できると仮定した。この制約の下で最適な描画面積を探索した。また、ケース 3 では、電子線の描画領域の大きさに制限はないといった仮定の下で最適な描画面積を求めた。

表 4 3 つのケースにおける描画回数
Table 4 The number of EB shots.

	回路 1	回路 2	回路 3	回路 4
ケース 1	64,704	41,469	16,889	164,311
ケース 2	38,669	21,122	7,674	47,502
ケース 3	21,150	15,120	7,674	39,550

実験によって得られた描画回数を表 4 に示す。ケース 1 とケース 2 を比較して、回路 4 においては最大 71.1% の描画回数が削減された。ケース 1 および 2 のいずれにおいても、用いた描画面積は現在の電子線描画の技術レベルで実現可能なものである。ケース 1 および 2 が異なる点は描画面積を最適化するかどうかである。ケース 1 および 2 の相違により、部分一括描画装置の電子線描画領域の大きさは装置使用者が設定できることが望ましいことがうかがえる。現状の CP 描画装置においては、装置製造者のみによる CP マスクの交換が可能であるために、今後は装置使用者による CP マスクの交換が可能になることが望ましい。これにより装置使用者が製造する半導体デバイスごとに部分一括描画装置の処理能力の向上が可能となる。表 4 に示すように、任意の大きさの電子線を用いて描画できると仮定した場合は、さらに描画回数を削減することができる。ケース 1 と 3 を比較した場合、最高で 75.9% の描画回数が削減され、ケース 2 と 3 を比較した場合、最高で 31.2% の描画回数が削減された。ケース 2 と 3 の相違により、電子線描画領域の大きさを大きくすればどれだけの描画能力の向上を図れるかが分かる。電子線描画領域を大きくすることは技術的困難をとまなうが、描画領域を大きくすることにより最大 30% 程度の描画時間削減が見込める。このデータは部分一括描画装置開発者が電子ビーム銃を開発するうえでの指針となる。

描画面積の最適化のために用いた計算環境の CPU は AMD Opteron Processor 275 2.2 GHz である。3 つのケースで描画面積を最適化するために要した計算時間を表 5 に示す。描画面積の最適化プロセスは最悪 1 分強の計算時間で終了した。繰返しになるが、セルのインスタンス数は計算時間に影響を与えるものではない。計算時間に影響を与えるものはセルのオブジェクト数、および描画面積の大きさの定義域である。セルのミラーリングを考慮してもセル・オブジェクト数は小さなものであり、最適化に要する計算時間は短いものとなる。

今後の微細化の進展を鑑みると、ムーアの法則に則りセルインスタンス数は急激に増加するが、本数理計画問題の規模に影響を与えるセルオブジェクト数はほ

表 5 描画面積を最適化するために要した計算時間 [s]

Table 5 Computation time.				
	回路 1	回路 2	回路 3	回路 4
ケース 1	0.0	0.0	0.0	0.0
ケース 2	7.4	11.2	4.9	0.1
ケース 3	2.9	2.4	15.8	0.5

とんど増加しない。セルオブジェクト数の増加はテクノロジーノードの進展とはほとんど関係なく、むしろ設計者の要求によりセルライブラリを拡充する点に帰するであろう。現在、ある商用セルライブラリにおいては、500 個程度のセルが用いられており、ミラーリングを考慮すると、2,000 個程度のセルオブジェクトが存在することになる。セルオブジェクト数の上限値としては、2,000 個程度が妥当であると考えられる。提案する数理計画問題においては、与える条件によって変動はあるものの、2,000 個のセルオブジェクトを含む設計データを対象として最適化を行う場合、変数および制約式の数は数万個程度となる。変数および制約式の数は数理計画問題においてはしばしば問題の規模の指標として用いられるが、変数および制約式の数が数万個程度の数理計画問題は、現在の最適化エンジンの能力からすると、十分対応可能な規模の問題であると考えられる。もちろん、計算時間に支障が生じる問題規模となる場合は、発見的解法を開発する必要がある。

5. おわりに

本稿では、部分一括描画法における描画面積を最適にし、描画時間を削減する数理計画モデルを構築した。さらに、4 つのベンチマーク回路に対して数理計画問題を解き、ベンチマーク回路の描画時間や描画面積を調査した。計算機実験では、現状で実現可能な大きさの電子線を用いて、提案手法が最大 71.1% の描画回数を削減し、我々の提案手法が描画回数を削減するために有効であることを確認した。実験結果により、部分一括描画装置の出荷後に描画装置の使用者が描画面積を設定できるように、描画装置を開発する必要があることが分かった。

提案した描画面積最適化手法は、ソフトウェアのアプローチによってより少ない描画時間を実現し、部分一括描画装置の描画能力を向上させるものである。描画能力の向上により、半導体デバイスに転嫁される描画装置償却費は削減され、結果として半導体デバイスの単価を抑制することができる。少量の半導体デバイスを安価に開発できることは、半導体デバイスのあらゆる分野への応用を可能とし、高度情報化を加速するものである。また、部分一括描画法はフォトマスク開

発への応用も可能であり、部分一括描画法の描画時間の削減は将来的には大量生産品の価格を抑制することにもつながる。

参考文献

- 1) ILOG, Inc.: *CPLEX 9.1 Reference Manual* (Apr. 2005).
- 2) Hattori, K., Yoshikawa, R., Wada, H., Kusakabe, H., Yamaguchi, T., Magoshi, S., Miyagaki, A., Yamasaki, S., Takigawa, T., Kanoh, M., Nishimura, S., Housai, H. and Hashimoto, S.: Electron-beam direct writing system EX-8D employing character projection exposure method, *Journal of Vacuum Science & Technology B*, Vol.11, Issue 6, pp.2346–2351, (Nov. 1993).
- 3) Hirumi, J., Kuriyama, K., Yoshioka, N., Yoshikawa, R., Hojo, Y., Matsuzaka, T., Tanaka, K. and Hoga, M.: Shot number analysis at 65 nm node mask writing using VSB writer, *Proc. SPIE Volume: 5130, Photomask and Next-Generation Lithography Mask Technology X*, pp.309–317 (Apr. 2003).
- 4) Inanami, R., Magoshi, S., Kousai, S., Hamada, M., Takayanagi, T., Sugihara, K., Okumura, K. and Kuroda, T.: Throughput enhancement strategy of maskless electron beam direct writing for logic device, *Technical Digest of IEEE International Electron Devices Meeting*, pp.833–836 (Dec. 2000).
- 5) Inanami, R., Magoshi, S., Kousai, S., Ando, A., Nakasugi, T., Mori, I., Sugihara, K. and Miura, A.: Maskless lithography: Estimation of the number of shots for each layer in a logic device with character-projection-type low-energy electron-beam direct writing system, *Proc. SPIE Volume: 5037, Emerging Lithographic Technologies VII*, pp.1043–1050 (June 2003).
- 6) Nakamura, F., Watanabe, K., Kinoshita, H., Sinozaki, H., Kojima, Y., Morita, S., Noguchi, K., Yamaguchi, N., Isokawa, H., Kushitani, K., Satoh, T., Koshihara, T., Oota, T., Nakasugi, T. and Mizuno, H.: A character projection low energy electron beam direct writing system for device of small production lot with a variety of design, *Proc. SPIE Volume: 6151, Emerging Lithographic Technologies X*, 61512A (Feb. 2006).
- 7) Nakasugi, T., Ando, A., Inanami, R., Sasaki, N., Ota, T., Nagano, O., Yamazaki, Y., Sugihara, K., Mori, I., Miyoshi, M., Okumura, K. and Miura, A.: Maskless lithography: A low-energy electron-beam direct writing system

- with a common CP aperture and the recent progress, *Proc. SPIE Volume: 5037, Emerging Lithographic Technologies VII*, pp.1051–1058 (June 2003).
- 8) Pfeiffer, H.C.: Variable spot shaping for electron beam lithography, *Journal of Vacuum Science & Technology*, Vol.15, No.3, pp.887–890 (May/June 1978).
 - 9) Pfeiffer, H.C.: Recent Advances in electron-beam lithography for the high-volume production of VLSI devices, *IEEE Trans. electron devices*, Vol.ED-26, No.4, pp.663–674 (1979).
 - 10) Sakitani, Y., Yoda, H., Todokoro, H., Shibata, Y., Yamazaki, T., Ohbitu, K., Saitou, N., Moriyama, S., Okazaki, S., Matsuoka, G., Murai, F. and Okumura, M.: Electron-beam cell-projection lithography system, *Journal of Vacuum Science & Technology B*, Vol.10, Issue. 6, pp.2759–2763 (Nov. 1992).
 - 11) 杉原 真, 高田大河, 中村健太, 稲浪良市, 林 博昭, 岸本克己, 長谷部鉄也, 河野幸弘, 松永裕介, 村上和彰, 奥村勝弥: キャラクタプロジェクト法のためのセルライブラリ開発手法, 電子情報通信学会技術報告, SIP2005-128, ICD2005-147, IE2005-92, pp.105–110 (Oct. 2005).
 - 12) Sugihara, M., Takata, T., Nakamura, K., Inanami, R., Hayashi, H., Kishimoto, K., Hasebe, T., Kawano, Y., Matsunaga, Y., Murakami, K. and Okumura, K.: Cell library development methodology for throughput enhancement of electron beam direct writing systems, *Proc. International Symposium on System-on-Chip*, pp.137–140 (Nov. 2005).
 - 13) Sugihara, M., Takata, T., Nakamura, K., Inanami, R., Hayashi, H., Kishimoto, K., Hasebe, T., Kawano, Y., Matsunaga, Y., Murakami, K. and Okumura, K.: Technology mapping technique for throughput enhancement of character projection equipment, *Proc. SPIE Volume: 6151, Emerging Lithographic Technologies X*, pp.71–82 (Feb. 2006).
 - 14) Sugihara, M., Takata, T., Nakamura, K., Inanami, R., Hayashi, H., Kishimoto, K., Hasebe, T., Kawano, Y., Matsunaga, Y., Murakami, K. and Okumura, K.: Cell library development methodology for throughput enhancement of character projection equipment, *IEICE Trans. Electronics*, Vol.89-C, No.3, pp.377–83 (2006).
 - 15) Sugihara, M., Takata, T., Nakamura, K., Matsunaga, Y. and Murakami, K.: CP mask development methodology for MCC systems, *Proc. SPIE Volume: 6283, Photomask and Next-Generation Lithography Mask Technology XIII*, 62833J (Apr. 2006).
 - 16) 杉原 真, 中村健太, 松永裕介, 村上和彰: マルチコラムセル描画装置のための CP マスク開発手法, 情報処理学会 DA シンポジウム, pp.25–30 (July 2006).
 - 17) Sugihara, M., Nakamura, K., Matsunaga, Y. and Murakami, K.: CP mask optimization for enhancing the throughput of MCC systems, to appear in *Proc. 26th Annual BACUS Symposium on Photomask Technology* (Sep. 2006).
 - 18) Sugihara, M., Nakamura, K., Matsunaga, Y. and Murakami, K.: Technology mapping technique for increasing throughput of character projection lithography, to appear in *IEICE Trans. Electronics*, Vol.E90-C, No.5 (2007).
 - 19) Tomo, Y., Shimizu, I., Kojima, Y., Yoshida, A., Takenaka, H. and Yamabe, M.: Shot number analysis on character projection e-beam lithography for random logic device fabrication at 70 nm node, *Proc. SPIE Volume: 4343, Emerging Lithographic Technologies V*, pp.715–726 (Feb. 2001).
 - 20) Williams, H.P.: *Model Building in Mathematical Programming*, John Wiley (1999).
 - 21) Yamabe, M.: Overview of CPL activities in Japan, *the handout of CPL Workshop* (Sep. 2005).
 - 22) Yasuda, H., Haraguchi, T. and Yamada, A.: A Proposal of MCC (multi-column cell with lotus root lens) system to use as a mask making tool, *Proc. 24th Annual BACUS Symposium on Photomask Technology*, pp.911–921 (Dec. 2004).

(平成 18 年 9 月 15 日受付)

(平成 19 年 2 月 1 日採録)



杉原 真 (正会員)

昭和 49 年生 . 平成 13 年九州大学大学院システム情報科学研究科情報工学専攻博士後期課程修了 . 日本学術振興会特別研究員 , デューク大学客員研究員を経て , 平成 15 年より財団法人九州システム情報技術研究所研究員 . 同年より九州大学大学院情報科学府客員助教授 . VLSI 設計技術およびコンピュータシステム設計技術に関する研究に従事 . 博士 (工学) . 平成 12 年情報処理学会創立 40 周年記念論文賞 . 電子情報通信学会 , IEEE , SPIE 各会員 .



松永 裕介 (正会員)

昭和 37 年生。1987 年早稲田大学大学院理工学研究科電気工学専攻修士課程修了。同年 (株) 富士通研究所入社。LSI の CAD の研究に従事。1991 年より 1 年間米国カリフォルニア大学パークレイ校客員研究員。2001 年より九州大学大学院システム情報科学研究院助教授。現在に至る。論理合成, 論理検証, 動作合成, テストパターン自動生成の研究に従事。博士 (工学)。1994 年情報処理学会山下記念研究賞受賞。1999 年情報処理学会システム LSI 設計技術研究会優秀論文賞受賞。電子情報通信学会, IEEE, ACM 会員。



村上 和彰 (正会員)

昭和 35 年生。昭和 59 年京都大学大学院工学研究科情報工学専攻修士課程修了。同年富士通 (株) 入社。汎用大型計算機の研究開発に従事。昭和 62 年九州大学助手。平成 6 年九州大学助教授。現在, 九州大学大学院システム情報科学研究院情報理学部門教授, 情報基盤センター長。計算機アーキテクチャ, 並列処理, システム LSI 設計技術, 計算科学専用計算機アーキテクチャに関する研究に従事。工学博士。平成 3 年情報処理学会研究賞, 平成 4 年情報処理学会論文賞, 平成 9 年坂井記念特別賞, 平成 12 年日経 BP 社 IP アワード, 平成 12 年情報処理学会創立 40 周年記念論文賞, および平成 14 年電子情報通信学会業績賞をそれぞれ受賞。