

## スケーラブル回路分割機構における信号情報格納・再生方式

加藤 佑典<sup>†</sup> 渡邊 大輔<sup>†</sup> 中條 拓伯<sup>†</sup>

我々は、回路の動作周波数の低下を抑えつつ、分割回路間の信号伝達を可能にするスケーラブル回路分割機構を提案してきた。その機構の実現のために、分割回路間の信号情報を一括転送し、分割した回路を一つの回路システムとして動作させる信号情報格納方式および信号情報再生方式を提案する。本展示ではスケーラブル回路分割機構の概要を説明し、信号情報格納・再生方式について示し、その実装および評価した結果について報告する。

### A Storing and Regenerating Signal Information in Scalable Circuit Partitioning

YUSUKE KATO<sup>H</sup>,† DAISUKE WATANABE<sup>H</sup> and HIRONORI NAKAJO<sup>H</sup>†

We have proposed a scalable circuit partitioning mechanism with keeping its operation frequency and allowing communicating signal information among partitioned circuits. In this paper, storing and regenerating signal information which are needed in burst transferring signal information among partitioned circuits as well as the concept of the scalable circuit partitioning mechanism are described.

#### 1. はじめに

FPGAに大規模回路を実装する場合、単体のFPGAへの実装が困難になるという問題がある。このとき、回路を分割し、分割回路間において実用的な動作周波数を保証できれば、FPGAの使用数を増やすことにより、大規模回路の実装時に要求される論理ゲート数を満たすことができる。しかしながら、分割回路の実行には分割回路同士の同期をとる必要がある。従来はエミュレーションクロックという回路全体の動作クロックを供給することで同期を可能としていた。しかし、分割回路がボード間にまたがれば動作周波数の低下が発生する。そこで、本研究では、FPGAの使用数や種類への依存を最小限にしつつ、回路の動作周波数の低下を抑えた信号伝達を行うスケーラブル回路分割機構を提唱する。また、スケーラブル回路分割機構の中でも特に信号情報の一括転送により、信号伝達時の回路からの信号取得遅延を最小に抑える信号情報格納機構、再生方式について述べる。

#### 2. スケーラブル回路分割機構

我々の提唱するスケーラブル回路分割機構では、分

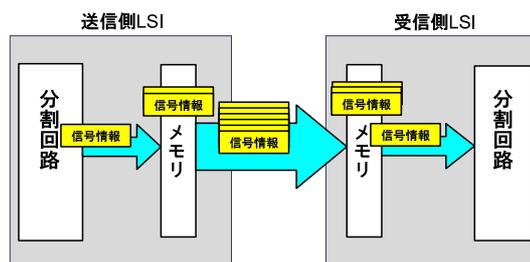


図1 信号情報の転送の流れ

Fig.1 Flow of the transfer of signal

割回路間における新たな信号情報転送方式を構築する。従来では信号情報を回路から逐一取得し、分割回路間を転送、受信側回路のレジスタに格納するという流れによって、信号伝達を行っていた。このとき、信号伝達のレイテンシが発生し、実行速度の低下が発生していた。そこで、信号情報を一括して転送することにより、信号伝達時の遅延を最小にする信号情報格納・再生方式を提案する。

##### 2.1 信号情報格納・再生方式

図1に示したようにこの手法では、送信側分割回路から出力される複数クロック分の信号情報を信号情報メモリに保存し、一括転送する。一括転送された信号情報は受信側のメモリに格納し、一クロック分ずつ受信側分割回路へ送出する。これにより、エミュレーションクロックではなく、LSI本来の動作クロックで

<sup>†</sup> 東京農工大学  
Tokyo University of Agriculture and Technology

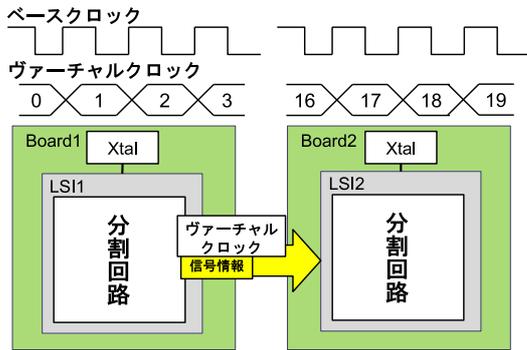


図2 ヴァーチャルクロックの概略  
Fig. 2 Overview of virtual clock

の動作が可能となり、分割回路のクロック周波数の低下を防ぐことができると考えられる。本研究では、分割回路ごとの信号情報メモリへ信号情報の保存・送出行を行う信号情報格納・再生機構を考案し、設計・実装した。

### 2.2 回路同期方法

提案手法では LSI ごとに個別のクロックを使用する。個別のクロックを用いる分割回路の同期には、受信した信号情報の生成時点を識別できるようにする必要がある。したがって、分割回路ごとにヴァーチャルクロック<sup>1)</sup>を設ける。図2に示したとおりにヴァーチャルクロックは分割回路のリセット時からカウントを行うカウンタである。ヴァーチャルクロックを信号情報と一緒に転送することにより、受信側の回路で信号情報の送信時点を識別する。本研究では、片方向通信時に用いるストール同期機構と双方向通信時に用いるロールバック同期機構を考案した。

#### 2.2.1 ストール同期機構

ストール同期機構は回路動作を停止させることで、回路の同期をとる。回路動作の停止が必要となるのは、回路動作に必要な信号情報が転送されてきていない場合である。

#### 2.2.2 ロールバック機構

ロールバック機構では、信号情報の転送を待機せずに回路動作を進めることで回路動作速度の低下を抑える。このとき、信号情報の転送を待たないため、受信側分割回路への入力信号情報が更新されない。これにより、回路動作の正当性が保証できなくなるため、回路の状態を巻き戻すことが必要となる。図3に巻き戻し動作の概略図を示す。回路内部の信号の状態を一定期間で保存し、回路動作に必要な信号情報が未転送の場合には、次の回路動作に必要な入力信号が変化しないと仮定して動作を継続する。もし、仮定した信号

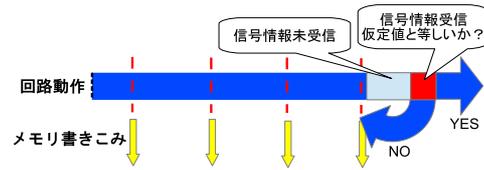


図3 ロールバック動作の概略  
Fig.3 Overview of roll-back operation

情報が異なっていた場合は保存した信号情報を用いて巻き戻しをする。

### 3. 評価及び考察

二分割した AES 暗号回路に信号情報格納・再生機構を組み込んだ提案手法の回路と佐伯ら<sup>2)</sup>の高速シリアル通信路を使用した従来手法の回路と AES 暗号回路を分割する前の回路との比較を行う。比較条件としては、RTL でのシミュレーションによって、128bit を 1 ワードとし、1024 ワードを暗号化したときの実行時間を比較する。このとき、通信は片方向とし、ストール同期機構を用いる。シミュレータは Xilinx ISim を用いた。

評価結果は、分割前回路の実行時間と比較した場合は分割前回路に 37.89MHz のクロックを与えた場合と同等の処理速度となり、従来手法との比較では 2.11 倍の高速化が可能となった。

### 4. まとめ

本研究では、新たな分割回路間の通信方式を用いたスケラブル回路分割機構を提唱し、特に信号情報格納・再生方式を考案・設計した。従来手法と比較した場合では 2.11 倍の高速化を達成した。

今後の課題として、未実装機構の実装を行い、複数 FPGA を用いた場合の評価や、双方向通信への対応を行う必要がある。

### 参考文献

- 1) 中條拓伯, 三好健文, 船田悟史, 坂本龍一: スケラブル FPGA システムにおけるハードウェア拡張方式 (高速化技術, FPGA 応用及び一般), 電子情報通信学会技術研究報告. RECONF, リコンフィギャラブルシステム, Vol. 109, No. 395, pp. 125-130 (2010).
- 2) 佐伯亮祐, 高橋克昇, 久我守弘, 尼崎太樹, 飯田全広, 末吉敏則: FPGA の高速シリアル通信を用いた ASIC エミュレータの設計事例に関する研究, 火の国情報シンポジウム 2012 論文集, B-5-2 (2012).