非同期式回路の理論（II）

（Muller と Bartky の論文*の解説）

木 村 　泉**

6. $\mathcal{R}$-sequence の長さ

以後取り扱う回路を semi-modular なものに限定する．なお“初期状態について semi-modular”ということを，sm〔u〕と略記する．

ところで sm〔u〕回路の理論を見通しのよいものとするためには，**C-状態**という概念を導入することが便利である．しかし一方それに先立って，ひとまず**長さのベクトル**なるものを定義しておくことが，なにかと好都合である．さらにその長さのベクトルは，次に示す $\mathcal{R}$-sequence について定義されるものなのである．

(6: 1) $\mathcal{R}$-sequence $a(1), a(2), \cdots\cdots, a(k)$ とは，任意の有限個の状態の列であって，$i=1,2,\cdots\cdots, k-1$ に対し $a(i)\mathcal{R}a(i+1)$ をみたすものである．

これは partial allowed sequence の定義 (3: 2) から副条件 $a(i) \neq a(i+1)$ を取り除いたものに他ならない．これにより，

(6: 3) 任意の与えられた $\mathcal{R}$-sequence $a(1), a(2), \cdots\cdots, a(k)$ に対して，n 次元の長さのベクトル $L[a(1), a(2), \cdots\cdots, a(k)]$ を次のようにして帰納法的に定義する．すなわち，

(6 : 3 a) $L[a(1)]=(0,0,\cdots\cdots,0)$

(6 : 3 b) $L[a(i), a(i+1)]=(l_1, l_2, \cdots\cdots, l_n)$,
ただし $l_j=|a_j(i+1)-a_j(i)|$

(6 : 3 c) $L[a(1), a(2), \cdots\cdots, a(i+1)]=L[a(1), a(2), \cdots\cdots, a(i)]+L[a(i), a(i+1)]$

n がちょうど素子の数に当るものであったことに注意しよう．この長さのベクトルとは，回路が $a(1)$ から $a(k)$ までの状態をつぎつぎに取ってゆくとき，各 signal が何ステップ動くかをかぞえて書きならべたベクトルのことである．定義 (6: 1) によれば，このとき実は回路が全然動かなかった，ということも許される．そのときは，長さのベクトルは $(0,0\cdots\cdots,0)$ である．（6 : 1）はこういうことを許すためにもうけられたもので，いわばことばの上だけのものである．

なお（6 : 3 c）にあらわれている記号＋は成分ごとの加算をあらわすものとする．同様に以後，一般にベクトル L_1, L_2 について，$L_1 \leq L_2$ というように書いたら，これは成分ごとに $\leq$ の関係があること（6 : 4），また $L_1 \vee L_2$, $L_1 \wedge L_2$ とは，成分ごとにそれぞれ maximum, minimum をとって作った n 次元の数ベクトルをいうことにする（6 : 5～6）．

すると $a(1)$ から $a(j)$ を経て $a(k)$ に至る $\mathcal{R}$-sequence の長さは，$a(1)$ から $a(j)$ まで，また $a(j)$ から $a(k)$ までの二つの $\mathcal{R}$-sequence の長さの和に等しいこと（6 : 7），$\mathcal{R}$-sequence が伸びれば伸びるほど長さのベクトルも $\leq$ の意味で“長く”なること（6 : 8），ある $\mathcal{R}$-sequence の長さが 0 ならば，この $\mathcal{R}$-sequence に現われる状態はすべて互にあい等しいこと（6 : 9）などは明らかであろう．

さて上記の $\vee$（“大きい方”とでも読むべきか？）については，以下にのべるような重要な事実が存在する．すなわち，まず（5 : 4）で定義した $d=M[a : b, c]$ を用いて，

（6 : 12） sm〔u〕回路で $u\mathcal{F}a(1, 1)$ とし，$a(1, 1), a(1, 2), \cdots, a(1, j)$ および $(1, 1), a(2, 1), \cdots, a(i, 1)$ を二つの $\mathcal{R}$-sequence とするとき，$a(r, s) = M[a(r-1, s-1) ; a(r-1, s), a(r, s-1)]$ を $r=2,3,\cdots\cdots, i$ および $s=2,3,\cdots\cdots, j$ に対して帰納法的に定義する．

第9図を参照されたい．なお，ことわり書き $u\mathcal{F}a(1, 1)$ は，u から行けるところでないと責任がもてないよ，ということである．さてこうして作ったあみについて．

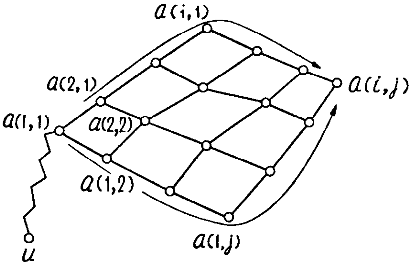
（6 : A）（6 : 12）の仮定のもとに

（6 : 13） $L[a(1, 1), a(1, 2), \cdots\cdots, a(1, j), a(2, j), \cdots\cdots, a(i, j)]$

* D.E. Muller, W.S. Bartky: “A Theory of Asynchronous Circuits” I, II, III (Report No. 75, 78, 96; University of Illinois' Digital Computer Lab.)

** 東京大学理学部

$=L[a(1,\ 1),\ a(2,\ 1)\cdots\cdots,a(i,1),\ a(i,2),\cdots\cdots,$
$a(i,\ j)]$
$=L[a(1,1),\ a(1,2),\cdots\cdots,a(1,\ j)]\vee L[a(1,\ 1),$
$a(2,\ 1),\cdots\cdots,a(i,\ 1)].$



第 9 図

証明は帰納法による．この定理のくわしい意味は次章において述べる．

7. C-状　態

そこで，問題の C- 状態（積算状態 cumulative states）であるが，これは出発点を u にとった長さのベクトルに他ならない．すなわち，

(7 : 1)　sm[u] 回路の partial allowed sequence $u,\ a(1),\ a(2),\cdots\cdots,a(k),\ a$ があるとき，その C-状態 $\underline{a}$ とは，$L[u,\ a(1),\cdots\cdots,a(k),\ a]$ のことである．

つまり u から出発してどれだけ動いたか，を指定することにより，回路の動作を記述しようというのである．もちろん“どれだけ動いたか”だけを指定しても，“どこをどう動いたか”をおさえたことにはならない．二つの異なる partial allowed sequence によって同じ C- 状態が定義されることもありうることは，定理 (6 : A) に示されているとおりである．

問題はこの場合，“どれだけ動いたか”を知れば“今どこにいるか”がわかることである．すなわち，

(7 : A)　sm[u] 回路で，$\underline{a}$を，初期状態 u を有する C- 状態とするとき，$\underline{a}$ の終状態 a は，$\underline{a}$ を定義するのに用いた partial allowed sequence の如何にかかわらず一意に定まる．

ただし**初期状態** u とは，(7 : 1) における u のこと，また**終状態** a とは，同じく (7 : 1) における a のことである．

証明は (6 : A) による．u から出発する二つの partial allowed sequence が同じ C- 状態 $\underline{a}$ を定義したとする．この二つの sequence を (6 : 12) でいう二つの $\mathcal{R}$-sequence にあてはめる (Partial allowed sequence は $\mathcal{R}$-sequence の特別の場合である)．$a(1,\ 1)$ としては (7 : A) の u をとる．このとき $a(1,\ j)=a(i,\ 1)$ がいえればよい．ところで，$u=a(1,\ 1)$ から $a(1,\ j)$ を通って $a(i,\ j)$ に行く通の長さは $\underline{a}\vee\underline{a}=\underline{a}$ である．するとこのうち，$a(1,\ j)$ から $a(i,\ j)$ に至る部分の $\mathcal{R}$-sequence には長さがないことになる．そこで (6 : 9) によって $a(1,\ j)=a(i,\ j)$ となる．全く同様に $a(i,\ 1)=(i,\ j)$ であるから求める結果が得られる．

なおこれで $\underline{a}$ を定めればその終状態も定まるということになったから，これを $t(\underline{a})$ のように書きあらわして矛盾がないわけで，今後この記法を用いることにする．また場合により，この $t(\underline{a})$ のことをアンダラインなしの a であらわすこともある．

さて本来の意味での状態（以後 I- 状態と呼ぶが）の場合に対応して，C- 状態間にも $\mathcal{F}$ の関係を定義する．

(7 : 2)　$\underline{a},\ \underline{b}$ を $C[u]$ 内の二つの状態とし，その終状態をそれぞれ $a,\ b$ とする．そのとき $\underline{a}\mathcal{F}\underline{b}$ とは，partial allowed sequence $a,\ a(1),\ a(2),\cdots\cdots,a(k),\ b$ が存在して，$\underline{a}+L[a,\ a(1),\ a(1),\cdots\cdots,a(k),\ b]=\underline{b}$ となることである．

この $\mathcal{F}$ を用いて (6 : A) を書き替えれば，

(7 : 3)　$\underline{a},\ \underline{b}$ を $C[u]$ 内の二つの状態とするとき，$\underline{c}=\underline{a}\vee\underline{b}$ なる $\underline{c}$ も $C[u]$ 内に存在し，$\underline{a}\mathcal{F}\underline{c}$ かつ $\underline{b}\mathcal{F}\underline{c}$．

となる．一方この $\mathcal{F}$ なるものの具体的意味については，

(7 : 4)　$\underline{a},\ \underline{b}$ を $C[u]$ 内の二つの状態とするとき，$\underline{a}\mathcal{F}\underline{b}$ は $\underline{a}\leq\underline{b}$ と同等である．

$\underline{a}\mathcal{F}\underline{b}$ なら $\underline{a}\leq\underline{b}$ であることは明らかである．問題はこの逆である．その証明は：(7 : 3) を用い $\underline{a}\mathcal{F}\underline{a}\vee\underline{b}$ を得，一方仮定 $\underline{a}\leq\underline{b}$ から $\underline{a}\vee\underline{b}=\underline{b}$ であるから，$\underline{a}\mathcal{F}\underline{b}$．

まずこの $\mathcal{F}$ または $\leq$ についていえば，これは数学上の順序関係としての条件を満足している．すなわち，

1° 任意の $\underline{x}$ に対して $\underline{x}\leq\underline{x}$; 2° 任意の $\underline{x}$, $\underline{y}$ に対してもし $\underline{x}\leq\underline{y}$ かつ $\underline{y}\leq\underline{x}$ なら $\underline{x}=\underline{y}$; 3° 任意の $\underline{x}$, $\underline{y}$, $\underline{z}$ に対してもし $\underline{x}\leq\underline{y}$ かつ $\underline{y}\leq\underline{z}$ ならば $\underline{x}\leq\underline{z}$. してみると $C[u]$ は内部で順序関係が定義されている集合，すなわち**半順序集合**になる[4].

一方 (7:3) を見ると，$C[u]$ 内の任意の二つの C-状態 $\underline{x}$, $\underline{y}$ に対して，C-状態 $\underline{x}\vee\underline{y}$ が存在する．大きい方 $\vee$ の定義から明らかなように，これは関係 $\leq$ のもとに，組 $\underline{x}, \underline{y}$ の最小上界（上端 $\underline{x}\smile\underline{y}$）をなしている．

ここでさらに最大下界（下端 $\underline{x}\frown\underline{y}$）を含むならば $C[u]$ は**束**と呼ばれるものとなる[4]．事実，

(7:B) $C[u]$ は順序関係 $\mathcal{T}$ によって零元をもつ束をなす．

零元をもつことは，状態 $\underline{0}=(0, 0, \cdots\cdots, 0)$ が存在して，定義によりすべての $C[u]$ 内の $\underline{x}$ に対して $\underline{0}\leq\underline{x}$ となる，ということからいえる．一方 $C[u]$ の要素の各成分は負でない整数になる．してみると組 $\underline{x}$, $\underline{y}$ の下界は有限個しか存在しないにちがいない．しかも上述の $\underline{0}$ はたしかに下界になっているから，下界は少くとも1個存在するわけである．これら下界全体の最小上界をとれば，それがちょうど $\underline{x}\frown\underline{y}$ に一致する．

$\underline{x}\wedge\underline{y}=\underline{x}\frown\underline{y}$ は必ずしも成立たない．$\underline{x}\wedge\underline{y}$ が $C[u]$ に入っていれば，これはもちろん成立つが，$\underline{x}\wedge\underline{y}$ は必ずしも C-状態としての意味をもつとは限らない．これについては回路の例 (8:11) を参照のこと．

なお関係 $\mathcal{T}$ についておこなったと同様に，$\mathcal{R}$ や“次の状態”という概念をも，$C[u]$ 内にうつし植えることができる．すなわち，

(7:7) $\underline{a}\mathcal{R}\underline{b}$ とは $a\mathcal{R}b$ かつ $\underline{b}=\underline{a}+L[a, b]$.
(7:8) $\underline{a}'$ を $\underline{a}'=\underline{a}+L[a, a']$ によって定義する．

こうすれば $\mathcal{R}$ や“次の状態”について I-状態の場合に成り立ったことの多くを，対応する C-状態にうつし植えることができる．また特に著しい事実として，$\underline{a}\mathcal{R}\underline{b}$ かつ $\underline{a}\mathcal{R}\underline{c}$ なら $\underline{b}\frown\underline{c}=\underline{b}\wedge\underline{c}$ (7:13) が成り立つ．

さて，ある束，ないし半順序集合の中の互に等しくない要素 $\underline{x}$, $\underline{y}$ について，$\underline{x}\leq\underline{z}\leq\underline{y}$ をみたし，かつ $\underline{x}$ とも $\underline{y}$ とも等しくない $\underline{z}$ がもはやこの集合の中に存在しないとき，$\underline{y}$ は $\underline{x}$ を cover する，という．つまり $\underline{y}$ とは $\underline{x}$ の直属の上官のことである．この“cover”の $C[u]$ における意味は次のようである．

(7:D) $\underline{b}$ が $\underline{a}$ を cover するための必要かつ十分なる条件は，ある signal index i について $\underline{b}_i=\underline{a}_i+1$, かつ $j\neq i$ に対して $\underline{b}_j=\underline{a}_j$ なることである．

つまりどこか一個所だけが，がたっと一目動いたのが cover だ，というのである．直観的には全く明らかであろう．してみると，

(7:C) 束 $C[u]$ は semi-modular である．ただし，

(7:14) 束 L が semi-modular であるとは，L の要素 $\underline{x}$, $\underline{y}$, $\underline{a}$ に対し，もし $\underline{x}$, $\underline{y}$ がそれぞれ $\underline{a}$ を cover し，また $\underline{x}\neq\underline{y}$ ならば，$\underline{x}\smile\underline{y}$ も $\underline{x}$, $\underline{y}$ を cover することである[4].

これが semi-modular な回路，という言葉の語源なのである．(7:14) の意味は，仮にある一等兵に二人の直属上等兵がいたとすると，この二人をまとめてとりしまる直属兵長が必ずいる筈だ，ということである．

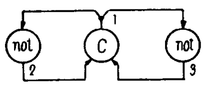
(7:C) は (7:D) を用いれば容易に証明される．また (7:D) を用いないでも証明ができる．

復習として回路：

(7:16) $z_1'=z_2z_3\vee z_1z_2\vee z_1z_3$

$z_2'=\bar{z}_1$

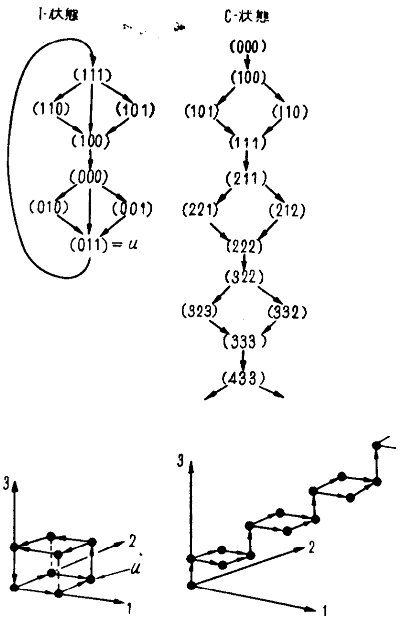
$z_3'=\bar{z}_1$



第 10 図

z_1	z_2	z_3	z_1'	z_2'	z_3'
0	0	0	0	1	1
0	0	1	0	1	1
0	1	0	0	1	1
0	1	1	1	1	1
1	0	0	0	0	0
1	0	1	1	0	0
1	1	0	1	0	0
1	1	1	1	0	0

を考えよう（**第10図**）．初期状態 u としては (0, 1, 1) をとる図中 C という素子は，二つの入力が一致したときにはその入力と同じ出力を出すが，一致しないときはもとの状態を保つ，というもので，非同期式回路の設計に用いて広く有用であることが容易に想像されよう．この回路では，signal 2, 3 がさそいあわせて動く．つまり一方が k 回動いてしま



第 11 図

うまでは，他方は $k+1$ 回目にかからない．解析の結果を**第 11 図**に示す．

ここでできる束 $C[u]$ において定理 (7 : C) が成立っているもようを見よう．たとえば (3, 2, 2) は (3, 3, 2) と (3, 2, 3) によって cover されている．そしてこの cover している方の二つの状態の上端 (3, 3, 3) は，たしかに (3, 3, 2) をも，また (3, 2, 3) をも cover しているのである．

〔**練習問題**〕

定理 (7 : A) に相当する事実は，すべての i につき $k_i=2$ であるような回路については，sm$[u]$ でなくても成立することをたしかめよ．またこの事実が成立しないような (sm$[u]$ でない) 回路の実例を作れ．

8.　Cycling の理論

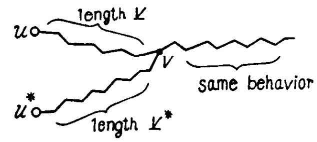
もとの回路で cycling が起るとき，なお正確に言えば，もとの回路が構造上 cycling の可能性を有するときには，対応する束 $C[u]$ にもある周期性が現れなければならない．$C[u]$ 内の特定の C-状態 $\underline{v}$ に対し，$C[u]$ 内で $\underline{v}\mathcal{F}\underline{a}$ をみたす $\underline{a}$ 全体の集合を $D[\underline{v}]$ と名づけ，さらに $D[\underline{v}]$ 中で $t[\underline{v}]=t[\underline{a}]$ をみたすような $\underline{a}$ の全体を $E[\underline{v}]$ と名づけよう (8 : 1)．このとき，まず，

(8 : A)　$\underline{v}$ が $C[u]$ 内にあるとき，束 $C[\underline{v}]$ と部分束 $D[\underline{v}]$ とは，変換 $\underline{a}^*=\underline{v}+\underline{a}$ のもとに isomorphic である．ただし $\underline{a}$, $\underline{a}^*$ はそれぞれ $C[\underline{v}]$, $D[\underline{v}]$ 内の互に対応する状態である．

これは平行移動の可能性といえる．このことは，回路がある時点以降，どんなふるまいを示す可能性を有するかが，そのときいかなる I- 状態をとっているかによって全く定ってしまうということに基因する．また，系として，

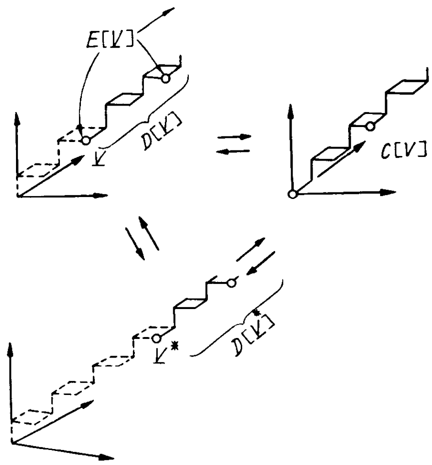
(8 : 2)　ある回路が sm$[u]$ かつ sm$[u^*]$ であるとき，$\underline{v}$, $\underline{v}^*$ をそれぞれ $C[u]$, $C[u^*]$ に属しかつ $t(\underline{v})=t(\underline{v}^*)$ をみたすものとすれば，$D[\underline{v}]$ と $D[\underline{v}^*]$ は変換 $\underline{v}^*+\underline{a}=\underline{v}+\underline{a}^*$ のもとに isomorphic である．ただし $\underline{a}$, $\underline{a}^*$ をそれぞれ $D[\underline{v}]$, $D[\underline{v}^*]$ に属し，互に対応する状態とする．

これはひとたび v を通ったがさいご，回路動作はその前歴如何に全くよらないということを示している (**第 12 図**)．



第 12 図

なお**第 13 図**に上記二つの定理の図解を示す．



第 13 図

さて回路が C- 状態 $\underline{v}$ の終状態 v のところでぐるぐるまわりをはじめたとしよう．するともとの v に帰って来るまでに，C- 状態はいくらか伸びて，たとえば $\underline{v}+w$ に達するであろう．このとき I- 状態は v にもどっているのであるから，ふたたび全く同じまわり道が可能なはずであって，次には $\underline{v}+2w$ において v に帰って来るであろう．以下同様にして $\underline{v}+3w$, $\underline{v}+4w$ 等はみな同じく $E[\underline{v}]$ に属しているであろう．一方このような w は一種とはかぎらず，一般には何種か存在するであろう．事実 w の代りに $2w$ をとってもよいわけであるが，こんな一次従属なものでなく，w と一次独立な w' が存在してよいはずである．二つの w, w' が存在すれば上記の“線状”の周期構造に代って，“面状”の周期構造が現れる．三つの w, w', w'' が存在すれば立体格子状になる．以上のべたことをはっきり定式化すれば，

(8：5a) $C[u]$ 内の与えられた状態 $\underline{v}$ に対し，数ベクトル $w(1), w(2), \cdots\cdots, w(k)$ の組 $W[\underline{v}]$ を次のようにして定義する．すなわち，$W[\underline{v}]$ とは，$\underline{v}+w(1)$ が $E[\underline{v}]$ に属し，一方 $E[\underline{v}]$ に属する $\underline{a}$ がもし $\underline{v}\mathcal{F}\underline{a}\mathcal{F}\underline{v}+w(i)$ をみたすならば $\underline{a}=\underline{v}$ または $\underline{a}=\underline{v}+w(i)$ であるような零でないベクトル $w(i)$ の全体を含むものである．

つまり $w(i)$ とは，まわり道の長さのうち素なるもののことである．これに対し，

(8：C) $E[\underline{v}]$ は次のようにして表わせるベクトル $\underline{x}$ の全体にちょうど一致する：

(8：7) $\underline{x}=\underline{v}+\sum_{i=1}^{k}a_i w(i)$，ただし係数 a_i はすべての負でない整数にわたるものとする．

これはまさに上述したところであった．なおもし $\underline{v}$ のところで cycling が起らない場合は，前述の定義において $E[\underline{v}]$ はただひとつの状態 $\underline{v}$ から成り，またこのとき $W[\underline{v}]$ は空で $k=0$ と考えることにする．ベクトル $w(i)$ の各成分が偶数でなくてはならぬことは注意を要する．なぜなら，I-状態がもとにもどるためには，各 signal は上った分だけ下り，また下った分だけ上らなくてはならないからである．もっとも，おもしろいことに原著では，議論を binary に限るときを除き，この性質が一度も使われていない．さて，

(8：B) $W[\underline{v}]$ を上で定義したベクトルの集合とするとき，$i \neq j$ について $w(i) \vee w(j)=w(i)+w(j)$ が成立つ．

これにより，$w_m(i)>0$ ならばすべての $j \neq i$ に対して $w_m(j)=0$ ということがわかる．w の成分は負でない整数値をとるから．してみるとこれは一種の直交性である．一方これから，$k \leq n$ なることがわかる．またこのように $w_m(i)>0$ なる node m は，$w(i)$ によって**張られている**，という．さらに $i=1,2,\cdots\cdots,k$ のうちにひとつでも $w_m(i)>0$ なる i が存在するとき，node m は $W[\underline{v}]$ によって張られている，という．

証明は，$\underline{v}+[w(i) \vee w(j)]$ が $E[\underline{v}]$ に属していることによる．くわしくは原著を見られたい．なお，

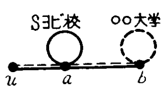
(8：8) $\underline{v}$ を $C[u]$ 内の状態，また $\underline{v}^*$ を $C[u^*]$ 内の状態とし，さらに $v=t(\underline{v})=t(\underline{v}^*)$ とすれば，$W[\underline{v}]=W[\underline{v}^*]$

が成立つことは明らかであろう．前にも言ったように，回路の将来の可能なふるまいは，現在それがいかなる I-状態をとっているか，によって定まるのであるから．一方この定理により，$W[\underline{v}]$ と書く代りに $W[v]$ と書くことが正当化される．そこで以後，この終状態を指定した書き方をとることにしよう．

次に，

(8：D) sm$[u]$ 回路で $u\mathcal{F}a\mathcal{F}b$ とすれば，$W[a]$ の要素は $W[b]$ の一つまたは二つ以上の要素の和であらわされる．

証明には，u から a を通って b まで partial allowed sequence で道をつけ，その sequence で定義される C- 状態を $\underline{b}$ とし，また同じ道をたどり，ただ a のところで $w(i)$ にそって1回余分にまわって来たときの C-状態を考える．するとこれは $\underline{b}+w(i)$ になる．この $\underline{b}$ と $\underline{b}+w(i)$ は，もちろん終状態 b を共有し，しかも定理（7：4）によって $\underline{b}\mathcal{F}\underline{b}+w(i)$ であるから，これはまさに $\underline{b}$ のところでも $w(i)$ にそって1回まわれることを示す．まわれる以上 $w(i)$ は $W[b]$ の要素を用いて（8：7）のような形に書けなくてはならない．これが証明すべき結果であった．



第 14 図

たとえていうと，高校と大学の間に S ヨビ校を1年間まわって来ても，大学の中で1年ドッペっても，卒業のときの年令は同じ，ということである．年令にあたるのが C- 状態であるが，この年令がきまれば終状態もきまってしまう

ので，上定理のような仕儀になるのである(**第14図**).

これを見ると cycling のベクトル $w(i)$ は，先へ行くほどこまかく割れて行ったり（もちろん割れないこともある），また新しく生じて来たりするが，消えてなくなることはない．ひとたび cycling の道がひらけると，その道は決して閉じることがない．もちろん実際の，ある特定の回路動作をとってみたときに，このような cycling の道をりちぎにいちいちたどっているというのではないが．

さて上定理と $w(i)$ の直交性を組み合わせると，

(8：E)　sm[u] 回路で $u\mathcal{T}a$ とし，a, b が同じ equivalence set A に属するものとすれば，$W[a]=W[b]$

が得られる．これによれば，cycling のもようが変るとすれば，set から set へうつりかわる時に限られる，ということである．それゆえ，W[A] というように，equivalence set を指定した書き方をしてもさしつかえない．

なお今後，終状態 $t(\underline{a})$ が equivalence set A に入っている C- 状態 $\underline{a}$ の集合を $\underline{A}$ と書くことにしよう．証明は省くが，そのとき，

(8：F)　$\underline{a}, \underline{b}$ が $\underline{A}$ に属することは，$\underline{a}, \underline{b}$ の $W[A]$ によって張られていない成分が互にあい等しいことと同等である．

これによれば，もし cycling に関係のない node を動かないようにおさえてしまうと，回路は（$k\fallingdotseq 0$ なら）せっせとまわり続けるが，次の equivalence set へ進むことができなくなってしまい，止ったも同然ということになるのである．また，

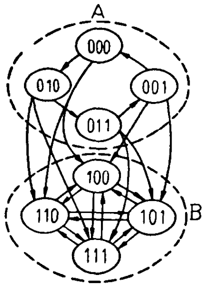
(8：G)　$\underline{a}, \underline{b}$ が $\underline{A}$ に属し，かつ signal index i が $W[A]$ によって張られていないときは，$\underline{a}_i'=\underline{b}_i'$

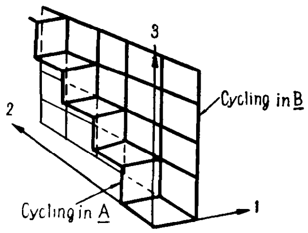
したがって回路が，ある equivalence set A 内にあるとき，$W[A]$ に張られている成分はがたがたと動きまわるであろうが，張られていないものについては，張られているものがどう動こうとも一貫して，動きたがっている（$\underline{a}_i'\fallingdotseq\underline{a}_i$）ものは動きたがっており，止っていたがっている（$\underline{a}_i'=\underline{a}_i$）ものは止っていたがっている．そして張られていない成分が一つでも動けば，回路は次の状態にうつってゆく．

例をそえておこう．

(8：11)　$z_1'=1$,　$z_2'=\bar{z}_1\bar{z}_3\vee z_1\bar{z}_2$,　$z_3'=\bar{z}_1 z_2\vee z_1\bar{z}_3$

z_1	z_2	z_3	z_1'	z_2'	z_3'
0	0	0	1	1	0
0	0	1	1	0	0
0	1	0	1	1	1
0	1	1	1	0	1
1	0	0	1	1	1
1	0	1	1	1	0
1	1	0	1	0	1
1	1	1	1	0	0





第 15 図

$u=(0,0,0)$ ととる．解析を**第 15 図**に示す．この回路においては，cycling のベクトルの割れがおこっている．すなわち図中 A（階段状のところ）での cycling のベクトルは (0,2,2) であり，また B（べた一面の障子）においては (0,2,0) と (0,0,2) である．一方この回路は，一般に $\underline{b}\wedge\underline{c}=\underline{b}\frown\underline{c}$ とはいえぬことを示している．すなわち $\underline{b}$ を (1,0,1)，$\underline{c}$ を (0,1,1) にあてはめると $\underline{b}\wedge\underline{c}$ は (0,0,1) であるが，これは $C[u]$ に入っていない．$\underline{b}\frown\underline{c}$ は (0,0,0) である．実はこの回路のこれら二つの特徴は互に関連を有している．その点については次回にのべる．

9.　$C[u]$ のイデアル

素子のどれかがこわれて，動くはずのところで動かなくなったとき，われわれの回路はどういうふるまいをするだろうか．また回路素子のうちかぎられたいくつかだけに目をつけていると，どういう風に見えるだろうか．このような問題を研究するには，束論におけるイデアルの概念を $C[u]$ に導き入れることが，便利である．

しかしこの章の内容は，のちの数章で直接用いられることがないこともあり，紙数の関係もあるので，残念ながら省く．

参考文献

4) G. Birkhoff, "Lattice Theory", American Mathematical Society Colloquim Publications, Vol. 25, (1948).