

## 細粒度電源管理を考慮した 基本ブロックレベル消費エネルギー推定手法

中村 駿介<sup>†</sup> 青木 康平<sup>†</sup> 内田 充哉<sup>†</sup> 谷口 一徹<sup>†</sup> 富山 宏之<sup>†</sup> 福井 正博<sup>†</sup>

本研究では、組込み向け VLIW (Very Long Instruction-set Word) 型プロセッサを対象とした細粒度電源管理を考慮した基本ブロックレベル消費エネルギー推定手法を提案する。提案手法では、アプリケーションやアーキテクチャ、パワーゲーティングに関する諸条件から粗い消費エネルギー推定式を構築する。評価実験より、提案する粗い消費エネルギー推定値は実際の消費エネルギーと非常に高い相関があり、消費エネルギー推定に有望であることが確認できた。

### Basic-Block Level Energy Estimation Method for Fine-Grained Power-Gated VLIW Data-Path

SHUNSUKE NAKAMURA<sup>†</sup> KOHEI AOKI<sup>†</sup> MITSUYA UCHIDA<sup>†</sup>  
ITTETSU TANIGUCHI<sup>†</sup> HIROYUKI TOMIYAMA<sup>†</sup> MASAHIRO FUKUI<sup>†</sup>

This paper proposes a basic-block level energy estimation method for fine-grained power-gated VLIW (Very Long Instruction-set Word) data-path. Energy consumption of VLIW data-path is usually performed with instruction scheduling. This paper proposes a new metric for rough energy estimation taking into account power gating effect. Proposed metric is constructed by application, architecture parameters, and power gating parameters. Experimental results show that proposed metric correlates highly with energy consumption considering power gating.

#### 1. はじめに

近年の半導体微細加工技術の進歩に伴い、高性能かつ大規模な LSI (Large Scale Integration) の実現が可能となった。その一方、低消費電力化への要求は日に日に高まり、リーク電力の増大が問題視されている[1]。リーク電力を削減するための有効な手段として、不要な回路ブロックの電源を動作時に制御するパワーゲーティング (Power Gating (PG)) が注目されている。すでに、MIPS R3000 ベースのプロセッサに PG を適用することによって消費電力が劇的に削減できることが報告されている[2]。このように PG により低消費電力化に貢献できるが、電源の制御には一定の時間や余分な消費電力が必要となり、それらがオーバーヘッドとなることが知られている。

近年の半導体微細加工技術の恩恵を受け、高性能かつ低消費電力な組込みシステムを設計することは非常に重要な課題である。組込みシステム、特に組込み向けプロセッサの高性能化を実現するためには、クロック周波数を上げるだけでなく、アプリケーションの命令レベルやデータレベルの並列性を生かし、効率的に処理することが非常に重要である。このような命令レベルやデータレベルの並列性を生かしたアーキテクチャとして VLIW (Very Long Instruction-set Word) 型プロセッサが知られている。VLIW 型プロセッサは、複数の命令実行ユニットを持ち、並列処

理を行うことで演算の高速化を行う。また、コンパイラによってソフトウェアレベルの最適化が行われるため、ハードウェアは非常にシンプルである[3]。このように、高性能かつ低消費電力が要求される組込み向けプロセッサとして VLIW 型プロセッサは非常に有望であり、更なる低消費電力化を実現するために PG が導入されるのは極めて自然な流れである。

VLIW 型プロセッサを組込みシステムに用いるためには、アーキテクチャの最適化が非常に重要である。通常、アーキテクチャ最適化を行う際は、アーキテクチャの評価と改良を繰り返し行う。しかし、アーキテクチャ最適化の解空間は一般に膨大であり、最適解の探索には長い時間が必要となる。そのため、個々のアーキテクチャの評価を高速かつ高精度に実現することが求められる。従来、VLIW 型プロセッサの性能や消費電力は、実際にコンパイルし命令スケジューリングを求めて見積もることができる。しかし、多くの解候補を評価する場合、この評価時間がボトルネックになる。

そこで本研究では、細粒度電源管理を考慮した VLIW 型プロセッサを対象として、命令スケジューリングを行わずに消費エネルギーを見積もる手法を提案する。提案する消費エネルギー見積もり手法では、分岐や繰り返しのない基本ブロックを対象とし、アプリケーションやアーキテクチャ、PG の諸条件をパラメータとした消費エネルギー推定式を構築する。

本稿の構成を以下に示す。第 2 章では関連研究について述べ、第 3 章では対象とするプロセッサモデルについて説

<sup>†</sup> 立命館大学  
Ritsumeikan University

明する。第4章では提案する消費エネルギー推定式について、第5章では評価実験について述べる。そして第6章でまとめる。

## 2. 関連研究

### 2.1 アーキテクチャ最適化

高性能かつ低消費電力な組み向けプロセッサを得るために、さまざまなアーキテクチャ最適化技術が提案されている。アーキテクチャ最適化の基本は、様々なアーキテクチャの評価と改良を繰り返すことで、その中で最適なアーキテクチャを得る。MeiらはADRESと呼ばれるVLIW型プロセッサと細粒度リコンフィギュラブル・アーキテクチャが結合したアーキテクチャとその設計最適化のためのDRESCフレームワークを提案した[4]。Raghavanらは組み向けVLIW型プロセッサのアーキテクチャ探索を行うため、COFFEE (Compiler Framework For Energy-aware Exploration) と呼ばれるフレームワークを提案した[5]。これらのフレームワークを用いることで、性能や消費電力の高精度な見積もりが可能である。しかし、現実的なアプリケーションで1つのアーキテクチャを評価する場合、評価に数時間～十数時間を要するのは一般的である。この場合、解空間のごく一部しか探索できないという問題がある。

本研究では、VLIW型プロセッサの演算器構成に着目し、解空間の網羅的な探索を目標とする。すなわち、抽象度の高いアーキテクチャモデルを対象とし、網羅的探索において何度も繰り返される消費エネルギー見積もりの高速化を目指す。

### 2.2 PGを考慮した命令スケジューリング

命令スケジューリングは古くから取り組まれている問題であり、大きく分けて2つの目的のため行われる。1つはコード生成、もう1つは性能/消費エネルギー見積もりである。命令スケジューリングはコンパイラの1つの処理であり、発行する命令のタイミングを決定する。本研究における命令スケジューリングの目的は後者の見積もりである。

本研究で考慮するPGはリーク電力を削減する有効な手法として知られている。使用していない回路ブロックの電源をOFFにすることによって不要なリーク電力を削減する。図1にPG導入時のリーク電力の変化を示す。図1のように電源のON/OFFによってリーク電力が変化する。しかし、直ちにリーク電力が削減されるわけではなく電源の制御には一定の時間がかかることが分かる。そのため、命令スケジューリングにおいて消費エネルギー最小となるPGの挿入箇所を決定することは非常に重要である。

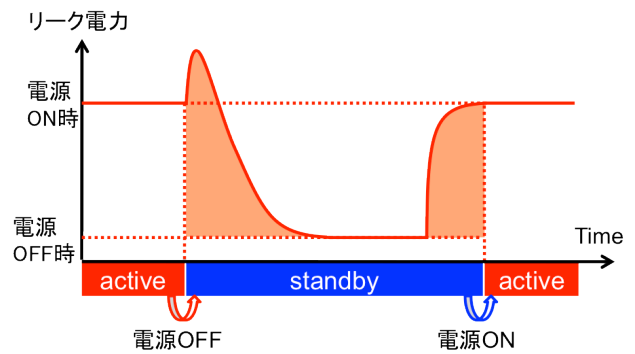


図1 PGによるリーク電力の変化  
 Figure 1 Leakage Power controlled by PG

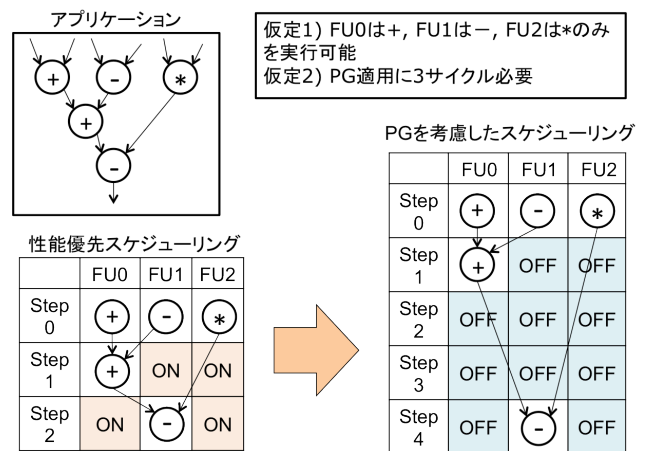


図2 PGを考慮した命令スケジューリング

Figure 2 Instruction Scheduling for Power-Gated Architecture

PGを考慮した命令スケジューリング手法としてUchidaらはSA法に基づく命令スケジューリング手法を提案した[6]。Uchidaらの手法の目的は消費エネルギー見積もりであり、最適解に非常に近いスケジューリングが得られる。しかしUchidaらの手法で消費エネルギーを見積もるには数十秒～数分を要するため、膨大な解空間の探索に用いるには更なる評価時間の短縮が必要である。

図2にPGを考慮しない従来の性能優先スケジューリングとPGを考慮した命令スケジューリングの違いを示す。図2の例ではヘテロジーニアスなFU (Functional Unit) 構成を持ち、FU0, FU1, FU2はそれぞれ add, sub, mulのみ実行可能であるとする。ここでPGを適用するためには少なくとも3サイクルの空きが必要である。このとき、図2のようなアプリケーション (Data Flow Graph (DFG)) が与えられたとき、従来の性能優先スケジューリングは図2の左側ようになる。一方、PGを考慮した命令スケジューリングでは、図2の右側のように意図的にNOP命令を挿入した方がPGによるリーク電力の大幅な削減が可能になることもあり得る。

従来の性能優先スケジューリングでは、全ての命令の実行をできるだけ早く終わらせることが目的となる。その際、各FUでNOP命令をできるだけ削減することが重要である。一方、PGを考慮した命令スケジューリングでは、NOP命令の削減が最優先ではなく全消費エネルギーの削減が目的である。そのため、PGを挿入するために意図的にNOP命令を挿入することもあり得る。このような点が従来の命令スケジューリングとは大きく異なり、PGを考慮した消費エネルギーの予測が困難な理由である。すなわち、PGを考慮した消費エネルギーを評価するためには十分な命令スケジューリングの最適化が必要であり、その時間が膨大な解空間を探索するアーキテクチャ最適化の実現にとってボトルネックとなる。本研究ではPGを考慮した消費エネルギーをこのような命令スケジューリングを行わずに予測する手法を提案する。

### 2.3 RTL 電力推定

RTL 電力推定とは、RTL ブロックのダイナミック電力の見積もりを行う技術である[7][8][9]。ダイナミック電力は通常ゲートレベルのシミュレーションを行い、各ゲートのスイッチング確率から算出するのが一般的である。RTL 電力推定では、事前に多くのサンプル信号に対してゲートレベルシミュレーションによりダイナミック電力を求め、それらの情報から新たな信号に対する消費電力を予測する。つまり、入力信号と消費電力との関係をモデル化することで、新たな信号の特性を抽出するだけで時間のかかるゲートレベルシミュレーションを新たに行わずにダイナミック電力推定が可能となる。

本研究では、この RTL 電力推定技術にアイデアを得て、基本ブロックレベルの消費エネルギー見積もりを行うことを目的とする。その際、基本ブロックの情報やパワーゲーティングに関する条件、アーキテクチャの条件を考慮した推定式を構築する。

## 3. 細粒度電源管理を考慮した VLIW 型プロセッサモデル

### 3.1 VLIW 型プロセッサモデル

本節では細粒度電源管理を考慮した VLIW 型プロセッサモデルについて述べる。図 3 に VLIW 型プロセッサモデルを示す。VLIW 型プロセッサは、複数の命令実行ユニットを持ち、並列処理を行うことで演算の高速化を行う。VLIW 型プロセッサモデルは各命令を実行する複数の FU、ループバッファ、命令デコーダ、レジスタファイルから構成される。各 FU はヘテロジニアスな構成で、レジスタファイルや命令デコーダと接続されている。また、各 FU には PG を適用するためのスリープトランジスタ (Sleep Tr.) が接続されており、命令デコーダからの信号によりスリープトランジスタは制御される。

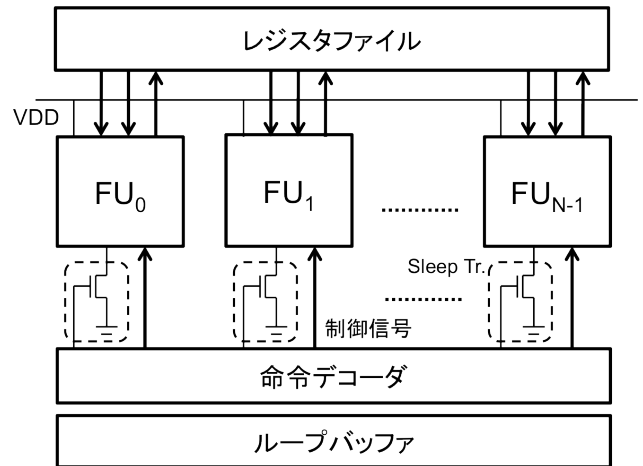


図 3 VLIW 型プロセッサモデル

Figure 3 VLIW Processor Model

PGにより各FUは2つの電源状態を持つ。電源がONの状態を表す"active"とOFFの状態を表す"standby"である。FUがactive状態の時は演算を行うことができるが、リーク電力が大幅に消費される。一方、FUがstandby状態の時は演算を行うことができないが、リーク電力を大幅に削減できる。また、FUの状態をactiveからstandbyへ遷移させるためにはshutdown命令を発行することで実現する。また、standbyからactiveに遷移させるためにはwakeup命令を発行することで実現する。すなわち、shutdown命令とwakeup命令を適切に発行することで不要なリーク電力を大幅に削減できる。

### 3.2 消費エネルギーモデル

本節では、対象とする VLIW 型プロセッサモデルの消費エネルギーモデルについて述べる。全消費エネルギー  $Energy$  は、式(1)のようにダイナミック消費エネルギー  $DE$  とリーク消費エネルギー  $LE$  の和から PG による利得エネルギー  $BE$  を引いた値で定義される。

$$Energy = DE + LE - BE \quad (1)$$

ここで、 $LE$  とは全ての FU が active 状態の時のリーク消費エネルギーの総和である。

今、 $de(inst)$ ,  $le(inst)$  を、命令  $inst$  を実行する際のダイナミック消費エネルギー、リーク消費エネルギーとする。この時、ダイナミック消費エネルギー  $DE$  とリーク消費エネルギー  $LE$  は式(2)、式(3)のように定義される。

$$DE = \sum_{\forall inst} de(inst) \quad (2)$$

$$LE = \sum_{\forall inst} le(inst) \quad (3)$$

また、FU  $f$  の active 時および standby 時の 1 サイクルあたりのリーク消費エネルギーを  $lea(f)$ ,  $les(f)$  とした時、FU  $f$  の PG による 1 サイクルあたりの利得消費エネルギー  $dEbft(f)$  は式(4)のように表される。

$$dEbft(f) = lea(f) - les(f) \quad (4)$$

この時、得られたスケジューリング全体における PG の適用回数を  $n_{PG}$ ,  $i$  番目の PG が適用されているサイクル数を  $cycle_{PG}(i)$ ,  $i$  番目の PG が適用される FU を  $f_{PG}(i)$  と表す。また、FU  $f$  において PG により発生する消費エネルギーオーバーヘッドを  $Eohd(f)$  とする。この時、PG による利得エネルギー  $BE$  は式(5)のように表される。

$$BE = \sum_{i=0}^{n_{PG}-1} (cycle_{PG}(i) \cdot dEbft(f_{PG}(i)) - Eohd(f_{PG}(i))) \quad (5)$$

#### 4. 細粒度電源管理を考慮した基本ブロックレベル消費エネルギー推定手法

本章では、細粒度電源管理を考慮した基本ブロックレベル消費エネルギー推定手法として、粗い消費エネルギー見積もり指標 Optimistic Energy (OE) を提案する。

##### 4.1 準備

本節では、OE の定式化を行うための変数を以下のように定義する。

- $n_{OP}$  : 命令が実行される総サイクル数
- $n_{NOP}$  : 命令が実行されない総サイクル数
- $n_{NOP\_act}$  :  $n_{NOP}$  のうち active 状態の総サイクル数
- $n_{NOP\_stb}$  :  $n_{NOP}$  のうち standby 状態の総サイクル数
- $n_{FU}$  : FU 数
- $S_{max}$  : 最大実行サイクル数

今、 $n_{NOP}$  のうち PG により standby 状態にできなかった割合を  $\alpha$  とすると、 $n_{NOP\_act}$  と  $n_{NOP\_stb}$  は次のように表される。

$$n_{NOP\_act} = \alpha \cdot n_{NOP} \quad (6)$$

$$n_{NOP\_stb} = (1 - \alpha) \cdot n_{NOP} \quad (7)$$

##### 4.2 粗い消費エネルギー見積もり指標

本節では、粗い消費エネルギー見積もり指標 Optimistic Energy (OE) の定式化を行う。提案する粗い消費エネルギー見積もり指標 OE は、第 3 章で述べた消費エネルギーモデルを簡略化したもので、式(8)のように表される。

$$OE = DE + OLE \quad (8)$$

ここで、 $DE$  は式(2)で定義したダイナミック消費エネルギーの総和、 $OLE$  は粗く見積もった PG を考慮したリーク消

費エネルギーの総和である。

今、総サイクル数は必ず命令が実行される場合と命令が実行されない場合に分けられるため、式(9)が成立する。

$$n_{FU} \cdot S_{max} = n_{OP} + n_{NOP} \quad (9)$$

また定義より、式(10)の関係も成立する。

$$n_{NOP} = n_{NOP\_act} + n_{NOP\_stb} \quad (10)$$

通常、FU のリーク消費エネルギーは FU 構成により大きく変化する。すなわち様々な命令が割り当てられた HW 面積が大きな FU はその分リーク電力も大きくなる。本研究では、1 サイクルあたりのリーク消費エネルギーを粗く見積もるため、各 FU の 1 サイクルあたりのリーク消費エネルギーは全て同じであると仮定する。具体的に、各 FU のリーク消費エネルギーの平均値とする。

今、 $lea_{ave}$ ,  $les_{ave}$  を 1 サイクルあたりの平均 active リーク消費エネルギー、平均 standby リーク消費エネルギーとし、式(11)、式(12)のように定義する。

$$lea_{ave} = \frac{1}{n_{FU}} \sum_{f=0}^{n_{FU}-1} lea(f) \quad (11)$$

$$les_{ave} = \frac{1}{n_{FU}} \sum_{f=0}^{n_{FU}-1} les(f) \quad (12)$$

ここで、 $lea(f)$ ,  $les(f)$  は第 3 章で定義された FU  $f$  の active 時および standby 時の 1 サイクルあたりのリーク消費エネルギーを表す。この時、粗く見積もったリーク消費エネルギーの総和  $OLE$  を式(13)のように定義する。

$$OLE = lea_{ave} \cdot (n_{OP} + n_{NOP\_act}) + les_{ave} \cdot n_{NOP\_stb} \quad (13)$$

従来、PG を考慮した消費エネルギーを見積もるためには命令スケジューリングにより消費エネルギーが最小となる命令スケジューリングと PG 挿入箇所の決定を行う。しかし、命令スケジューリングを行わずに、適当なパラメタ  $\alpha$  に対して式(8)を計算することで PG を考慮した消費エネルギーを粗く見積もり、アーキテクチャ最適化の高速化を実現する。

#### 5. 評価実験

本章では提案する粗い消費エネルギー見積もり指標 OE の評価を行うため、さまざまなアーキテクチャに対して消費エネルギーを見積もった。ベンチマークは cavity, handmade, motion, qsdpcm の 4 種類で、第 3 章で述べた消費エネルギーモデルに基づく評価は Uchida らの SA に基づく命令スケジューリング最適化手法を用いた[6].

5.1 想定する PG や命令スケジューリングの諸条件

本評価実験では、各命令を実行した際の消費エネルギーは UMC 90nm プロセスにより得られた値を使用した。全ての FU において PG を適用するには 10 サイクル必要であるとし、standby 状態のリーク電力は active 状態のリーク電力の 100 分の 1 であるとした。

また、PG を考慮した消費エネルギー最小命令スケジューリングを行う際の最大実行サイクル数は 150 サイクルとした。

5.2 実験結果

命令スケジューリングを行って得られた消費エネルギーと提案する OE とを比較するために、FU 数が 1 から 3 までの VLIW 型プロセッサの演算器構成を想定し、命令割当が異なるさまざまなアーキテクチャに対して実験を行った。表 1 に各ベンチマークで用いたアーキテクチャ数を示す。本実験ではそれぞれのアーキテクチャに対して、Uchida らの手法による消費エネルギー見積もりと提案する OE の計算を行った。

表 1 評価したアーキテクチャ数

Table 1 Number of Evaluated Architectures			
cavity	handmade	motion	qsdpcm
179	133	61	219

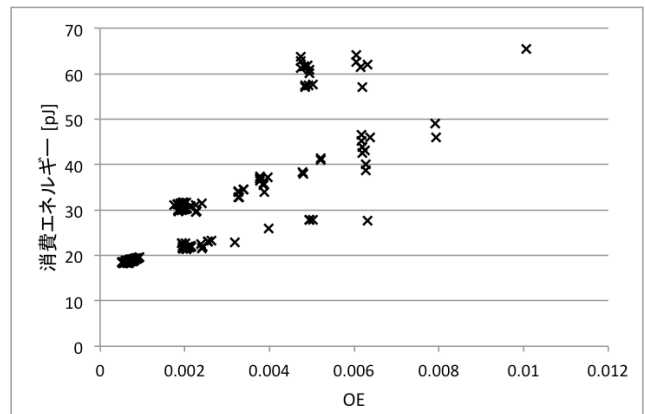
これらのアーキテクチャに対して、パラメタ  $\alpha$  を変化させて実験を行った。表 2 に OE と消費エネルギーの相関係数を示す。表 2 より、実験を行った全ての場合において相関係数が 0.8 以上と非常に高い相関があることが確認できた。一方、パラメタ  $\alpha$  が大きくなればなるほど相関係数は小さくなった。第 3 章で述べた消費エネルギーモデルでは、PG を適用した際のオーバーヘッドも考慮されている。しかし、提案する OE ではそのオーバーヘッドは考慮されておらず、その値が相関を低くした原因であると考えられる。

図 4、図 5 に cavity と QSDPCM において  $\alpha=0.0, 0.5, 1.0$  の場合の OE と消費エネルギーの関係をプロットした図を示す。横軸が OE、縦軸が Uchida らの手法により得られた消費エネルギーである。図 4、図 5 より、粗い消費エネルギー見積もり指標 OE が増加すれば、PG を考慮した命令スケジューリングによって得られた消費エネルギーも増加する傾向が見られる。この傾向はすでに表 2 に示した結果とも一致する。ここで、各実験において消費エネルギーが最小のアーキテクチャは OE の値も最小であった。

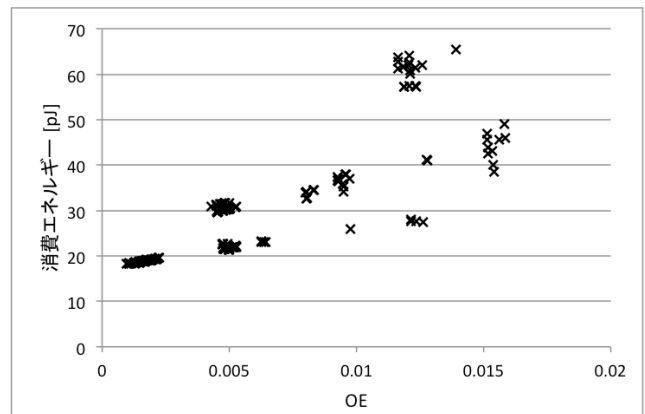
表 2 消費エネルギーと OE の相関係数

Table 2 Correlation Coefficient of Energy vs OE

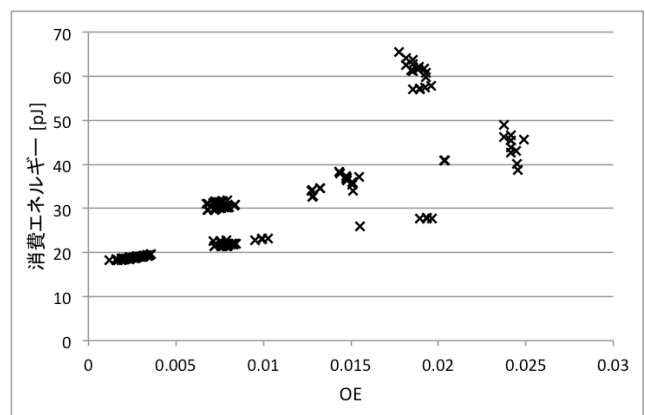
$\alpha$	cavity	handmade	motion	qsdpcm
0.0	0.85	0.93	0.97	0.88
0.2	0.85	0.94	0.95	0.88
0.4	0.85	0.93	0.94	0.87
0.6	0.84	0.93	0.92	0.87
0.8	0.84	0.92	0.91	0.86
1.0	0.84	0.92	0.90	0.86



(a)  $\alpha=0.0$

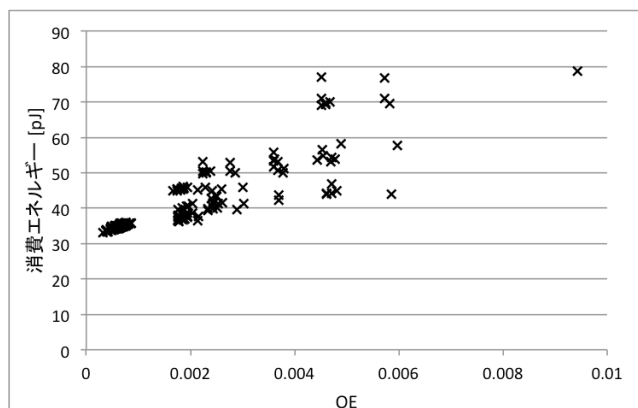


(b)  $\alpha=0.5$

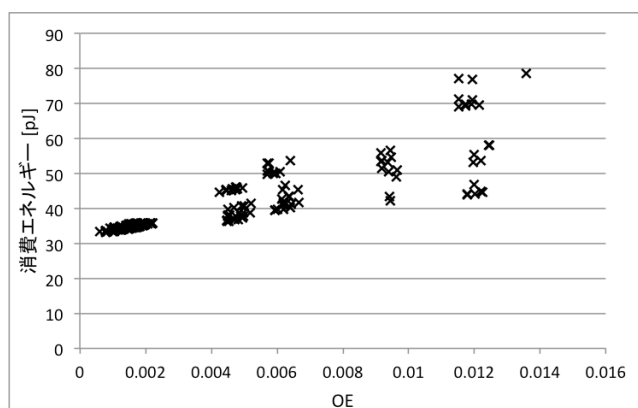


(c)  $\alpha=1.0$

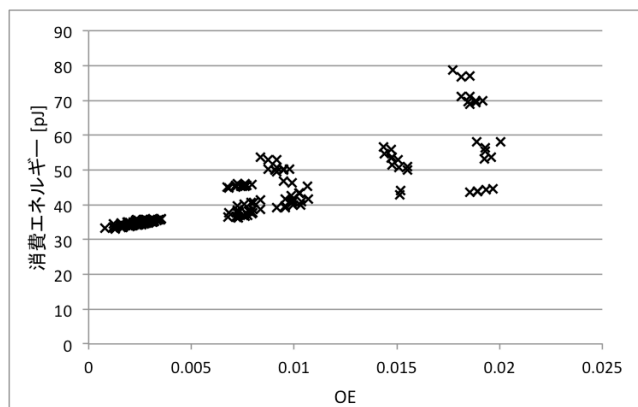
図 4 消費エネルギーと OE の関係 (Cavity)  
 Figure 4 Relation between Energy vs OE (Cavity)



(a)  $\alpha=0.0$



(b)  $\alpha=0.5$



(c)  $\alpha=1.0$

図 5 消費エネルギーと OE の関係 (QSDPCM)  
 Figure 5 Relation between Energy vs OE (QSDPCM)

## 6. まとめと今後の課題

本稿では細粒度電源管理を考慮した基本ブロックレベル消費エネルギー推定手法を提案した。提案した消費エネルギー推定手法として、粗い消費エネルギー見積もり指標 Optimistic Energy (OE) を提案した。PG を考慮して消費エネルギーを見積もる場合、最適な PG 挿入箇所を決定する

ために命令スケジューリングが非常に重要である。提案する OE を用いることで従来時間をかけて行っていた命令スケジューリングを行わずに PG を考慮した消費エネルギーを見積もることができる。実験結果より、PG を考慮して命令スケジューリングを行って得られた消費エネルギーと提案する OE の値は相関係数が 0.8 以上と非常に高い相関があることが確認できた。また、消費エネルギーが最小のアーキテクチャは OE の値も最小になることが確認された。

今後の課題としては、提案した粗い消費エネルギー見積もり指標 OE の精度の向上や、実際のアーキテクチャ探索への応用が挙げられる。

**謝辞** 本研究の一部は、NEDO「極低電力回路・システム技術開発 (グリーン IT プロジェクト)」研究開発項目[7]「低消費電力メニーコア用アーキテクチャとコンパイラ技術」および科学研究費補助金 若手研究(B) 23700067 (2011～2013 年度)「細粒度電源管理に基づくハードウェア/ソフトウェア協調低消費電力設計技術」による。

## 参考文献

- 1) 富山宏之: 組込みシステムのハードウェア技術, システム/制御/情報, Vol.51, No.9, pp.380—387, 2007.
- 2) 関直臣ら: MIPS R3000 プロセッサにおける細粒度動的スリープ制御の実装と評価, 情報処理学会研究報告 2008-EMB-7, pp.71—76, 2008.
- 3) J. A. Fisher, P. Faraboschi, and C. Young: Embedded Computing: A VLIW Approach to Architecture, Compilers and Tools, Morgan Kaufmann, 2004.
- 4) B. Mei, A. Lambrechts, D. Verkest, J. Y. Migolet, and R. Lauwereins: Architecture exploration for a reconfigurable architecture template, IEEE Design & Test of Computers, pp.90—101, March- April 2005.
- 5) P. Raghavan et al.: Playing the trade-off game: architecture exploration using COFFEE, ACM TODAES, Vol.14, Issue.3, No.36, pp.1—37, May 2009.
- 6) M. Uchida, I. Taniguchi, H. Tomiyama, and M. Fukui: Energy-aware SA-based instruction scheduling for fine-grained power-gated VLIW processors, in Proc. International SoC Design Conference (ISOCC), pp.139—142, Nov., 2012.
- 7) S. Gupta and F.N. Najm: Power modeling for high-level power estimation, IEEE Trans. on VLSI systems, Vol.8, No.1, pp.18—29, Feb. 2000.
- 8) S. Gupta and F.N. Najm: Analytical model for high level power modeling of combinational and sequential circuits, Proc. IEEE Alessandro Volta Memorial Workshop on Low-Power Design, pp.164—172, Mar. 1999.
- 9) 川内裕文, 谷ロー徹, 富山宏之, 福井正博: 等電力曲線モデルに基づく高精度・高効率 RTL 電力マクロモデル, 電気学会論文誌 C, Vol.131(2011), No.11, pp.1907—1914, Nov. 2011.