

## 解説

## メイン・メモリの動向\*

—素子および装置技術—

石井 治\*\*

## 1. まえがき

メイン・メモリのハードウェア技術は、現在——ちょうど 1970 年代の中期に当って——永い間のコアメモリ独占から半導体メモリへの過渡期にある。けれどもコアメモリには、積み重ねられた技術の改良と信頼性の実績、不揮発性など多くの優れた点があり、半導体メモリが進出しても短期間に有用性を失うことはないと思われる。それでこの時期に、コアメモリ、ワイヤメモリ等の磁気メモリがこれまでに到達した技術の現状、ならびに半導体メモリ技術（これは現在も急速な発展途上にある）の現状と動向を展望することは、この両種の技術の比較にも適当と考えられる。

メイン・メモリ技術の中には、バーチャル・メモリ、キャッシュ・メモリなどの、システム構成技術とよぶべき部分があり、この分野の最近における進歩も著しいものがあるが、これらは本特集の別稿で述べられるので、本稿では範囲をメイン・メモリの素子ならびに装置技術に限定した。

メイン・メモリは、コンピュータの発展そのものと密接に関係して種々のものが試みられ、使用されてきたので、はじめにその流れを概観する。そのあとで、前述したように現用メイン・メモリの主流である二つの技術——磁気メモリと半導体メモリ——の現状と動向をそれぞれに分けて展望する。そのあとで、不揮発性半導体メモリ、磁気バブル、電荷転送デバイスなど、現在研究段階にある一、二の技術についてその概要を記載する。

## 2. メモリ技術の進歩

## 2.1 概要

コンピュータ実用の初期以来、きわめて多くの種類のメモリが試みられ、その中のあるものは実用化に成

功し、あるものは実用化まで到達できないで消滅し、またあるものは一時実用されたがすぐに別の種類にとって代られた。いま、その概略の経過を振り返ってみることは、現在用いられているメモリ技術を展望するためにも無意味ではあるまい。というのは、新しい技術が実用にまで生長する過程において、先行技術から受ける影響はきわめて強いからである。これは新しい技術が先行技術の遺産をついで楽に生長することばかりを意味するのではない。むしろ産業的基盤では、先行技術があることによって、新しいものは食い込む余地がないといった形の影響を受けることの方が多いくらいである。この意味でメモリ実用の経過は、この分野での研究のテンポと、あり方について参考とすべき点が多いように思われる。

図-1 (次頁参照) はコンピュータ実用の初期から 1975 年頃までに至る間の、主なメモリの開発と実用経過を示すものである。この図で実線は実用期間を表わし、点線は実用に先立つ研究開発期間と、実用の終期における惰性的使用期間を表わしている。開発、実用の初期についてはすべて文献に基づいて記載したが、終期についてはそれができないので、種々の情報によって判断した。ここではメイン・メモリ、バッファ・メモリ、スクラッチパッド・メモリ等を併せて内部メモリとしてある。また、同図では比較のためにコンピュータの論理回路素子の変遷も併せて記載した。論理素子の変遷は、しばしばコンピュータの“世代”として呼ばれる。そして真空管によるものを第 1 世代、個別トランジスタによるものを第 2 世代、IC によるものを第 3 世代ということがある。

この素子による世代区分はコンピュータの内部のことであって、ユーザーとは関係のないもののように思われるかも知れないが、これは決してそうではない。素子の変化は、装置の信頼性、価格に著しい影響を与え、各世代ごとにコンピュータの普及は飛躍的な増加を示してきたのである。メモリの素子についてもこの

\* A Survey of Main Frame Memories by Osamu ISHII (Electrotechnical Laboratory)

\*\* 電子技術総合研究所

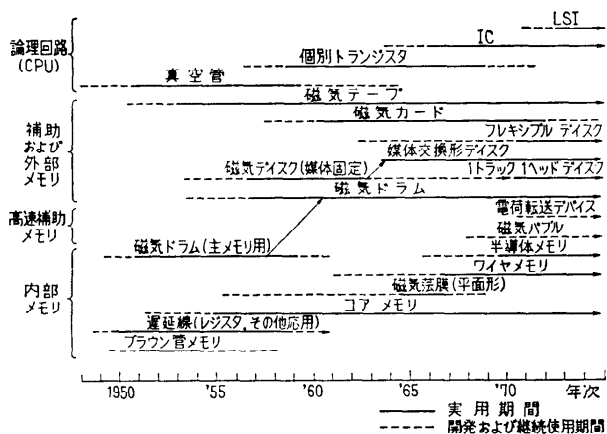


図-1 メモリ技術の変遷

ことは当てはまる。

### 2.2 第1期 (各種技術の試用期)

コンピュータ用のメモリとして最初に登場したのは、水銀槽を用いた超音波遅延線である<sup>1)</sup>。この媒体は間もなくガラス質のものに置きかえられた。これより少し遅れて、さらに高速の動作を目標としてブラウン管を用いたメモリが試みられた<sup>2)</sup>。これはブラウン管の蛍光膜上に電子ビームを用いて電荷を貯えるもので、幾つかの方式がある。

一方、超音波遅延線よりも大きな記憶容量を目標として、磁気ドラムの開発が行なわれた。磁気ドラムの提案は早い時期に遡ることができるが、実用化研究は1950年頃急速に発展した<sup>3)</sup>。この種の技術は基礎的には録音技術として実用化されていたものだけに、開発研究は直ちに企業の手で行なわれ、商用コンピュータのメイン・メモリとして使用された。

磁気ドラムが実用化されると、超音波遅延線はビット当りの価格が高くつくためにメイン・メモリとして用いられることは少なくなり、その後はレジスタなどの小容量メモリならびにコンピュータ以外の通信用など各種の応用に主として用いられるようになった。また遅延媒体としてもガラス質のもの他に小容量、高速なものとしては電磁遅延線、各種応用に対しては磁歪遅延線によるものなどが開発され、現在でも各種の用途に実用されている。

一方、動作の高速性をねらいとしたブラウン管形のメモリは、一部の商用機種に用いられたが、電子ビームの制御の安定性などに技術的困難があり、広く用いられるに至らないうちにこれよりやや遅れて開発の進められたコアメモリにとって代られることとなった<sup>4)</sup>。

コアメモリは機械的な回転部分や電子ビームの偏向などを含まない装置であって、そのランダム・アクセスの特徴によって、短期間にメイン・メモリの大多数を占めるに至った。その後、磁気ドラムは大容量補助メモリとして実用を継続することになった。

プログラム記憶方式以前をメモリ技術の先史時代とすれば、メモリ実用化の第1期は上述のようにコアメモリの優位が確定するまでの時期を当てるのが妥当であろうと思われる。これはコンピュータの第1世代にほぼ対応し、大まかにみて1950年代とみることができる。この時期のメモリ開発を特徴づけるものは、遅延線、ブラウン管、磁気ドラム、コアということに象徴されるように、全く異なった原理に基づく装置の試作、競合ということである。その動作原理の多くはすでに他の目的で工学的に使われていたものであり、それを新しい“デジタル記憶”の目的に合致するように装置として具体化することが技術研究の重点となった。そして幾つかの方式がそれぞれに試みられた後、コンピュータが、トランジスタの実用化によって第2世代に入ったのとはほとんど同じ頃、内部メモリは大体コアに限定され、メモリ開発は第2期に入ったとみられる。

### 2.3 第2期 (コアメモリの時代)

強磁性の環状コアを記憶に用いる試みは Pennsylvania 大学の Chu 等によって1945年に行なわれたが、これは1個のコアに1個のダイオードを必要とするもので実用的とはいえなかった<sup>5)</sup>。これがメモリとして実用的なものとなったのは、ヒステリシス曲線の矩形性を利用する選択方式の提案がなされてからである。初期の開発は MIT の Forrester<sup>6)</sup>、RCA の Rajchman<sup>6)</sup> 等によって推進された。素子としてははじめはパーマロイ系のリボンを巻いたものが用いられたが、間もなくフェライト系の矩形ヒステリシス材料に代ったのを機として実用化は短期間のうちに完成した。

これと同じ頃、強磁性体と同様に矩形のヒステリシス曲線をもつ強誘電体を用いたメモリの提案、試作も行なわれたが<sup>7)</sup>、ヒステリシス特性の劣化等の問題により実用されるには至らなかった。

コアが主メモリ用として定着すると、つぎの技術的努力はその大容量化と高速化に向けられた。その結果として、1960年代の10年間に、容量、速度ともにほ

は 10 倍の改善が実現された。

一方、コアメモリをさらに量産化、大容量化に適したものにするというねらいで、いろいろな形の一括生産形態が試みられた。それらを大別すると、コアメモリと同種の焼結磁性材料であるフェライトを媒体とするものと、パーマロイ系の金属薄膜を媒体とするものの二種類となる。コアメモリは小形の環状磁心に導線を貫通したもので、コアの製造とその後の組立ては多くの人手と工数を要する作業となる。そこで、板状のフェライトのブロックに多数の孔を作って、導体もメッキなどの方法で一括的に作成し、メモリプレキシしようという種類の試みが行なわれた<sup>8)</sup>。研究的に試みられたものは 10 種以上になるであろう。中でもベル研究所は電子交換用にこの種のメモリである“フェライト・シート”を、実用規模で試用した<sup>9)</sup>。けれどもこの電子交換用メモリも含めて、その大部分が実験室的には成功したが、経済性も併せて商用の基盤を確立するには至らなかった。

パーマロイ系の金属薄膜を素子とするものは、その厚さが 1 ミクロン程度以下の場合に、磁束反転の応答速度がフェライトコアよりも速く、またその製造工程が一括生産に適していると考えられたので、多くの研究機関や企業によって研究された<sup>10)</sup>。メモリ用磁気薄膜は、ガラスまたは金属の平面上に形成したものがはじめに研究され、導体線上に形成した“ワイヤメモリ”はそれよりも遅れて研究がはじめられた。

平面形の磁気薄膜メモリは MIT<sup>11)</sup>、Burroughs<sup>12)</sup> などが早い時期より実用化研究を行ない、1960 年代を通じて極めて多くの機関によって研究された。その結果かなりの数の軍用ならびに特殊のコンピュータに用いられた他、一般商用機種の一部にも用いられたが、その実用期間は図-1 に示したように比較的短かった。これは、一括生産については製造条件の困難性のため、また動作速度については周辺回路の制限のためにどちらも所期の効果が得られなかったことが原因と考えられる。

ワイヤメモリははじめ薄膜磁性体としてではなく、バルクの磁性線を用いたものがベル研究所で試みられたが<sup>13)</sup>、1963 年頃、電着磁性線によるものが日本<sup>14)</sup>およびアメリカ<sup>15)</sup>で研究され、1966 年頃より一部のコンピュータ（商用ならびに軍用）に実用された。現在各種の周辺、端末機器にもワイヤメモリは使用されているが、メイン・メモリとしての適用は比較的少数である。

以上の時期、すなわち半導体メモリが本格的実用に入るまでをメモリ開発の第 2 期とすれば、それはほぼ 1960 年代に当る。この時期の内部メモリの研究は、磁性体素子を中心としてその性能の量的改善ということを目指した。このことはすでに述べたように、コアメモリにおいて動作速度と容量に関する 10 倍の改善を具体化した。この時期の後半になると実用上の重点が 1 ビット当りの価格の問題に移ってきた。この傾向は、コアメモリの競争者として半導体メモリが実用に入ってくるとともに、さらに拍車をかけられた。コアメモリの動作速度は 1960 年代前半にはかなりの高速化を実現したが、60 年代の後期以後その進歩はあまり顕著でない。そして動作速度の限界は実用的にはサイクル時間 0.3  $\mu\text{sec}$  程度と考えられる。

一方、記憶容量に関して、コアメモリ開発の初期には、駆動条件や雑音などの技術的な問題によりその最大容量が制限されることもあった。けれどもこの問題は比較的短期間に解決され、その後大きな記憶容量が必要な場合には、モジュール単位で増設することにより技術的にはほとんど問題なく拡張可能となった。このために、記憶容量を制限する要因は、技術的な問題よりも価格的問題としての性格が強くなった。

図-2 は同一系統の大型システムにおける主記憶（コア）容量とビット当り価格を 1960 年代の各時期についてプロットした一例である<sup>16)</sup>。これより明らかなように、記憶容量は 60 年代の 10 年間に 20 倍以上の増大となっているが、ビット当りの価格も急速に低減し

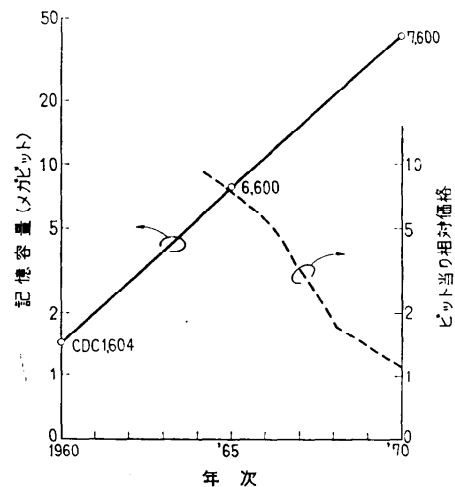


図-2 コアメモリの容量と価格の推移

ており、これをほぼ10年間に1/15とすればメモリ全体の価格の増加は2倍以内である。すなわち、あるコンピュータ・システムの中でメモリに割くことのできる価格配分というものには、およそ妥当な範囲というものがあり、ビット価格が安くなればそれだけ大きな容量を使うことができることになる。これが前述したように60年代後半に、ビット価格のことがクローズアップしてきた背景である。

2.4 第3期 (半導体メモリの進出)

半導体メモリ (ICメモリ) は1960年代の終り頃から実用への動きがはじまり、70年代に入って急速に本格的実用が定着してきた。これによってメモリ技術は第3期に入ったとみられる。

能動回路によるフリップフロップは、ENIAC以来レジスタとしてコンピュータ内部に広く用いられてきたものであるが、メモリと呼び得るビット数のものが実用可能となったのは集積回路技術の進歩によるものである。すなわち、ENIACで用いられた真空管フリップフロップは大容量化に適さないという理由で、遅延線以後いろいろの技術がメモリとして試みられた時代を経て、再び能動回路による記憶回路が集積回路技術のもとに復活したとみることもできよう。

半導体メモリをはじめて本格的に採用したのはIBMシステム360/85 (1969年)である<sup>17)</sup>。このコンピュータはコアによるメイン・メモリ (サイクル時間1.04  $\mu$ sec, 記憶容量512k~4096kバイト)と中央処理装置の間に高速のメモリを使用した“キャッシュ”方式の採用によって、コンピュータの方式についても画期的な位置を占めるものであるが、メモリ技術としてもこの高速メモリに半導体素子を使用することで一時期を開いた。このメモリはバイポーラIC技術によるもので、サイクル時間80nsec, 記憶容量16または32kバイトである<sup>18)</sup>。日本では通産省の大型プロジェクトによるコンピュータがバッファメモリとして半導体メモリを採用した。これはNチャネルMOS技術によるもので、8kバイトの容量をもち、装置としてのサイクル時間は80nsecである。また電電社の情報処理システムDIPSにもこの技術が用いられた<sup>19)</sup>。

1970年代に入ると多くの半導体メーカーがLSIメモリを製品化するようになったが、メイン・メモリとしての実用はIBM370シリーズのモデル145, 135 (1971)が先鞭をつけた。これとはほぼ同じ頃、既製のコアメモリと挿しかえ可能な装置 (add-on memory) という形でメイン・メモリ分野に半導体メモリの進出

がはじまった。それ以来半導体メモリは、集積度の増大に伴うビット価格の低下とともにその応用範囲を漸次増大した。図-3は半導体メモリの市場 (アメリカ)の年次による推移を示した一例 (Electronics)で、1977年における予測も併せて記載してある。

つぎに、磁気ドラムやディスクなどの補助メモリとメイン・メモリの間には、アクセス時間にして1,000倍以上の違いがあり、コンピュータ・システムの中での情報の流れの円滑化に支障となっている。この性能領域には従来適当なハードウェアがなかった。このため大形のシステムでは、動作速度の低下を代償として低価格化をはかった“大容量コアメモリ”と、それとは逆に価格の代償として高速化をはかったトラックごとヘッドをもつドラム、ディスクが用いられたがどちらもシステムの要求に対して不十分なものである。この領域を“高速補助メモリ”とよぶならば、それに適する形態として“BORAM (block oriented random access memory)”ということが提唱されたことがある<sup>20)</sup>。けれども今までのところ具体的なハードウェアとして実用化されたものがない。

ところで1967年にベル研究所によって提案された“磁気バブルデバイス”<sup>21)</sup>と、それより少し遅れて同じくベル研究所により発表された“電荷転送デバイス”<sup>22)</sup>は高速補助メモリに適するものと考えられ、研究開発が続けられているが、まだ実用的に定着するには至っていない。

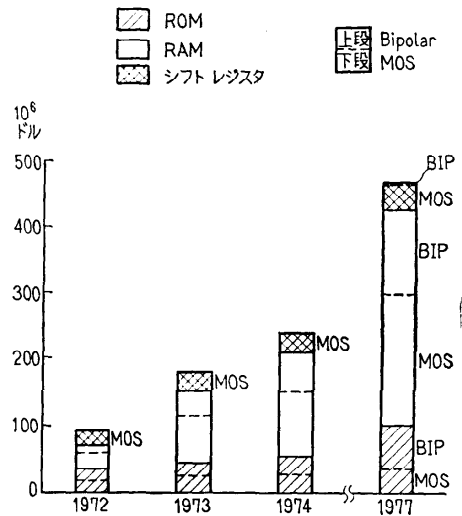


図-3 半導体メモリの市場

### 3. 磁気メモリ

#### 3.1 現状と動向

磁気メモリとして現在実用されているものは、大部分がコアメモリであり、一部にワイヤメモリが使われている。これらは現在、技術的にはほとんど完成された段階にある。なお、研究段階の磁気メモリとして、磁気バブルがあり、メイン・メモリとしてよりも、高速の補助メモリとして有望と考えられているが、これについては5章で触れる。

表-1 は磁気メモリの代表的な性能例であって、コアとワイヤは動作速度と容量に関してはほぼ同等のものであるとよい。磁気メモリは不揮発性（電源を遮断しても記憶している情報を維持する）である点が通常の半導体メモリと異なっており、このことがシステムの要求される場合には今後も使用されるであろう。半導体の不揮発性メモリは研究段階にあり、情報書き込み条件の制限などのために、現在では磁気メモリと競争できる技術段階に到達していない。メイン・メモリとしてはシステム上、不揮発性は必ずしも要求されないことが多いので、半導体メモリを用いるか、磁気メモリを用いるかということとは、主として価格・性能上の選択ということになる。

一般的にいって半導体メモリの進出は顕著であるが、コアメモリにはフィールドでの長い信頼度実績があり、また後述するように特に高速の分野以外では現在のところ性能的に大きな違いがないので、磁気メモリが短期間に全部半導体に置換されることはないであろう。けれどもメイン・メモリについては、上述の理由により半導体化が比較的早く進行すると考えられる。この種の市場性に関するデータは種々な形で散見されるが、データそのものの確度については吟味が必要であろう。図-4 にコンピュータのメインフレーム・メモリ（メイン・メモリの他にキャッシュ、スクラッチパッド等を含む）に関する動向予測の一例を示しておく<sup>23)</sup>。

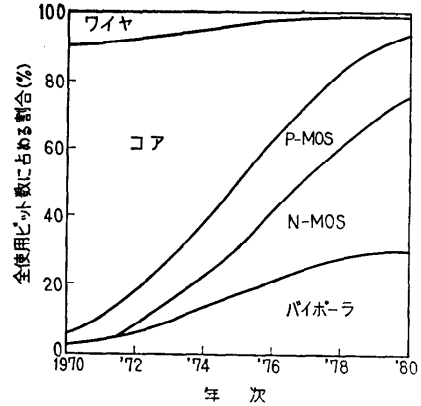


図-4 メインフレーム・メモリの動向<sup>23)</sup>

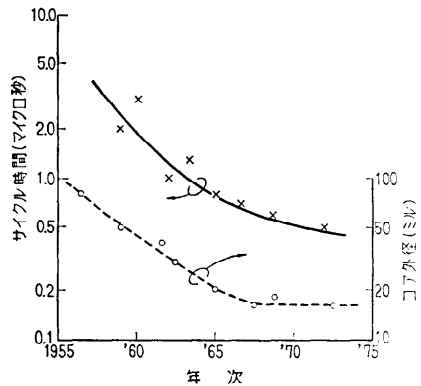


図-5 コアメモリの動作速度とコア寸法の推移

#### 3.2 素子および装置技術

メモリ技術の第2期において、動作速度と記憶容量の増大が主な研究課題であったことはすでに指摘した。この時期の技術的進歩は第一にコア寸法の小形化ということを目指した。図-5 はコアメモリのサイクル時間とコア外径の、年次に対する推移を示したものである。コアメモリの動作速度はこれから明らかなように、開発初期にくらべてほぼ 10 倍の進歩を実現したが、60年代の後期以後ほとんど横ばい状態である。この進歩はコア寸法の小形化とほぼ並行しているが、このことは以下に述べるような多少間接的な理由によるものである。

すなわち、コアメモリの速度を制限する要因のうち記憶マトリクス自体に関するものとしては（その他に、装置としての制御系や周辺回路の速度もメモリの速度に関係する）、コアの中の磁束反転に要する時間（スイッチング時間とよばれる） $t_s$ と、記憶プレナムまたはス

表-1 磁気メモリの性能例

種類	性能分野	アクセス時 (マイクロ秒)	サイクル時間 (マイクロ秒)	記憶容量 (キロバイト)	巻方	線式	コア外径 (ミル)	構造概要
コア	大容量・中速	0.45	1.5	131	3D-3W	20		スタック
	大容量・高速	0.38	0.64	131	2½D	16		プレーナスタック
	超高速	0.13	0.35	65	2D-2W	14		プレーナ
ワイヤ	A	0.3	0.6	24~131				NDRO ワイヤ
	B		0.8	32~524				ロッド

\* 1/1000 インチ

タック内の伝はん遅延時間  $t_d$  がある。  $t_d$  がコアの小形化によって小さくなることは容易に考えられる。  $t_d$  は材料の抗磁力を  $H_c$ 、駆動磁界を  $H$  とすると現象的にほぼ次のように表わされる。

$$t_d = S_w / (H - H_c)$$

ここに  $S_w$  は定数でスイッチング係数とよばれる。一方、マトリクス面の駆動条件より

$$H < 2H_c$$

であることが要求される。したがって材料の  $S_w$  が一定ならば  $H_c$  の大きなものほど  $t_d$  を小さくすることができる。けれども駆動電流値と、コアの磁化特性のヒステリシスにもづく発熱は、どちらも  $H_c$  に比例して増大するという欠点をもっている。この欠点はどちらもコア寸法の小形化によって防止することができる。この結果、コアが小形となれば  $H_c$  の大きな材料が使用でき、従って高速の動作ができることになるのである。もちろん、材料の  $S_w$  を小さくする方が望ましいのであるが、これまでのところ著しい成功は収められていない。材料的な改良はそれよりもむしろ温度変化に対する影響の小さいものという方向に顕著な進歩がみられた。温度の影響が小さければ装置の設計が容易になり、使用温度範囲が広がるのは当然であるが、上述の理由によりコア発熱の許容範囲が広がるので動作の高速化にも結びつくのである。

コア寸法の小形化は、成形法ならびに組立の取扱い上の理由により、外径 16 ミル程度を実際上の上限として、12 ミルのコアが用いられるのは特殊の場合に限られている。

コア寸法の小形化に伴って、記憶マトリクスの編線方式にも多くの種類が試みられたが、基本的なものは図-6 に示す 3 種である。マトリクス面の製作に着目すれば簡単なものほど好ましいのは当然であるが、複雑なものは装置を構成する際の利点があり、得失は必ずしも確定的ではない。

マトリクス面の巻線構造と関連して、アドレス選択

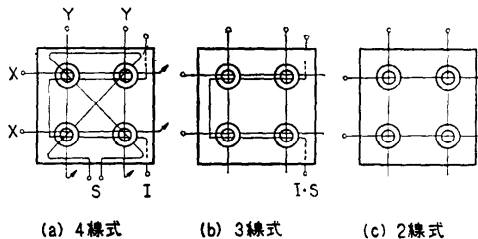


図-6 コアマトリクスの巻線方式

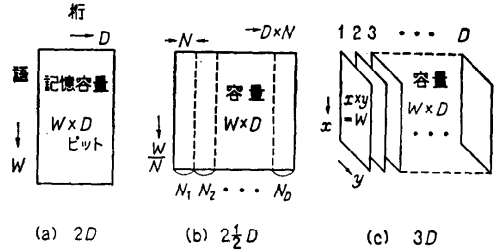


図-7 メモリ・マトリクスと選択の“次元”

の次元ということがある。語数  $W$  と、1語のビット数(ディジット数)  $D$  によって構成される論理的記憶領域を、物理的な記憶マトリクスにどう割り当てるかによって、図-7 に示すような 3 種の代表的な方式がある。(a) は  $W$  と  $D$  をそのまま物理的なマトリクス面に対応させたもので、線形選択、2次元(2D)選択とよばれる。(b) は  $2^{1/2}D$  選択とよばれるもので、物理的な記憶面を正方形に近くしようとするもので、2D 方式より外部回路が少なくてよい。(c) は電流一致選択、3次元(3D)選択とよばれるもので、最も早く提案されたものである。

これらの巻線方式と選択次元の組合せとして、コアマトリクスの構成方式はかなり多い<sup>24)</sup>。その幾つかは表-1 の中にも示してある。3D、4線式は最も早い時期から用いられ、広い普及を示したが、コアの小形化にともなって多数の巻線(とくに対角線)を用いることが困難となり、最近では3線式が主流となっている。コア外径の小形化が1960年代でほぼ完成すると、その次にはマトリクス面上での実装密度の増加が行なわれた。それに伴って従来記憶プレンを積み重ねる“スタック”形式であったものが、これを平面状に展開した平面(プレーナー)実装方式に移行して来たのが70年代に入ってからの特徴である。方式としては3D、3線式が多く用いられ、 $2^{1/2}D$ 、3線式がこれについて用いられる。さらに簡単な形式として2線式も2Dならびに $2^{1/2}D$ 方式として用いられる場合もある。

図-8(次頁参照)は60年代中期における30ミル・コアによる3D、4線式のプレんであり、図-9(次頁参照)は70年代における18ミル・コアによる3線式高密度実装プレンの部分を示すものである。これによって面密度増大の状況が見られるであろう。図-10(p.265参照)はこの平面実装を基本として、周辺回路までを同一のプリント配線カード上に実装したものの一例である。このようなカード単位では、制御ならびにデータ信号はすべて論理回路レベルであって、取扱

い性については半導体メモリのプリント配線板・カードとほとんど同様のものである。

ワイヤメモリについてはすでに2章で触れたように、パーマロイなどの強磁性合金を1ミクロン程度の厚さに導線上に電着したもので、駆動巻線は銅線を織物状にした方式と、プリント配線技術で作った並行導線ではさむ方式とがあるが、特性的にはほとんど同じである。マトリクスは2D選択方式であるが、ディジット系の外部回路で選択を行なう場合があり、これを2<sup>1</sup>/<sub>2</sub>Dとよぶこともある。これには磁気薄膜素子のNDRO(非破壊読出し, non-destructive read-out)特性が有効に利用される。実装形態として、60年代にはスタック形式も用いられたが、現在では平面実装形式が多く用いられており、図-10に示したコアのパッケージ・カードなどと実用的にはほとんど同じといってよい。平面の実装密度は高密度のコアよりは普通低い。

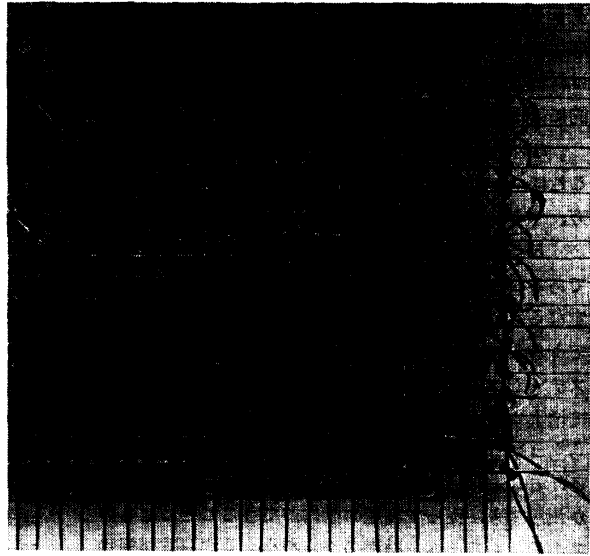


図-8 4線式3Dコアマトリクス(1960年代中期).  
30ミル・コア, 巻線ピッチは約0.8mm

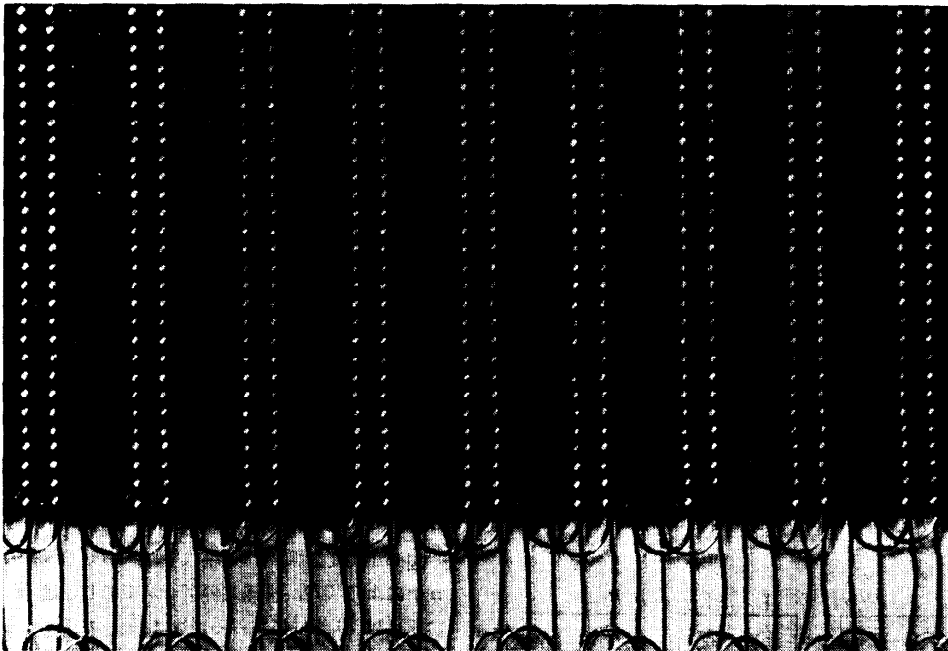


図-9 平行3線式高密度コアマトリクス(1970年代). 18ミル・コア, 横線ピッチは約0.31mm

#### 4. 半導体メモリ(RAM)

##### 4.1 現状と動向

半導体メモリがコンピュータ・システムに導入されるようになって来た経過についてはすでに2章で概略

を述べたが、1970年代に入って急速にこのことが進展するようになった技術的背景は、主として集積度の増大ということにある。LSI—大規模集積回路—といっても原理的な面では個別のトランジスタと異なるもの

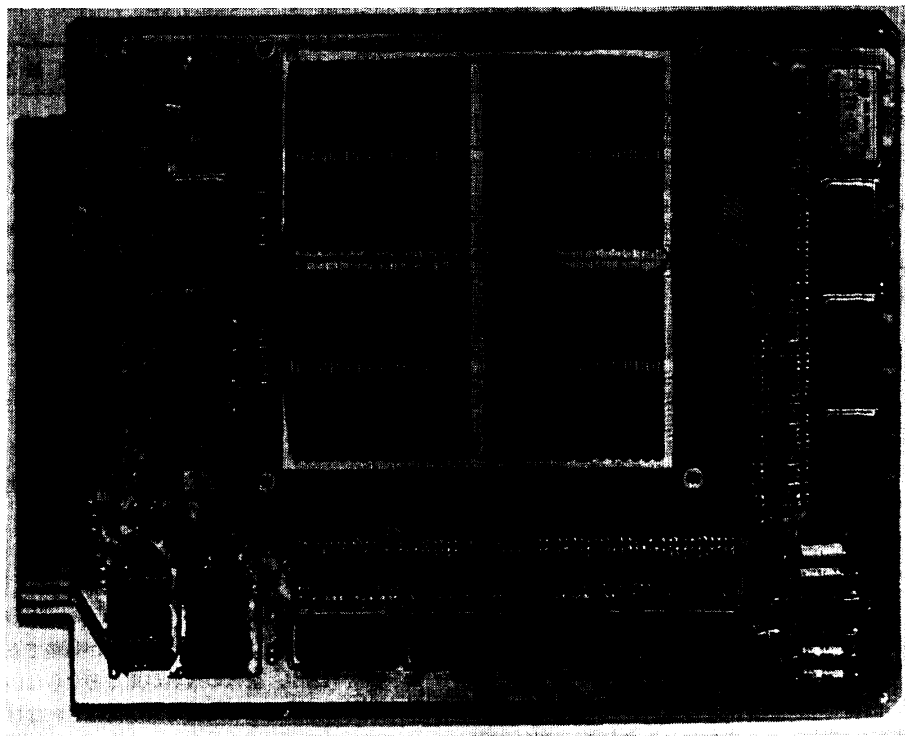


図-10 周辺回路実装コアメモリ・カード。4k×4 ビット，30 ミル・コア

ではなく、LSI としての特質は、極めて多数の素子を一括的に作成するところにある。そしてその一括的に作成する工程は、素子の数に関係なくほぼ一定であるから、1ビット当りの価格は集積度に逆比例して低下する。けれども集積度を大にするとその中に不良個所を含む確率が増大し、歩留りが低下する。そこで

$$(\text{ビット価格}) \propto (1/\text{集積度}) \times (1/\text{歩留り})$$

ということになる。歩留りは生産技術の進歩により断えず向上してきており、それが1970年代に入ってから磁気メモリに対抗してメイン・メモリに使用できるレベルにまで到達した。具体的に概括すると、半導体1チップ当りの集積度が1kビットに達したとき、コアメモリとほぼ対等の競争力をもったとみられる。このことは、1kビット LSI を用いたメイン・メモリ用のプリント板カード(図-17(269頁参照))を、前に挙げたコアメモリのカード(図-10)と比較すれば、それ

らが実装ならびに取扱い上ほぼ同等のものであることを理解されるであろう。これらの写真に示したカードはどちらも16kビットで、周辺回路を含み、外部からは論理信号インターフェイスにより動作させられるものである。

LSIにおける集積度の増大は上述のように、直接経済性に結びついた意味をもっている。図-11(次頁参照)に集積度増大の年次経過を示した<sup>25)26)</sup>。1974年現在では4kビットのものが実用に入りはじめた段階であるが、研究では8kまたは16k、さらに100kビット以上を指向したものも考えられており、集積の増大は当然継続すると考えられる。

半導体メモリには、デバイスの基礎技術としてバイポーラとMOSの2種類があることはよく知られている。それぞれの中でも、回路方式またはプロセス技術などによって幾つかの形式がある。表-2(次頁参照)に半導体RAM\*の特性例を示した。

バイポーラ形の素子は一般に動作が速く、レジスタやキャッシュに用いられるが、消費電力が大きく、集積度はMOSよりも低い。けれども将来デバイス技術

\* RAMはRandom Access Memoryの略であるが、半導体メモリの種類に関する通用の意味は、本来のアクセス形式の一種としてのランダム・アクセスを意味するのではなく、ROM(Read-Only Memory)に対するものであって、情報の読出しと書込みが同等に自由に行えるものを意味する。



表-2 半導体 RAM の性能例

	集積度 (ビット/チップ)	デバイスの種類	アクセス時間 (マイクロ秒)	サイクル時間 (マイクロ秒)	消費電力 アクティブ/スタンバイ (mW/チップ)	応用範囲
バイポーラ	256	ECL/TTL	0.02~0.05	0.02~0.05	350/350	レジスタ スタック タッチパッド キャッシュ
	1,024	ECL/TTL	0.06~0.09	0.06~0.09	500/500	
MOS	1,024	nチャンネル	0.06	0.18	450/60	キャッシュ、メイン
	1,024	pチャンネル	0.3	0.6	450/60	メイン
	4,096	nチャンネル	0.2~0.35	0.4~0.7	350/30	メイン
	1,024	nチャンネルスタティック	0.5	0.5	350/90	小容量システム、周辺機器
	1,024	CMOS	0.6	0.6	30/0.3 ( $\mu$ W)	周辺機器等

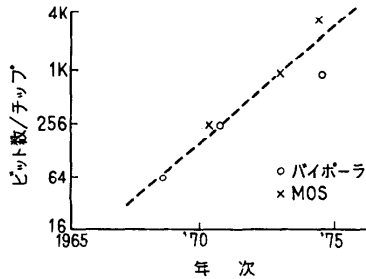


図-11 半導体メモリの集積度の推移

の改良により (たとえば  $I^2L$  とよばれるものは消費電力が MOS 程度であるといわれる), メイン・メモリの分野に進出することも十分考えられる。

MOS 素子では, 図-4 でもわかるように, はじめ p チャンネル形が実用され, それよりも高速動作に適する n チャンネル形は少し遅れて実用期に入ったが, メイン・メモリとして多く用いられるようになってきた。p 形と n 形を共用した C-MOS (Complementary MOS, 相補形) は定常時の消費電力がきわめて小さいので特殊の用途に用いられる。集積度の大きい MOS メモリはメイン・メモリ用に適しており, また高速を指向した n チャンネル素子はキャッシュなどの高速メモリにも用いられる。

半導体技術を用いたメモリとしては, 表-2 に示した RAM のほかに, 情報の書換えができない **ROM**, 電源を遮断しても情報を失わない**不揮発性メモリ**, シフトレジスタ形のメモリの**電荷転送デバイス** (CTD, Charge Transfer Device, または CCD, Charge Coupled Device) などがある。これらは現在, メイン・メモリを指向したものではないが, 不揮発性メモリと CTD については今後の研究の進展によって適応分野がかなり広がることも考えられるので, その概要を 5 章で述べる。

#### 4.2 素子および装置技術

半導体メモリの技術的課題はおよそつぎの 3 点に要

約される。すなわち

- (i) 高集積化
- (ii) 高速化
- (iii) 低電力化

この他にももちろん高信頼性, 低価格等の要素もあるが, それらを技術的な面からみると, 高集積化ということと密接に関係しているのである。

まず, 高集積化についてみるとこれには, (i) 1 ビット当りのメモリ・セル面積を小さくする, (ii) 歩留りを向上させる, という 2 面がある。セル面積を小さくすれば同一面積に多数のビット数が集積できることは当然であるが, 全体の放熱が難点とならないためには, 同時にセル当りの消費電力が低減されなければならない。歩留りについては, セル当りの歩留りが低ければ多数のビットを収容した場合の歩留りはきわめて低いものとなり, 経済的に成り立たない。そこで歩留りを高めることが, 高集積化を可能とする基本的条件となるのである。

セル面積を小さくするには, プロセス技術を改良して素子そのものを小さくする行き方と, 1 ビットの回路構成を簡単にする行き方の両者がある。どちらも活潑な研究が行なわれており, 多くの種類が発表されている。ここではそれらを広く具体的に展望することはできないので, 代表例によって問題の概要を述べるに止める。

図-12 (次頁参照) はバイポーラ・トランジスタの平面構造の例である。(a) は標準的な形式であって, 大きな拡散領域の中にその次の拡散領域を作るということを繰り返して, ベース, エミッタ, コレクタからなるトランジスタを形成する。(b) はそのプロセスを改良して選択拡散のマスク合わせによる誤差をなくすることにより (配線そのものをマスクにすれば配線と拡散の相対的な位置ずれの問題がなくなるので都合がよい。この方法をセルフアラインとよぶ) 小形化をはかったもので, (a) にくらべて約 1/5 の面積となってい

る。この種の技術には Isoplanar, V-ATE, VIP などとよばれる多くの種類がある。

図-13 は MOS メモリ・セルの回路形式を示したもので、1 ビットを構成する回路が種々あることを表わしている。同図(a)は古典的な Eccles-Jordan 形のフリップフロップで  $Q_1, Q_2$  のうちいずれか一方がオン、他方がオフとなることを2 値情報に対応させる。 $Q_3, Q_4$  は負荷抵抗であり、 $Q_5, Q_6$  はこのフリップフロップをディジット線  $D, \bar{D}$  に接続または遮断するスイッチである。このスイッチは常時はオフであり、語線  $W$  にパルスを与えることによってオンとなる。この型のメモリ・セルは電源がオンであればその状態を定常的に保持するので“スタティック”メモリ・セルとよばれる。

同図(b)は(a)における負荷抵抗  $Q_3, Q_4$  がメガオーム程度の高抵抗であることに着目して、漂遊容量によりその代りをさせたものである。その容量が充電し終る前に書きなおし(リフレッシュ)をする必要があるので、“ダイナミック”方式とよばれる。以下の(c)、(d)もダイナミック方式である。(c)は3 素子で1 ビットを構成するもの一例であって、 $Q_2$  のゲート漂遊容量が充電されているか否かによって  $Q_2$  のオン、オフが決定されることを2 値情報に対応させる。 $Q_1, Q_3$  はそれぞれ駆動線  $I$  (書き込み情報) および  $S$  (センス) 線への接続をオン・オフするスイッチで、それぞれ  $W$  および  $R$  にパルスを与えることによって制御される。スイッチの接続方式には数種類がある。(d)は1 ビット1 素子の例であって、 $C_1$  の充放電を情報に対応させ、スイッチ  $Q_1$  を介してこれを  $D$  線に接続して書き込み、または検出するものである。

1 ビット・セルの構成素子数が少なければ、ビット当りのチップ上に占める面積が小さくなることは当然

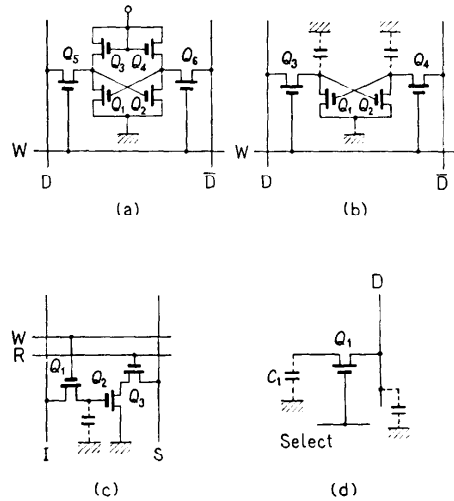


図-13 MOS メモリ・セルの回路形式  
(a) 6 素子(スタティック) (b) 4 素子  
(c) 3 素子 (d) 1 素子

であるが、ダイナミック方式ではある程度の漂遊容量を積極的に形成する必要があり、このため導体面積を大きくするなど、セル面積は素子数に比例するというわけではない。

つぎに、バイポーラ・メモリ・セルの代表的な回路方式の2例を図-14(次頁参照)に示しておく。MOS メモリにおける図-13 のような素子数の問題よりも、この場合はセルとディジット線の結合方式が主な回路形式の相違となっている。すなわち、同図(a)ではフリップフロップを構成するマルチエミッタ・トランジスタの一つのエミッタがアドレス選択線  $A'$  に接続され、他方がディジット線  $D, \bar{D}$  に接続されているのに対して、(b)ではディジット線への結合はダイオードを介してコレクタ側から行なわれている。(b)は回路図上では素子数が多いが、デバイス構成法の改良により1 ビット分のセルがトランジスタ2 個くらいの面積でできるといわれており<sup>27)</sup>、IBM 370 に用いられている。

つぎに消費電力に関連した二、三の問題点を述べよう。図-15(次頁参照)は半導体メモリの動作速度(アクセス時間)と集積度の関連を記載したものである。この図から、バイポーラ・メモリは高速・小容量、MOS メモリは低速・大容量の領域に分布していることがわかる。デバイス技術の進歩によりバイポーラでかなり大容量のもの(現状では1k ビット)や、MOS で高速のもの(100 ナノ秒以下)も発表されるようになってきた。

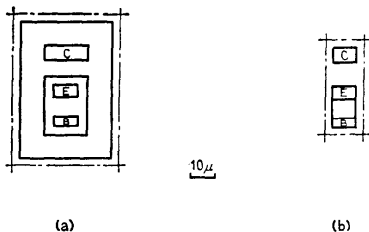


図-12 バイポーラ・トランジスタの平面構造例  
(a) 古典的なジャンクション・エッチレーション方式  
(b) セルフアラインによる“アイソプレーナ”方式

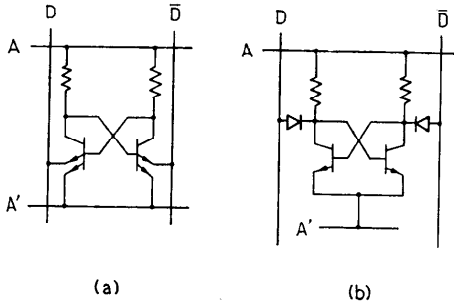


図-14 バイポーラ・メモリ・セルの回路形式  
(a) エミッタ検出 (b) コレクタ検出

集積度とアクセス時間の相互関係はやや間接的であって、それよりも直接的なのは消費電力と動作速度の関係である。そしてこのことは、アドレス・デコーダやセンス増幅器を含んだ“メモリ回路”よりも“論理回路”の場合に簡明である。すなわち、論理回路においてはパルスの立下り、立下り時間が問題となるのであるが、これらを負荷の漂遊容量の充放電と考えると、電圧振幅が一定の場合、駆動電流すなわち消費電力に逆比例することとなる。そこで、動作時間（遅延時間）と消費電力の積を性能指数とすることが広く行なわれる。

メモリの場合には、前述したように周辺回路を含むので要因が多少複雑であるが、ビット当りの消費電力に換算して、論理回路と同様の電力・遅延時間積により評価することも行なわれている。一方、集積回路を収容するパッケージの放熱能力に限界があるために、

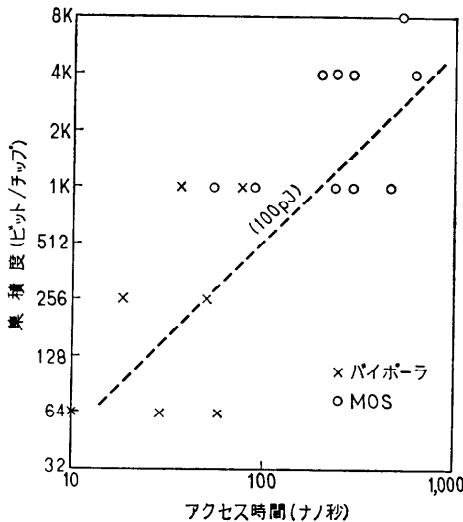


図-15 半導体メモリの集積度とアクセス時間

現在広く用いられているセラミック・パッケージ（デュアル・インラインとよばれる）では 500 mW 以上の消費電力の半導体チップを収容することは好ましくない。したがって集積度と 1 ビット当りの消費電力とは逆比例関係にあり、このために大容量のチップは低速ということになるのである。500 mW の限界値に対して、性能指数 100 pJ の場合の集積度と動作速度の関係を図中に点線で示してある。現状では 10 pJ に近い素子が研究されている。論理回路では遅れ時間の定義が、単純な論理信号の遅れを採用するのが普通であって、メモリのアクセス時間より著しく小さいので、電力・遅延時間積も 1 pJ 以下のデバイスもある。

図-16（次頁参照）は 4k ビットの RAM チップの例であり、図-17（次頁参照）は 1k ビット・パッケージを用いたメイン・メモリ用のカード実装例である。メモリの全体はこの種のカードを多数枚使用することで構成されるので、保守性は良好である。装置の信頼性設計については本特集中の別稿に記載されるので本稿では省略する。

半導体メモリの素子および装置に関するもう一つの重要な課題として、テストの問題がある。これは、半導体メモリを外からみた場合、その内部状態の組合せはほとんど無限大といってよい数であり、駆動条件もまたきわめて複雑であることに起因する。このため完全なテストは不可能なのであって、それならばどのようなテストを実施すれば、よりよい完全性が保障されるかということに帰着する。このことの内容については紙面の制限ならびに本特集の性格上省略するが、コアメモリの場合と比較した相違点を指摘しておきたい。

すなわち、コアメモリは 1 ビットごとの環状コアを予めテストして、これに合格したものでマトリクスを構成した場合、はじめのテスト条件を吟味しておけばマトリクスにした場合の完全性はほとんど確実である。これに対して集積回路の場合は最終的な形になってからテストが行なわれる。もちろんウェハー段階でのテストも行なわれるけれどもコアの場合とは異なって、最終段階でかなり高い率の不良品を選別しなければならないのである。この点は一括生産の利点と表裏の関係を示していると思われる。

## 5. 研究段階のメモリ技術

### 5.1 現状と動向

メイン・メモリあるいはもう少し範囲を拡大して、

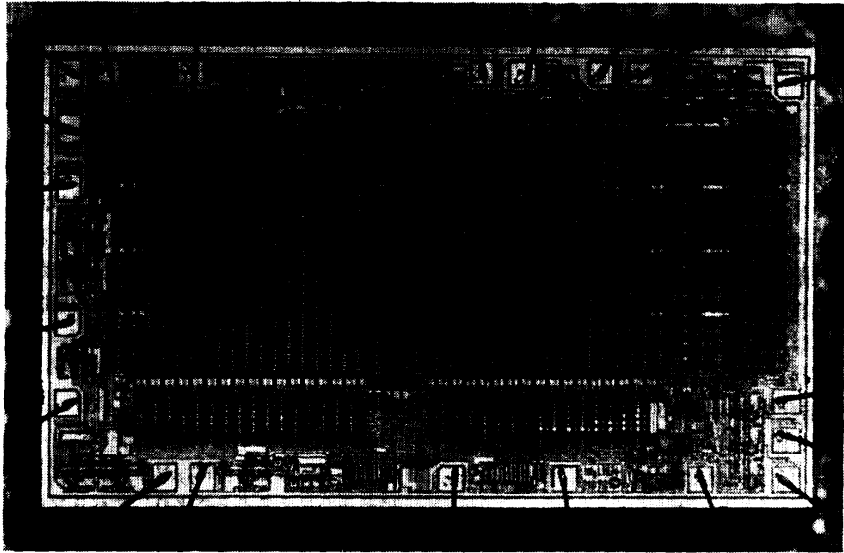


図-16 4k RAM チップ (約 4.6×2.6mm). MOS, ダイナミック方式

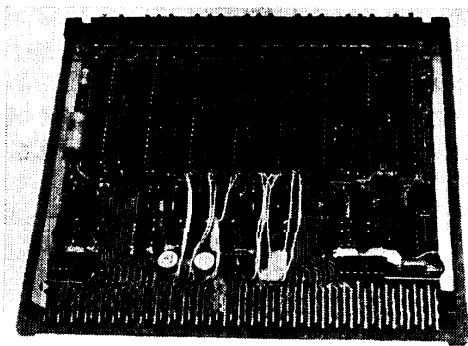


図-17 半導体メモリ・カード. 16k×1ビット,  
1k RAM を 16 個実装

外部メモリを除いたメモリの分野における新しい技術開発を概観すると、現在実用されている記憶原理による素子の量的改良というべき方向と、新しい記憶原理にもとづく素子の実用化という二つの方向がある。

前者は一言でいえば、半導体 RAM の改良ということになる。この種の、必ずしも新しい原理に立脚するのではなく、現在実用されている技術の量的改良だけでも研究課題はきわめて多く、これらは着実にその成果をあげるであろう。また、デバイスの動作原理としては従来通りのものであっても、それを作る技術という観点からすると全く新しい方法の導入もしきり

に試みられている。その重要な分野の一つに“超微細加工”とよぶべきものがある。

現在の集積回路技術において、選択拡散や配線の寸法の限界は、それらを形成するためのマスクとホトエッチングの精度にある。この精度は現在数ミクロンのレベルにあり、可視光線波長の数倍程度にまで来ているので、このままの方法で大幅の精度向上は困難である。そこでさらに波長の短いX線、電子線などによる露光が試みられている。現在では、精度は高くても大面積を処理することが困難であったり、多くの解決しなければならない問題をかかえており、どの方法が現在の光学プロセスによる微細加工の壁を突き破るものであるかは明らかでない。けれどもこの種の加工技術が技術革新を迎えた場合には、デバイス構造ならびにプロセスの改良と併せて、メモリの装置技術に全く新しい局面が展開されるに違いない。近い将来においてメモリの性能・価格に関する進歩の最も大きなものはこれらの改良進歩にもとづくものであろう。

つぎに新しい記憶原理にもとづくものの研究としては、不揮発性半導体メモリ、電荷転送デバイス(CTD)、磁気バブル、超電導現象の応用などがあげられる。これらの技術の研究実用化に関する進展の程度はまちまちであって、ある種の不揮発性半導体メモリは市販の段階にあるのに対して、磁気バブルは現在実用規模での試作による評価を行なおうとする段階であり、ジョセフソン素子などの超電導現象は実用研究と

して初期の段階にある。

これらについて次節以下に概要を述べるが、超電導素子については改めて触れることをしないので、ここでその要点を述べておこう。もともと超電導現象を用いた論理、記憶素子は“クライオトロン”とよばれるものが早くより試みられ<sup>28)</sup>、実用化研究は1960年代を通じてRCAなどにおいてかなりの規模で進められた。けれどもその時点では実用するに至らず、研究は大部分打切られた。それが最近になって再び“ジョセフソン効果”の利用という形で一部に基礎的研究が進められるようになったのは、この素子が従来の超電導デバイスとくらべて（さらに通常の半導体デバイスとくらべても）、前章で述べた電力・遅延時間積が遙かに小さいと考えられるからである。現在の最も高性能の半導体論理デバイスでは、電力・遅延時間積が0.1 pJ程度であるのに対して、ジョセフソン・デバイスでは $10^{-6}$  pJの可能性があると報告もある<sup>29)</sup>。けれどもメモリとして大集積性、生産性等、装置構成への適性については未知に属する。

## 5.2 不揮発性半導体メモリ

前章に述べた半導体RAMの記憶原理は、基本的にはフリップフロップであって、電源がオフとなると記憶情報が失われる。この欠点をなくするという試みが、不揮発性ICメモリの出発点である。

その具体化にはいろいろの形式があるが、ほとんどすべてがMOSトランジスタをもとにしたものである。RAM記憶セルにおいても、回路的なフリップフロップ以外に、ダイナミック形とよばれるものがあり、これはMOSのゲート部分もっている漂遊容量の充放電を記憶に利用する。これらのセルにおいて記憶に直接関与するのは1個のMOS素子だけであって、他の素子は情報線への接続を選択的に行なうためのものである。

ところでこの種の記憶セルにおけるゲートをオン・オフさせるコンデンサの機能を、漂遊容量のような、素子外に求めずに、MOSのゲート構造自身の中にもたせたものが、不揮発性半導体メモリの原理である<sup>30)</sup>。

けれども、ゲートに電荷を与えただけではその状態を定常的に維持することは困難である。すなわち、ゲートに与えられた電荷が散逸しないようにすることが必要であって、このための構造が、不揮発性ICメモリにおける特徴的な部分である。

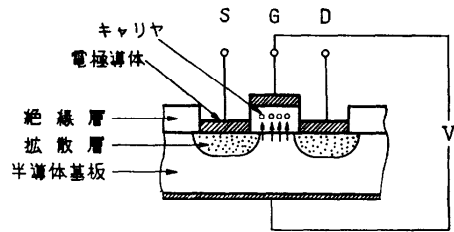
MOSトランジスタの断面構造は図-18に示してある。ゲート部分(G)は導体が絶縁層(SiO)を隔てて

シリコン基板に面している。この部分に電荷を与えてそれが定常的に保持されるためには、絶縁物中に低エネルギーの部分(トラップ)を作って、そこに電荷をとらえることが必要である。

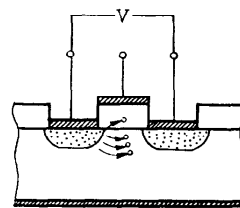
絶縁層中のトラップの作り方には数種の方法があり、2種の絶縁物の境界を利用するもの、絶縁物中に形成された導電体を利用するもの等がある。いずれにしても、このトラップに電荷を注入するためには、絶縁物によるエネルギー障壁を越すことが必要である。

その方法は大別して、トンネル効果によるもの(図18(a))と、キャリアの加速によるもの(同図(b))がある。トンネル効果によるものは、ゲートと基板半導体の間に高電圧を加えることにより、薄い絶縁層をトンネル効果でキャリアが通過するようにする。また、粒子加速によるものは、ソース(S)とドレイン(D)間に電圧を加えることにより、アバランシェ等によって生じたキャリアを加速してその一部が絶縁層のエネルギー障壁を越えるようにさせるのである。

つぎに、一度トラップに注入された電荷をもとの状態にもどす(すなわち情報を書きかえる)にも幾つかの方法がある。トンネル効果によるものは、逆方向のトンネル効果によってもとの状態にもどすことが考えられるが、書込みに粒子加速を用いるものは多くの場合トンネル効果を用いて消去することが困難である。



(a) トンネル効果



(b) 粒子加速

図-18 MOSトランジスタの断面構造と絶縁層への電荷の注入方法

この場合にはX線、紫外線の照射によってキャリアに遷移エネルギーを与えることが行なわれる。トンネル効果によって書込むものでも、絶縁層の絶縁耐力が逆方向トンネル効果を行なわせるのに不十分なときには、消去にX線照射等の手段が用いられる。

このような機構で注入された電荷の持続時間がどの程度であるかは実用上きわめて重要な問題である。これには、熱エネルギーによって絶縁物のエネルギー障壁を越える場合と、絶縁特性そのものの不完全性にもとづく電気伝導での電荷の散逸が考えられる。これらに関する経験的知識は現在十分とはいえないが、これまでに試みられている不揮発性素子の特性では実用上問題ない程度の保持特性を有していると考えられている。

不揮発性半導体メモリは現在なお開発要素が多く、種々のデバイス構成が試みられているが、すでに述べたように、MOS構造を基礎とし、これにトラップを有する特殊絶縁層を併せ用いるものが多い。それでこれをMIS (metal insulator-semiconductor) またはMIOS (metal insulator-oxide-semiconductor) 構造と呼んでいる。

代表的な不揮発性半導体メモリの特性例を表-3に示す。デバイス構造の問題にはここで触れないが、機能的にみても数種の類形に分けられる。

まず、情報の設定(書込み)はほとんどのものが電氣的に行なわれるけれども、それに要する時間にはマイクロ秒からミリ秒にわたる相異がある。一般にトンネル形のものを書込み時間が小さいが、加速粒子形のものでは大きな時間が必要である。書込みに要する電圧は、一般の論理信号電圧にくらべて1桁くらい大きく、これがこの種のデバイスを使いにくいものになっている一因である。この電圧を小さくしようとする研究は多くのところで行なわれている。

情報の消去については、それを電氣的に行なうものとX線または紫外線等によるものに大別される。また、書きかえ可能回数も使用者からみると重要な要素である。書きかえ数については、RAMがほとんど無

制限なのに対して、不揮発性半導体メモリの多くはまた無制限というところまで行っていないものが多い。

不揮発性ICメモリの、周辺回路を含んだブロック構成は、RAMと本質的に異なるものではないが、読出し系と書込み系が回路的にRAMとかなり異なり、また電氣的な消去のためには回路が別に必要となる。これらはRAMの場合と同様に、1チップ上にすべてを収容したものと、一部の回路はチップ外に付加するものがある。

### 5.3 電荷転送デバイスと磁気バブルデバイス(シフトレジスタ形メモリ)

これまでに述べたメモリは、メイン・メモリとしての開発初期における遅延線、ブラウン管メモリなどを除けばすべてがランダム・アクセス形式のものである。そして今後もメイン・メモリについてはそれが継続するであろう。けれども、2章の終りに指摘したように、シフトレジスタを基本とする“BORAM”を指向した固体メモリ装置が研究されており、それが具体化したならばメモリの階層構成にインパクトを与える可能性がある。すなわち、この種の装置でメイン・メモリをバックアップすることにより、実効的なパフォーマンスの低下なしにメイン・メモリの必要記憶容量を節減することができるかも知れないからである。この種のメモリを指向したデバイスとして、現在研究中のものに電荷転送デバイス(CTD, CCDともいう)と磁気バブルデバイスがある。以下にそのデバイスの概略を述べ、その後で両者に共通した装置構成の問題を述べることにする。

#### (i) CTD<sup>22)</sup>

このデバイスは半導体表面の絶縁物の上に電極を形成しただけの極めて単純なMOS構造をもっている。基本的には一般の半導体集積回路と同じであるが、不純物拡散を用いない簡単な構造であり、製造技術の発達により転送効率も良好なものが得られるようになってきたので、大容量メモリとしての具体化が有望と考えられている。

図-19(次頁参照)はその断面構造ならびに動作方法

表-3 不揮発性半導体メモリの特性例

素子の構造	ビット数	書込み電圧(V)	書込み時間	読出し時間	情報の書換消去方法	文献
FAMOS	2,048	40	<20 ms	800 ns	X線, 紫外線で消去	31)
MNOS	1,024		10 $\mu$ s~10 ms	500 ns	電気書換え	32)
MAS	256	50	100 $\mu$ s	20 ns	X線, 紫外線で消去	33)
MAOS	256	20	100 ms	<100 ns	電気書換え	34)
SAMOS	2,048	40	<10 $\mu$ s	1.5 $\mu$ s	電気書換え	35)

の概略を示すものである。この電極に電圧を加えることによって、その電極の下の特定期域に空乏層 (depletion 領域) を作り、この中に少数キャリアを蓄えらると、この電荷は散逸することなく電極の下に保持せられる。空乏層の境界はまた電位分布をも相似的に示しており、その状況は図-19 中に示してある。つぎに、この電極に加える電圧を、図 (a), (b), (c) に順次示したように、隣接電極間で変化させると、蓄えられた電荷は隣の電極の下に移動する。これが CTD の極めて大まかな動作原理である。

以上により明らかなように、このデバイスは本質的に集積回路技術に立脚するものであって、個別部品で作ることはできない。動作原理として重要な点は、空乏層を制御することによって、これにより電荷の拡散がさけられる。けれども本質的に無利得であるから、電荷の移動に際して多少の減衰があるので再生が必要である。

CTD の初段に電荷を注入する方法は幾つかあり、アバランシェ降服によるもの、接合ダイオードを用いるもの、光の照射によるものなどが試みられている。光との組合せは映像デバイスとしてほとんど実用の段階に達している。つぎに電荷の検出方法にも数種があるが、最終段に到達した電荷をダイオードで検出するもの、直接基板に逃がして検出するものなどが行なわれる。

(ii) 磁気バブル<sup>21)</sup>

磁気バブルデバイスは、ある種の強磁性体薄板における“磁区”が、その板の厚さ方向の小さな円筒状となり、その形状、寸法を安定に保持することを利用して、これを2値情報に対応させ、情報の記憶、処理に応用しようとするものである。

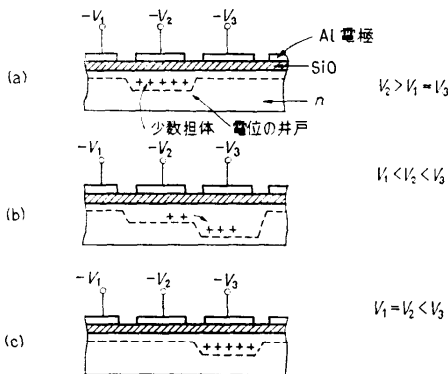


図-19 電荷転送デバイスにおける電荷の移動

この小円筒形の磁区は、薄板材料の物質定数、厚さ等と外部から加えられる磁界によって定まる大きさを保ち、また薄板上の任意の場所に移動させることができるのが特徴である。薄板の材料として、最初はオルソフェライトの単結晶が用いられたが、その場合バブルの直径は100ミクロン程度であった。その後エピタキシャル成長によるガーネット膜が用いられるようになると、バブルの直径が数ミクロン以下であるために大容量メモリとしての集積化が可能となった。さらにある種の非晶質合金膜も試みられている。

図-20 は磁気バブルの移動を制御する代表的な方法を示したもので、基板上にはバブルの大きさと同程度のパーマロイ転送パタンが形成されている。これに基板方向の回転磁界を加えると、転送パタンの端部に順次磁極が現われる。バブルはこの磁極に吸引されてつぎつぎにその位置を移動するので、パタンの形状を工夫することにより任意の場所にバブルを移動させられる。バブルの検出には磁気抵抗効果が主として用いられ、ホール効果や磁気光学的方法も試みられている。

(iii) シフトレジスタ形メモリの構成

上に述べた CTD と磁気バブルの動作は本質的にシフトレジスタであるから、そのままでもメモリと考えることができるが、そのシフトループの組合せ方やアドレス・デコードの方法などには多くの方式が可能である<sup>36)37)</sup>。図-21 (次頁参照) はその代表的な形式を示したものである。(a) は単一のシフトループであって、ビット数を  $N$  とすると平均アクセス時間は  $Nt/2$  である。ただし  $t$  は1ビットシフト時間である。(b) はビット数  $n$  のシフトループ  $p$  個を並列的に収容したもので、シフトループの平均アクセス時間は  $nt/2$  であるが、個々のループを選択する時間が加算される。これは磁気ディスクにおける各トラックと、トラック選択時間に対応させることができる。

磁気ディスクや磁気ドラムの場合には、媒体が機械的に回転しているため、その形状や回転数にかなりの

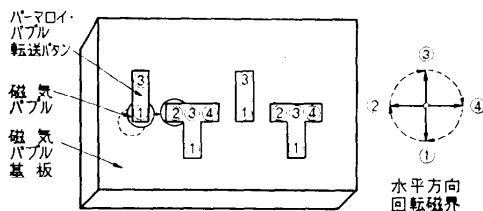


図-20 磁気バブルの移動

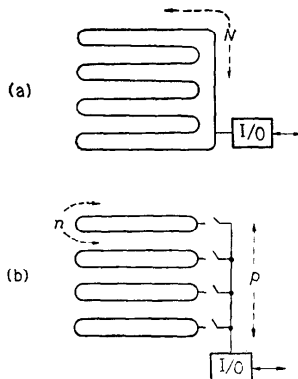


図-21 シフトループの構成

制限がある。これに対して CTD や磁気バブルは電子的な装置であって、ループの大きさに関する自由度が大きい。さらに回転による慣性のないことを利用すれば、常に回転しているのではなく、必要な時にだけ正または逆方向にシフトすることも可能である等、ディスクやドラムにくらべてメモリ構成上の方式的な自由度が大きい。このような性質を組合せると、メイン・メモリをバックアップする“高速補助メモリ”として有用な性能・価格が実現できると期待される。

この種のメモリが実用的に成功するか否かは、現時点では必ずしも明らかではないが、そのキーポイントとなるものはどの程度の大集積化が、生産技術的に達成されるかにかかっていると考えられる。

表-4 は 1974 年に発表された CTD と磁気バブルの試作メモリ特性例であって、この段階では通常の半導体 RAM に対する独自性を主張できるものではないが、集積度がさらに 1 桁増大すれば実用上の利点も具体的に考えると考えられる。そして両種のデバイスが発明以来たどって来た実用化研究（とくに集積度増大）の進展をみると、現状より 1 桁の進歩を近い将来に期待することは不当ではないと思われるのである。

## 6. あとがき

メイン・メモリの素子および装置技術について、その変遷と、1970 年代中期における現状を概観した。個別的な事項はその種類が極めて多いので、メモリ技術としての問題点を主として記述したために、現状を網羅的に展覧する余裕がなかった。また、メモリの実用的な見地に立てば、ビット価格の問題は最も重要な項目である。このことは、2 章でも指摘したように、ますますその重要性を増加して来ている。LSI や磁気バ

表-4 CTD と磁気バブルの試作メモリ特性例

	電荷転送デバイス	磁気バブル
記憶容量 (10 <sup>6</sup> ビット)	0.125	0.46 (32896W × 14. b)
チップ容量 (ビット)	8 k	16 k (チップ 6.4 × 4.7 mm)
転送速度	125 kHz	50 kHz (700 kb/sec, 14b 並列)
アクセス時間 (ミリ秒)	0.128	2.7
文献	38)	39)

ブルにおける集積度の問題は、ビット価格の低下を実現させるための技術といってもほとんど差支えない。このような意味では本稿でも技術の進歩が価格に及ぼす影響についてしばしば触れたのであるが、価格の問題を直接取り上げて論ずることは、他の要因が多すぎると考えて、ここでは行なわなかった。これらの問題については文献表（たとえば 23, 40）などが読者の参考になれば幸いである。

## 参考文献

- 1) J. P. Eckert, Jr.: A Survey of Digital Computer Memory Systems, Proc. IRE **41**, pp. 1393~1406 (Oct. 1953).
- 2) F. C. Williams and T. Kilburn: A Storage System for Use with Binary-Digital Computing Machines, Proc. IEE (London) **96**, pp. 81~100 (1949).
- 3) J. L. Hill: Design Features of a Magnetic Drum Information Storage System, Proc. ACM, March 28 (1950).
- 4) J. W. Forrester: Digital Information Storage in Three Dimensions Using Magnetic Cores. J. Appl. Phys. **22**, pp. 44~48 (Jan. 1951).
- 5) B. Randell: The Origins of Digital Computers, Selected Papers, Springer-Verlag Berlin Heiderberg New York (1973).
- 6) J. A. Rajchman: Static Magnetic Matrix Memory and Switching Circuits, RCA Rev. **13**, pp. 183~201 (June 1952).
- 7) J. R. Anderson: Ferroelectric Storage Elements for Digital Computers and Switching Systems, Elect. Engrg. **71**, pp. 916~922 (Oct. 1952).
- 8) J. A. Rajchman: Ferrite Apertured Plate for Random Access Memory, Proc. IRE **45**, pp. 325~334 (Mar. 1957).
- 9) P. M. Genke, et al.: No.1 ESS Call Store—A 0.2 Megabit Ferrite Sheet Memory, BSTJ, **43**, No. 5 part 1 pp. 2147~2191 (Sept. 1964).
- 10) M. S. Blois: Preparation of Thin Magnetic Films and Their Properties, J. Appl. Phys. **26** pp. 975~880 (Aug. 1955).



- 11) J. Raffel and D. Smith: A Computer Memory Using Magnetic Films, Proc. Int. Conf. on Information Processing 1959 pp. 447~455 (June 1959).
- 12) E. E. Bittmann: Thin-Film Memories, IRE Trans. Elect. Computers 8 pp. 92~97 (June 1959).
- 13) U. F. Gianola: Nondestructive Memory Employing a Domain Oriented Steel Wire, J. Appl. Phys. 29 pp. 849~853 (May 1958).
- 14) 大島信太郎他: ワイヤメモリマトリクスの特  
性, 信学会全国大会予稿 705 (1963-11).
- 15) I. Danylchuck, et al.: Plated Wire Magnetic  
Film Memories, Proc. 1964 Intermag Conf.,  
pp. 5-4-1~5-4-6 (1964).
- 16) 石井治: IC メモリーと磁気メモリー, 昭和 45  
年電子通信学会全国大会予稿 S, 6-9.
- 17) IBM System Reference Library, IBM System/  
360 Model 85 Functional Characteristics  
(1969).
- 18) J. K. Ayling and R. D. Moore: A High-  
Performance Monolithic Store. Digest of  
ISSCC 1969 pp. 36~37 (1967).
- 19) Y. Tarui, et al.: A 40ns 144 Bit N-Channel  
MOS-LSI Memory, IEEE Jour. of Solid-State  
Circuits, SC-1 pp. 271~279 (Oct. 1969).
- 20) L. C. Hobbs: Present and Future State-of-the-  
art in Computer Memories, Trans. IEEE EC-  
15 pp. 534~550 (Aug. 1966).
- 21) A. H. Bobeck: Properties and Device Appli-  
cations of Magnetic Domains in Orthoferrites,  
Bell Syst. Tech. J., 46 pp. 1901~1924 (Oct.  
1967).
- 22) W. S. Boyle and G. E. Smith: Charge Coupled  
Semiconductor Devices, Bell. Syst. Tech. J.,  
49 pp. 587~593 (Apr. 1970).
- 23) 電気学会メモリ調査専門委員会: メモリ技術の  
現状と動向, 電気学会技術報告, II部第 37号,  
昭 50,
- 24) J. R. Brown, Jr.: First and Second-Order  
Ferrite Memory Core Characteristics and  
Their Relationship to System Performance,  
IEEE Trans. EC-15 p. 485 (Aug. 1966).
- 25) I. Lee: LSI Microprocessors and Micropro-  
grams for User-Oriented Machines, Suppl. to  
the Conf. Record Seventh Annual Workshop  
on Microprogramming.
- 26) 須藤常太: LSI の現状と動向, 情報処理 15,  
No. 12 pp. 976~981 (Dec. 1974).
- 27) S. K. Wiedman: High-Density Static Bipolar  
Memory, 1973 ISSCC Digest of Tech. Papers  
pp. 56~57 (Feb. 1973).
- 28) D. A. Buck: The Cryotron—A Superconductive  
Computer Component, PIRE, 44, 4, pp. 482~  
493 (Mar. 1956).
- 29) S. Triebwasser: Future Trends in Solid State  
Electronics, Proc. 5th Conf. on Solid State  
Devices, Tokyo, 1973, pp. 3~12 (Suppl. J. J.  
A. P. 43, 1974).
- 30) 西義雄, 舛岡富士雄: 不揮発性メモリーの物  
理, 日本物理学会誌 29, No. 1, pp. 17~28  
(1974).
- 31) D. Frohmann-Bentchkowsky: A Fully-Deco-  
ded 2048-Bit Electrically-Programmable MOS  
ROM, 1971 ISSCC Digest of Tech. Papers,  
pp. 80~81 (Feb. 1971).
- 32) E. C. Ross, et al.: Theory of the Switching  
Behavior of MIS Memory Transistors, RCA  
Rev. 30 pp. 366 (1969).
- 33) S. Nakamura, et al.: A Read-Only Memory  
Using MAS Transistors, 1970 ISSCC Digest  
of Tech. Papers, pp. 68~69 (Feb. 1970).
- 34) S. Sato, et al.: Nonvolatile, Electrically Al-  
terable MAOS Memory, 1972 ISSCC Digest  
of Tech. Papers, pp. 188~189 (Feb. 1972).
- 35) H. Iizuka, et al.: Proc. 4th Conf. on Solid  
State Devices, Tokyo. 1972 (Suppl. J. J. A. P.  
42, 1972).
- 36) H. Chang: Capabilities of the Bubble Tech-  
nology, Proc. National Computer Conf., 1974,  
pp. 847~855.
- 37) 石井治・吉広誠一: 磁気バブルメモリの構成方  
式と実効アクセス時間について, 電気学会 電  
子装置研究会資料 EDD-74-31 (1974-03).
- 38) S. D. Rosenbaum and J. T. Caves: CCD  
Memory Arrays with Fast Access by On-Chip  
Decoding, Digest of Tech. Papers, 1974 ISSCC  
pp. 210~211 (Feb. 1974).
- 39) P. C. Michaelio: Magnetic Bubble Mass  
Memory, Digest of 1974 Intermag Conf. pp.  
22.1 (1974).
- 40) G. C. Feth: Memories are Bigger, Faster and  
Cheaper, IEEE Spectrum 10, No. 11, pp. 28~  
35 (1973) 邦訳, 電子通信スペクトラム 5, No.  
2, pp. 66~76 (Mar. 1974).

(昭和 49 年 12 月 24 日受付)