



プリント板回路の配置プログラムについて*

五 嶋 将** 石 橋 靖 雄** 大 沢 晃**

Abstract

In printed circuit design, placement of elements consists of two interrelated procedures, that is, assignment of logic gates to IC's (integrated circuit), and placement of IC's on a given board.

These two procedures are usually performed in sequential order by using two kinds of evaluating measures i. e. max conjunction and min disjunction for the assignment and minimum-length connection path for the placement.

One of the unique features of this program is that the placement is performed by a step-by-step improvement, applying alternate repetition of gate-assignment and IC-placement, where the minimum-length connection path is employed as an evaluating measures.

In this paper, DA techniques developed in this program, computer program, and results of computation are described.

1. ま え が き

プリント板回路の実装設計は、論理素子（ゲート）を IC 単位にグルーピングする割付作業、基板上に IC の取付位置を求める配置作業、プリント配線の経路を求める配線作業の順に行われる。

これ等のうち配線作業は最も人手を要する作業であるため早くから自動化の対象となり、Lee の手法¹⁾ など数多くの自動化手法が開発されている。

しかし電子機器の高速化、低廉化の要請からくるプリント配線の稠密化のため、全ての回路に対し全然交差のないプリント配線パターンを自動的に作り出すことは困難な状況であり、未結線（他信号線との交差のため配線経路が求められなかったもの）本数を少なくすることが今なお強く要望されている。

配置プログラムの目的は、配置作業自体の省力化よりむしろ配置場所を最適化することにより、この配線プログラムにおいて交差のないプリント配線パターンを容易に作成できるようにし、未結線本数を減少させ

ることにあるとよい。

ところで、配置に対する自動化手法に関しても過去に数々の研究がなされており、Steinberg の手法²⁾、Case の手法³⁾、Rutman の手法⁴⁾ など数々の優れた手法が提案され、これ等の手法を組み合わせた実用システムについても発表されている^{5),6)}。

しかし、これ等のプログラムで共通する欠点は、IC 部品レベルで配置の最適化を考えているため、配置の精度が論理素子を IC 単位にグルーピングしたときの精度にかなりの影響をうけるところにある。

この欠点を改善する手段として、本報告ではゲートの割付と IC の配置にフィードバック・ループを設けてゲート・レベルで配置の最適化を計る方法を提案している。

最適化の手法としては、ゲートの初期割付に Case の手法³⁾、割付改良（ゲート・レベルでの再配置）に、Steinberg の手法²⁾を応用し、IC 配置の改良には新しく開発した移動ベクトル法と 4 点組み合わせ法とを併用している。

2. プログラムの概要

本プログラムでは、ゲートを IC に割付ける作業と

* A Placement Program for Printed Circuit Board by Susumu GOSHIMA, Yasuo ISHIBASHI and Akira OSAWA (Hitachi, Ltd.).

** (株)日立製作所

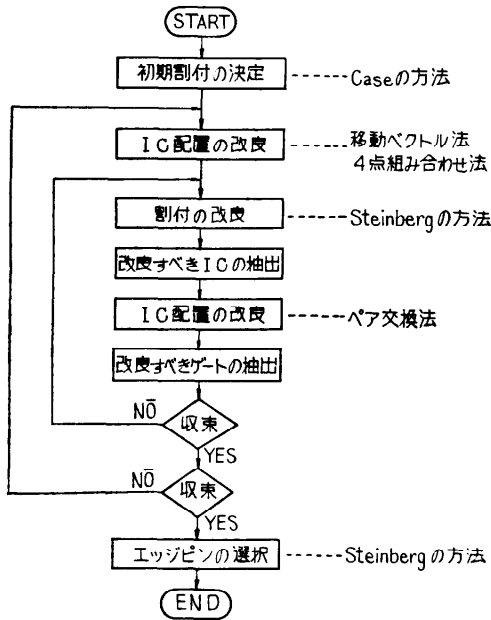


Fig. 1 General flowchart of the program

プリント板上における IC の位置ぎめとを同時に実行し、ゲート・レベルで配置の最適化を行う。

プログラムは全て FORTRAN 言語で作られ、その大きさは、カード枚数で約 3,500 枚である。

Fig. 1 には、プログラムの概略流れ図を示す。

プログラムでは、Case の手法で求めた初期割付 (初期配置も同時に決まる) の結果に対し、2 重の繰り返しループで割付及び配置の改良を行う。

図中小さい方のループはゲートの割付処理と IC の配置処理とのフィードバック・ループであり、ここでは Steinberg の手法及びペア交換法を用いて割付の最適化と IC 配置の最適化とを交互に繰り返す。その際総配線長ミニマムの評価に対し評価値の悪いゲートや IC が優先的に改良の対象になるよう考慮されている。また大きい方のループは、局所的最適値への収束を避けることを目的としたものである。このループでは最初にペア交換法とは全然違った方法 (あとで述べる移動ベクトル法および 4 点組み合わせ法) により IC 配置の改良を行いその都度割付・配置のフィードバック・ループで用いる初期値の改良を試みる。

プログラムの最後では、Steinberg 法を用いてエッジピンの最適な割当てを行い、配線作業におけるエッジピン・ネック (エッジピンの近傍で配線密度が高くなり未結線の原因になること) に対処している。

Table 1 Input Data tables for the program

テーブル名	テーブル内容
エッジピン テーブル	ブロック名、ピン番号、ピン座標 自動選択の可・否
IC 配置場所 テーブル	場所名、基準座標、大きさ
素子 (ゲート) テーブル	ゲート名、機能、入力ピン数 割付指定の有・無
IC 形式 テーブル	形式名、ゲート種類、ゲート個数 IC ピンとゲート端子との対応
論理接続 テーブル	信号番号、接続点数、接続 ゲート名及び端子名

Table 2 Output Data tables from the program

テーブル名	テーブル内容
IC テーブル	割付けられたゲート名 配置された場所
エッジピン・テーブル	割当てられた信号番号

Table 1 には本プログラムで必要な入力データ・テーブルの概略を、Table 2 には出力データ・テーブルの概略を示す。

一般に配置プログラムは、他の設計自動化システム (データマネージャ、論理シミュレータ、配線プログラム、検査入力作成プログラム等) と結合してこそ有効であり、単独で使うことはない。そのため本プログラムでは入出力データ・テーブルを全て主記憶装置に持ち他システムとの結合が容易に行えるよう考慮している。

3. アルゴリズム

IC 配置の最適化を目標とする本プログラムの処理方法における特色として次の項目が上げられる。

- (1) ゲートの割付と IC の配置にフィードバック・ループを設けていること。
 - (2) ゲートの初期割付に Case の方法を適用し割付、配置を同じ評価関数で同時に求めていること。
 - (3) ゲートの割付改良に拡張した Steinberg 法を用いていること。
 - (4) IC 配置の改良に新しく開発した移動ベクトル法及び 4 点組み合わせ法を用いていること。
- (1)については、前章で説明したので本章では、(2),(3),(4)について詳細に説明する。

3.1 ゲートの初期割付法

ゲートの割付と IC の配置にフィードバック・ルー

プを持たせるためには、これ等の評価基準を合致させることが必要となる。ところが、従来の割付操作は IC 内配線数をできるだけ多くし、IC 間配線を少なくすること (Max conjunction min disjunction) を評価関数としてパッケージ内全ゲートを IC 単位にグルーピングすることであり、プリント板におけるゲートの位置は IC 配置が決定されるまで決まらない。そのためゲートの割付だけで総配線長を計算することは不可能であった。

この矛盾を解決するため、本プログラムではゲートの初期割付に Case の方法を用い、割付と配置が同時に決定するようにしている。

(初期割付手順)

- (1) 割付対象のゲート集合、 $G = \{g_1, g_2, \dots, g_m\}$ をゲートの機能ごとに分類し、ゲートを搭載するのに必要な IC の型式及びその個数を求める。

$$C = \{C_{11}, C_{12}, \dots, C_{1n_1}, C_{21}, \dots, C_{2n_2}, \dots, C_{ln_l}\} \quad (1)$$

ただし、 n_l は型式 (l) の IC 個数。

- (2) 集合 C を IC 配置候補場所、 $P = \{p_1, p_2, \dots, p_n\}$ に適当に割当てる。

- (3) $g_i \in G$ を $p_j \in P$ に割当てられた IC、 $C_{li} \in C$ に割付けたときの評価値 (d_{ij}) を次の漸化式により算出する。

$$d_{ij}^{(t+1)} = \bar{x}^{(t)} \cdot d_{ij}^{(t)} + x^{(t)} \cdot \sum_u f_u(i, j) \quad (2)$$

$x^{(t)}$: g_i が t 番目に割付られたゲートと同一信号線で接続されているとき真(1)、然らざるとき偽(0)となる論理値で、 $x^{(0)} = 1$ とする。

$\bar{x}^{(t)}$: $x^{(t)}$ の否定論理値。

$f_u(i, j)$: g_i を C_{li} に割付けたとき g_i の u 端子につながる信号ネットの配線長で、 g_i が C_{li} に割付不能のときは無限大の値をとる。

- (4) 次式より、 α, β を求め、部品 (α) を場所 (β) に割当てられた IC に割付ける。

$$d_{\alpha\beta} = \text{Max}_i (\text{Min}_j (d_{ij})) \quad (3)$$

- (5) (3), (4) を $g_i \in G$ が全て割付けられるまで繰り返す。

3.2 Steinberg 法の拡張

輸送問題の一類型として発展した割当問題は、次式 (4)~(7) により定式化され、その解法としては、Kuhn の方法⁷⁾ や伊理の方法⁸⁾ などが有名である。

$$\sum_i \sum_j a_{ij} \cdot x_{ij} \rightarrow \text{Min} \quad (4)$$

$$\sum_j x_{ij} = 1 \quad (i=1, 2, \dots, m) \quad (5)$$

$$\sum_i x_{ij} = 0 \text{ or } 1 \quad (j=1, 2, \dots, n) \quad (6)$$

$$x_{ij} = 0 \text{ or } 1 \quad (7)$$

ただし、 a_{ij} は i を j に割当てたときの評価行列。

さて、部品集合、 $G = \{g_1, g_2, \dots, g_m\}$ を場所集合 $p = \{p_1, p_2, \dots, p_n\}$ に割当てる部品配置の問題をこの割当問題に適用する場合、 $g_i \in G$ を $p_j \in P$ に配置したときの評価 (配線長) が、 g_i に接続される他の部品の配置場所如何により一意的に定まらないため、何らかの工夫が必要とされる。

Steinberg は集合 G の部分集合である非接続部品集合 (お互いに同一信号線で接続されない部品の集合) U を抽出し、補集合、 U^* の配置は固定にして、集合 U の部分的再配置に割当手法を適用することを提案した。

しかし、IC 部品の配置にこの手法を適用した場合部品集合 G の大きさに対し、非接続部品集合 U の大きさはかなり小さくなるため、集合 U の再配置に対する集合 U^* の影響が強く十分な成果を上げることができない。

本プログラムでは、この欠点を解決するために、次の 2 つの改良を行う。

- (1) 集合 G の大きさに対する非接続集合 U の大きさを大きくするため、Steinberg 法を適用する対象集合を IC 部品集合からゲート集合にかえる。

- (2) 部分的再配置に新しい近似解法を導入し、接続部品集合にも適用できるようにする。

改良(1)は、Steinberg 法の応用面での改良である。適用集合をゲート集合にすると IC 部品のときに比べ非接続集合の大きさは約 4 倍に拡大され再配置による改善効果もそれだけ大きくなる。

改良(2)は、再配置の対象となる集合 U を拡張するもので、拡張された集合 $E \supseteq U$ では非接続性が満足されないため、部分的再配置においては近似解しか求められないが部品集合 G 全体の配置を考えた場合、部分配置に対する近似の精度さえ確保できれば、小さな部分集合に対し再配置の解が正確に求まることよりむしろ、再配置の対象集合が大きいことの方が望ましい。

以下では、再配置の近似解法を説明し、実験結果によりその精度と処理時間について考察する。

3.2.1 部分的再配置の近似解法

拡張された部品集合、 $E = \{e_1, e_2, e_3, \dots, e_m\}$ に対し用いる再配置の手法は、ペア交換の全組み合わせにつ

いてその効果を算出し、効果が皆無になるまで交換操作を続ける方法であり、次の手順で行う。

(1) 部品集合、 $E = \{e_1, e_2, \dots, e_m\}$ を場所集合、 $p = \{p_1, p_2, \dots, p_m\}$ に配置したときの評価 (総配線長) 行列 $[a_{ij}]$ を求める。ただし、部品 e_i が他の部品と接続関係にあるときはその行は全て 0 とする。

(2) 部品集合 E と場所集合 P との初期割当を決める。

(3) 部品 $e_i \in E$ と $e_j \in E$ との交換による効果 (Δ_{ij}) を次式により算出する。

$$\Delta_{ij} = a_{ip_1} - a_{ip_j} + a_{jp_j} - a_{jp_i} \quad (j \leq m') \quad (8)$$

$$= a_{ip_1} - a_{ip_j} \quad (j > m') \quad (9)$$

ただし、 e_i か e_j が集合 E の他の部品と接続関係にあるときは、交換前の総配線長と交換後の総配線長の差により計算する。

(4) $b_i = \max_j \Delta_{ij}$ を算出する。

(5) $\max_i (b_i) \leq 0$ なら収束。然らざるとき、 b_i の値が大きい行から順次、他の交換から影響を受けない範囲で交換可能な部品の組み合わせを求める。

(6) (5)で求めた全ての交換を実施後(3)へ。

以上述べた手順で、部品集合 E の非接続性が問題になるのは、(3)と(5)であり、部品間に接続関係のあることは、処理時間には大きな影響を及ぼすため集合 E の接続関係が強くなると処理時間の増大を招く恐れはあるが計算精度に与える影響はない。

3.2.2 近似計算の実験結果

近似計算の精度と処理時間を検討するため、割当問題に上記手法を適用し、伊理の解法で求めたものとの比較を行った。

Fig. 2 は計算の精度及び処理時間を比較したものであり、横軸に実験で使用した評価行列の次数、縦軸に割当結果による評価値の合計と、処理時間 (計算機の CPU 占有時間) を示している。

まず近似精度については、今回の方法で求めた結果は、伊理の解法で求めた最適値に対しかなり良い近似を見せており、全くランダムに割付した結果と比較するとその評価値において約 88.2% の減少を示している。

一方処理時間の面では、今回の近似解法が、伊理の解法に比較し短い時間で収束することがわかる。

3.3 IC 配置の改良方法

IC 配置の改良に対しては 2 つの方法を併用する。その第 1 は、Case の方法により求めた解に対し、IC 相互間の接続本数をもとに関連度の強いもの同士が近接するよう改良を施すもので、移動ベクトル法と呼ぶことにする。

第 2 の方法は、移動ベクトル法で求めたマクロな配置を近傍 IC の最適化により局所的に改良するもので 4 点組み合わせ法と呼ぶことにする。

以下ではそれぞれの手順と実験結果について報告する。

(移動ベクトル法の手順)

(1) IC 相互間の接続信号線の数により関連行列 $[R_{ij}]$ を求める。

(2) 全 IC に対し、次式により移動ベクトル $T_i(x, y)$ を求める。

$$T_i(x, y) = \frac{1}{\sum_j R_{ij}} \{ \sum_j R_{ij} \cdot \{ P_i(x, y) - P_j(x, y) \} \} \quad (10)$$

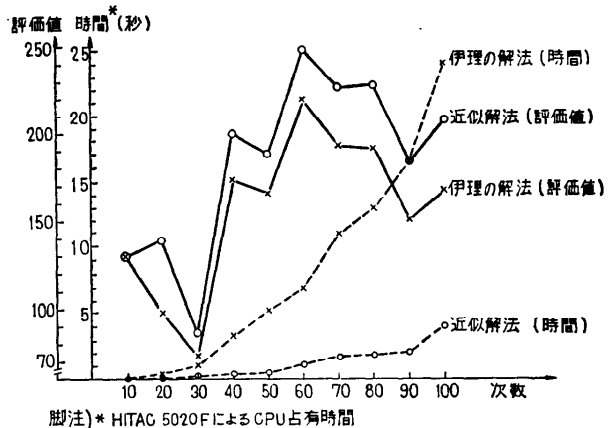
ただし、 $P_i(x, y)$ は IC(i) の配置座標。

(3) T_i 方向の隣接 IC、 k (x 軸方向の隣接 IC)、 l (y 軸方向の隣接 IC) と i との交換に対する評価値、 C_{ik}, C_{il} を次式で算出する。

$$C_{ik} = |T_i(x, y) - T_k(x, y)| \quad (11)$$

$$C_{il} = |T_i(x, y) - T_l(x, y)| \quad (12)$$

(4) $C_{ik} > \delta$ (定数)、 $C_{il} > \delta$ に対し、値の大きい順序に交換の組み合わせ集合、 $Q = \{q_1, q_2, \dots, q_m\}$ を求める。



脚注)* HITAC 5020FによるCPU占有時間

Fig. 2 Results obtained from the suboptimal procedure

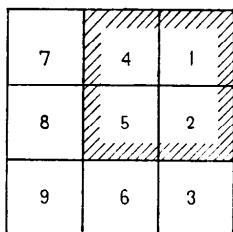


Fig. 3 An example of selecting IC's

(5) 集合 Q が空集合のとき収束. 然らざるときは交換 q_i による評価値を再度計算し, その効果が認められたら交換 q_i を行う, 効果が認められないときは(6)へ. 以上の操作を q_1, q_2, q_3, \dots の順に逐次実行する.

(6) 手順(2)~(5)を繰り返す.

[4点組み合わせ法の手順]

n 個の IC を n 個の場所に割当てて方法は, $n!$ 通りあるから一般的には全ての割当て方法に対し評価値を求め, 最適割当てを探す方法は計算時間の面で実用的でない.

4点組み合わせ法は, 基本的には n 個の IC から抽出した4個の IC に対する, $4! = 24$ 通りの全割当て方法に対し(総配線長を計算して)最適な割当てを探す操作を繰り返して目的とする n 個全体の割当てを最適化する方法であるが, 最適解への収束を速めるため, 4つの IC の抽出方法に工夫を施している. ここでは, Fig. 3 を参照しながら9個の IC 配置を例に説明する.

(1) 配置場所集合, $P = \{1, 2, 3, \dots, 9\}$ から次の4個の部分集合を作り出す.

$$P_1 = \{1, 2, 4, 5\}, \quad P_2 = \{2, 3, 5, 6\}$$

$$P_3 = \{4, 5, 7, 8\}, \quad P_4 = \{5, 6, 8, 9\}$$

(2) 部分集合, P_i に割当てられた最大4個の IC を抽出し, 集合 $C_i = \{C_{i1}, C_{i2}, C_{i3}, C_{i4}\}$ を作る.

(3) 集合 C_i の要素以外の IC 配置は固定とし, C_i と P_i の最適割当てを求め, 配置を改良する.

(4) (2)~(3)を $i=1 \sim 4$ まで繰り返す.

(5) (1)~(4)を配置の改良が行われなくなるまで繰り返す.

[実験結果]

以上述べた移動ベクトル法と4点組み合わせ法を併用した場合における解の収束性を検討するため, 5つのケースについてコンピュータ・プログラムによる実験を行った.

Table 3 Results (Total length of connection path) obtained from the new algorithm

IC 数	9	12	15	16	20
乱数配置*の最適値	1,884	4,210	4,760	3,130	5,240
ペアワイズ交換法	1,916	4,160	4,640	2,890	4,700
新配置手法	1,892	4,150	4,590	2,930	4,500

脚注) * 乱数で求めた 10,000 個の配置方法で最良なもの.

Table 3 には収束の度合を示すため, 収束解による総配線長を示す.

表中, 乱数配置の最適値とは, 計算機により擬似乱数を発生させ, IC の配置方法を 10,000 組求め, それぞれ配置に対する評価値(総配線長)が最小になったときの値である. またペアワイズ交換法は, 全ての IC に対し, 他の全 IC との最適な(最も効果の高い)ペア交換を施として配置の改善を計る方法である.

表から, 今回開発した手法は, 他の方法に比較し, はるかに良い配置を求め得ることが判る.

一方処理時間に関しては, 新手法はペアワイズ交換法に対し約2倍であり, IC 数 20 個に対し, HITAC 5020 F の処理時間が9秒であった.

4. 配置プログラムの適用結果

以上述べた配置プログラムの効果を調べるため, 過去に人手配置—自動配線で設計したプリント基板回路のうち, 未結線数が比較的多かったものを選び本プログラムを適用し, 自動配置—自動配線を試みた.

Table 4 にはその結果を示す. テスト・ケースにより自動配置の効果にはかなりの差があるがいずれのケースにおいても, 人手で配置した場合に比べ自動配置の場合が未結線数が減少し, 配線処理時間も短縮している.

Table 4 Results of applying the program to some printed circuit boards

ケース	ゲート数	IC 数	配 置 時 間	配 線**			
				人 手 配 置		自 動 配 置	
				未結線本数	計算時間*	未結線本数	計算時間*
1	106	31	24	34	52	14	37
2	138	58	54	50	123	38	100
3	74	25	19	31	52	4	20
4	65	25	14	11	32	8	27
5	57	26	26	28	50	23	42

脚注) * HITAC 8400 による CPU 占有時間(分).

** 配線条件は1本チャネルの2層配線, スルー・ホールは浮動.

5. むすび

プリント基板における部品配置の精度を上げるためゲートの割付と IC の配置にフィードバック・ループを設けた配置プログラムについて述べた。

プログラム実験では、前章でも示したように配線経路の決定における未結線本数において人手配置に比較しかなり良好な結果を得ており所期の目標は達成できたと考えている。しかし、プリント基板の大型化、配線密度の稠密化はなお一層進展する機運にあることを考えるとなお一層効率的な配置手法の開発を急がなければならないと考える。

部品配置の作業は、配線経路を求める作業に比較しさほど人手を要しないという理由もあって、従来、配置プログラムの必要性は軽んぜられる傾向にあったことは否めない。

しかし、今日のように基板上に配置される IC の数が 200 有余にもなると人手による配置で十分な精度を確保することは不可能である。

プリント板回路の設計自動化システムにおいて、配置プログラムは、必要不可欠な道具だと考えなければならない。

参 考 文 献

- 1) C. Y. Lee: An algorithm for path connections and its applications, IRE Trans. EC, Vol. 10, No. 2, pp. 346~365 (1961).
- 2) L. Steinberg: The backboard wiring problem. A placement algorithm, SIAM Rev., Vol. 3, pp. 37~50 (1961).
- 3) P. W. Case et al.: Solid logic design automation for IBM system/360, IBM J. Res. & Dev., Vol. 8, pp. 127~140 (1964).
- 4) R. A. Rutman: An algorithm for placement of interconnected elements based on minimum wire length, Proc. SJCC pp. 477~491 (1964).
- 5) T. Hayashi: FACOM 230—Series computer design automation system, Proc. of 7th DA workshop, pp. 230~242 (1970).
- 6) 三上, 他: プリント配線板の自動設計システム, 三菱電機技法, Vol. 43, No. 10, pp. 1406~1415 (1969).
- 7) Churchmann et al.: Introduction to operation Research, John Wiley & Sons, New York (1957) (森口繁一監訳, オペレーションズ・リサーチ入門, 紀伊国屋書店, 東京 (1958)).
- 8) 伊理正夫: 輸送問題および割当問題の新しい解き方, 経営科学, Vol. 3, No. 4, pp. 190~206 (1960).

(昭和 50 年 6 月 5 日 受付)