

# 使用フォントは HGSゴシックE

## 3次元積層プロセス技術 の検証結果と今後の課題

宮川 宣明  
(株) 本田技術研究所

## 講演内容の概略

本講演は積層デバイスの実用化を目指した場合に基本的に必要となる要素技術と量産化技術に関して報告するものである。

3次元構造実現の取り組みにおいて重要なことは以下の各ポイントにある。

- (1) 積層間の接続歩留まりがほぼ100%となる方法の獲得
- (2) 工業化をはかるにはバッチ処理が可能となる wafer-to-wafer積層デバイス製造方法の確立
- (3) 低コスト化につながる積層工程の短縮化
- (4) 積層後のデバイス特性や高信頼性の確認

ができなければならない。

また、多層配線プロセスを用いた場合に多層配線の金属間絶縁膜の残留応力によりウエハが反る現象が起こり、層間の高精度アライメントが難しくなる。これらの対応策についても触れる。

本講演では、上記各要素技術の具体的な対応策やそれらによって得られた技術データを基に、3層積層デバイスを試作し、評価結果から積層技術の特徴を実データで示す。

また、明らかにできた内容と微細化技術の動向を比較し、今後の低コストシステム実現に積層デバイスが貢献できる可能性についても説明する。

## 目 次

- ・ 半導体における現状の課題
- ・ 積層デバイスの実用化に向けたプロセス上の課題と解決策
- ・ 多層wafer-to-wafer積層技術
- ・ 積層デバイスの特性検証
- ・ 3次元積層プロセス技術の今後の課題  
(TSV導入が素子特性に及ぼす影響)

## 半導体における現状の課題

### 微細化技術追求の懸念事項

**懸念事項**

微細化の進化に伴いTr特性の改善が難しく

- ・ リーク電力が指数関数的に増加する。
- ・ ゲート酸化膜厚の低減
- ・ 接合深さが浅くなる
- ・ 電源電圧の低下
- ・ 配線抵抗の改善が難しい

微細化技術追求からの脱却は可能か？

### 微細化技術からの脱却を可能とする技術

**積層技術**

- ・ チップサイズを小さくできる ⇒ 短い配線の使用が可能
- ・ 積層チップ（ウエハ）の薄膜化により各層間の垂直配線長を短くできる ⇒ 高性能 ⇒ 低消費電力 ⇒ 大規模集積デバイス
- ・ 最適な高性能デバイスの実現が可能 ⇒ 異種デバイスを積層した高性能・小型デバイスの出現
- ・ 低消費電力回路モジュールが可能 ⇒ 超小型システムの出現

**2Dチップと3Dチップのコスト比較例**

**チップサイズとコストとの関係**

K. Hatada, 25th NIKKEI Micro Devices Seminar, June, 1999

**積層デバイスの実用化に向けたプロセス上の課題と解決策**


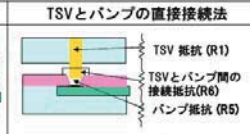
**積層デバイスの実用化に向けたプロセス上の課題と解決策**

- 積層ウエハへのダメージが無く、電氣的に高い接続歩留まりの得られる層間接続方法と低コスト化に繋がる積層技術の確立  
解決策1. 積層ウエハへのダメージが無く、電氣的に高い接続歩留まりの得られる層間接続方法の導入  
解決策2. 低コストに繋がる積層技術の導入
- 配線の多層化に伴うSiウエハの反り対策  
解決策3. Siウエハ反り対策
- 大口径ウエハ間の積層においてボイドの発生や注入不良などが無く、短い時間で注入できる接着剤注入技術の開発  
解決策4. 減圧法による接着剤注入法

Miyakawa, "3D Stacking Technology for Improvement of System Performance" ITPC 2008

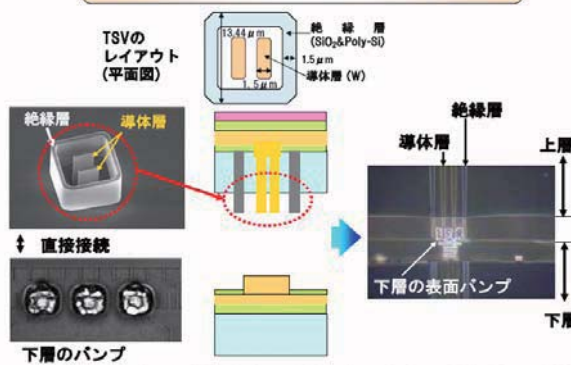
**解決策1.  
積層ウエハへのダメージが無く、電氣的に高い接続歩留まりの得られる層間接続方法の導入**

**バンブ-バンブ接続法とTSV-バンブ直接接続法の構造比較と各々の特徴**

	バンブ-バンブ接続法	TSVとバンブの直接接続法
接続部の構造		
特徴	<ul style="list-style-type: none"> <li>TSVは深堀エッチングにより上層Siに穴を開け壁面に絶縁膜形成後導体材料で充填する。上層の裏面に絶縁層を形成後裏面にバンブを形成する。上層裏面バンブと下層バンブを接続する。抵抗値ばらつき要因も多い。</li> <li>バンブの表面は微理的に点接触となり抵抗値ばらつきも多い。接続抵抗値を下げるための層間にバンブが潰れる程の加重を加える。</li> <li>チップ間のTSV数が増えると加重も増加し加重によるチップ破損が発生する可能性有。</li> </ul>	<ul style="list-style-type: none"> <li>TSVは深堀エッチングにより上層Siに穴を開け壁面に絶縁膜形成後導体材料で充填する。裏面バンブ無。</li> <li>TSVとバンブ間の接触は面接触となり層間加重は少ない。接続抵抗値ばらつきは小さく、追加加重も不要。</li> <li>チップ間のTSV数が増加しても僅かな加重増加でよい為チップ破損は無。</li> <li>裏面処理がチップの薄量化のみで積層数の増加に伴う工程は最小で済む。</li> </ul>

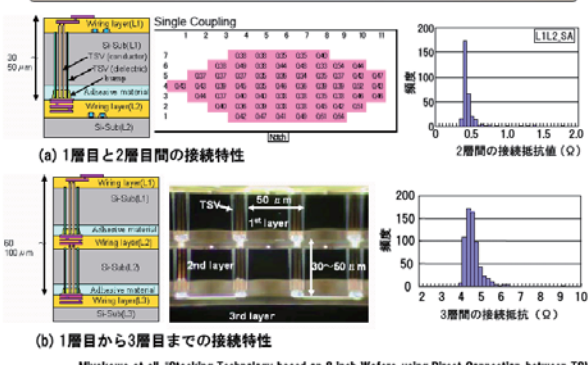
Miyakawa et al., "New Multi-Layer Stacking Technology and Trial Manufacture" 3D Architectures for Semiconductor Integration and Packaging 2007

**TSVとバンブの直接接続方法の検証**



Miyakawa, "Multi-Layer Stacking Technology using Direct Connection Between TSV and Bump" DPS 2009

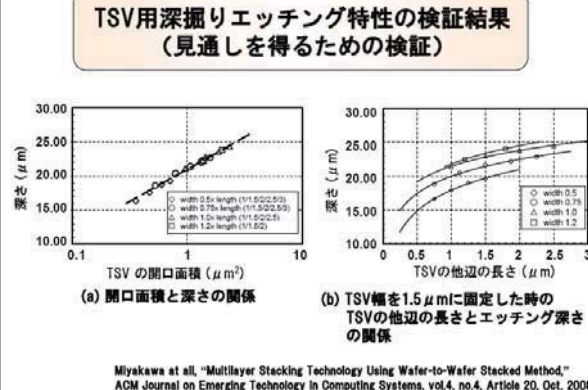
**Wafer-to-waferによる電氣的接続特性の頻度分布**



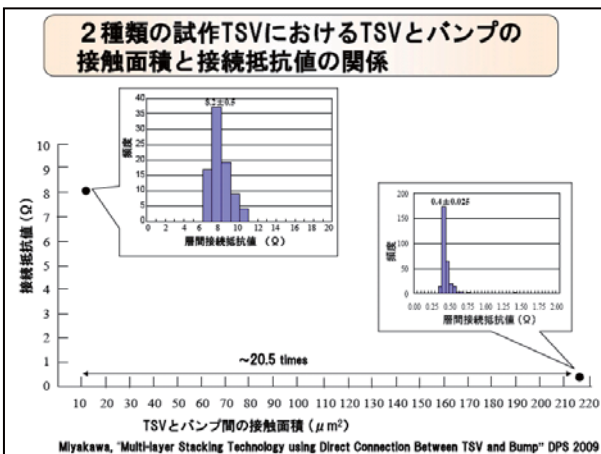
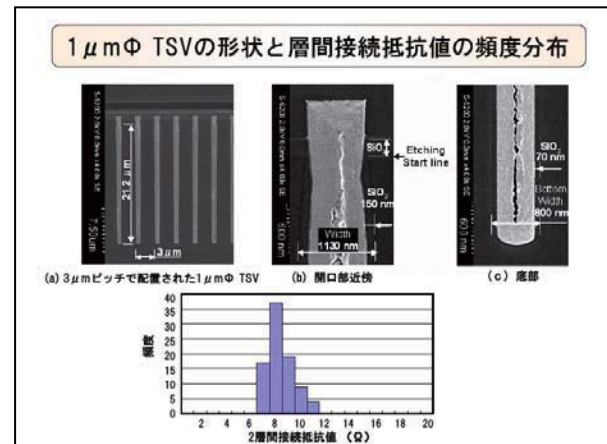
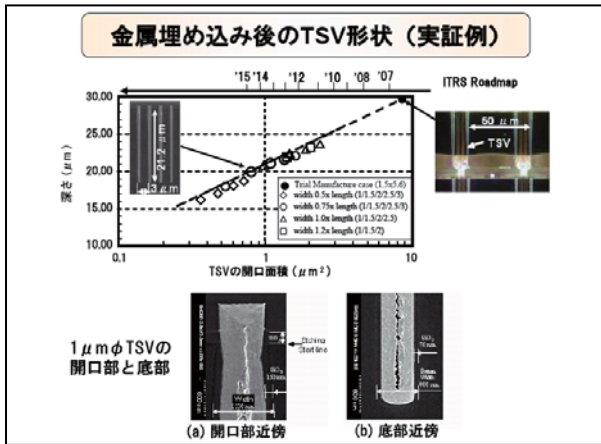
Miyakawa et al., "Stacking Technology based on 8-inch Wafers using Direct Connection between TSV and Micro-bump" CICC 2008

**TSVサイズと層間接続特性の検証**

**TSV用深掘りエッチング特性の検証結果 (見通しを得るための検証)**



Miyakawa et al., "Multilayer Stacking Technology Using Wafer-to-Wafer Stacked Method," ACM Journal on Emerging Technology in Computing Systems, vol.4, no.4, Article 20, Oct. 2008



### TSVとパンプの直接接続方法における注意事項

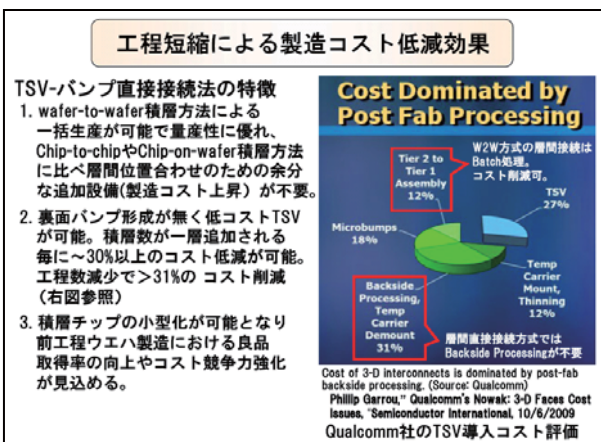
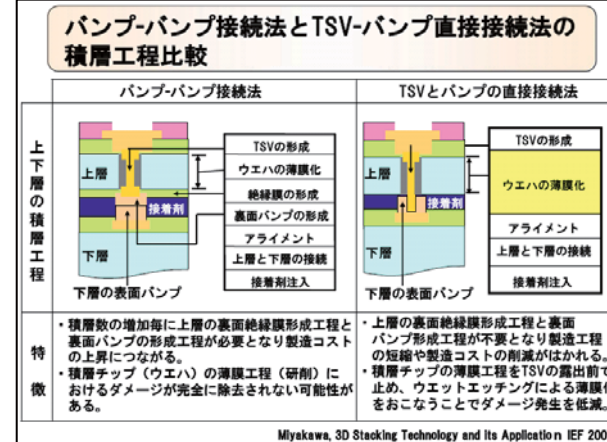
**A. 接続抵抗値のばらつき要因を押さえる**

- TSV サイズと深さの関係を把握すること。
- TSVの開口部と底部の垂直角度を~90度に近づける。
- 接続抵抗値を決める要因はTSVとパンプの接触面積である。
- 接続抵抗値のばらつきは、TSVの面内深さばらつきとパンプ高さの面内均一性で決まる。

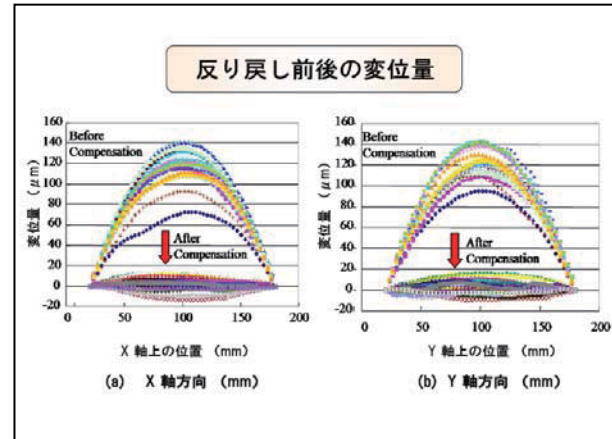
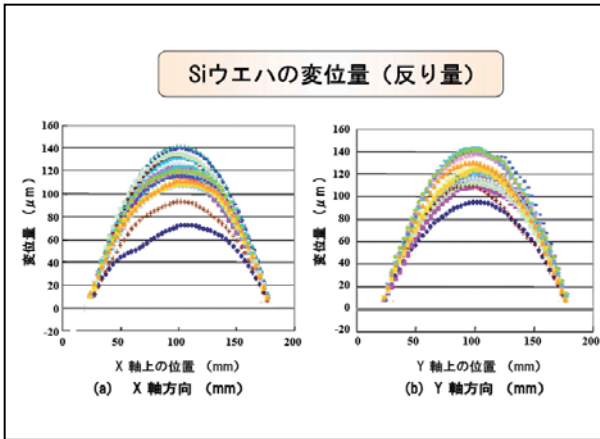
**B. 層間接続時に伴う作業**

- 層間接続用加重を低減しウエハ割れ等が発生させないこと。
- ウエハ薄膜工程に伴う汚染が発生しないこと。
- 層間へのアンダーフィル注入でボイドが発生しないこと

### 解決策2 低コスト化に繋がる積層技術の導入

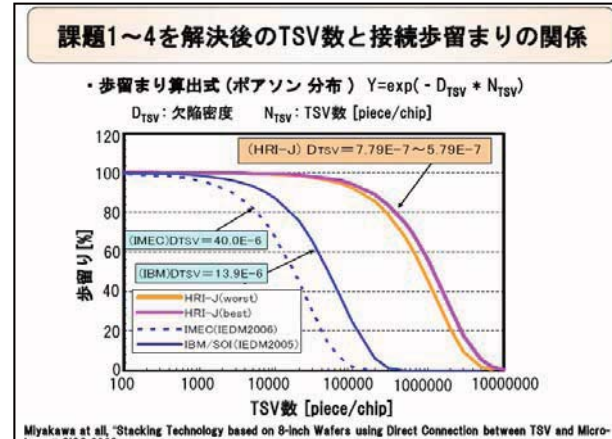
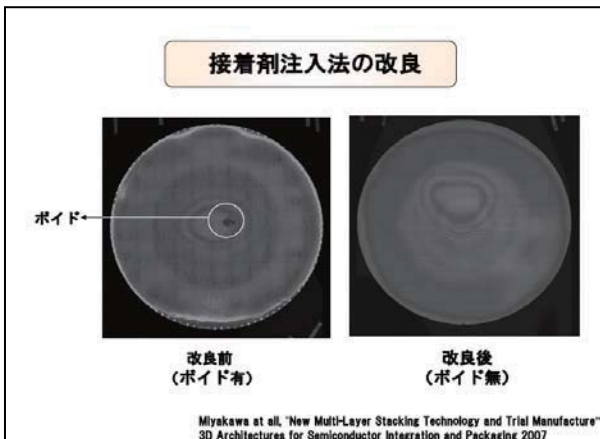
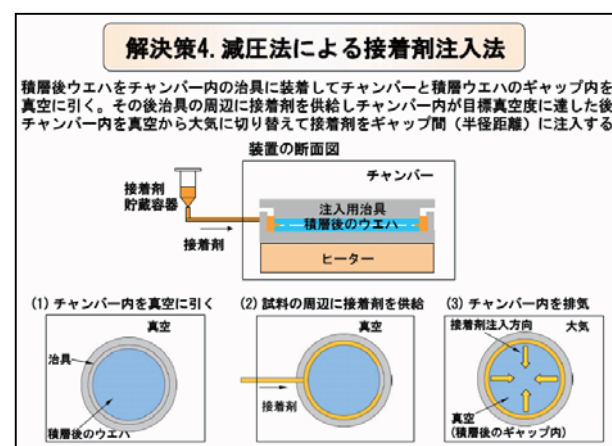


### 解決策3 Siウエハ反り対策

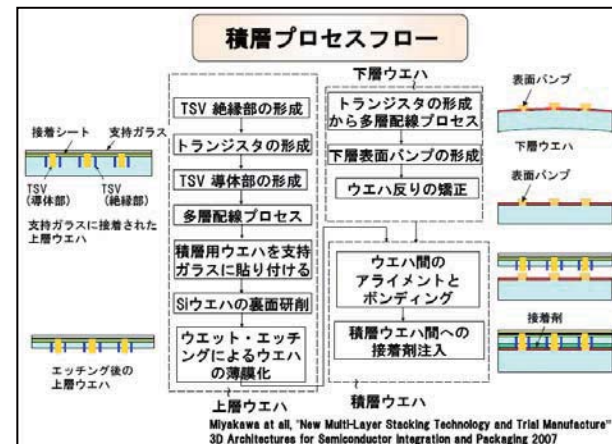


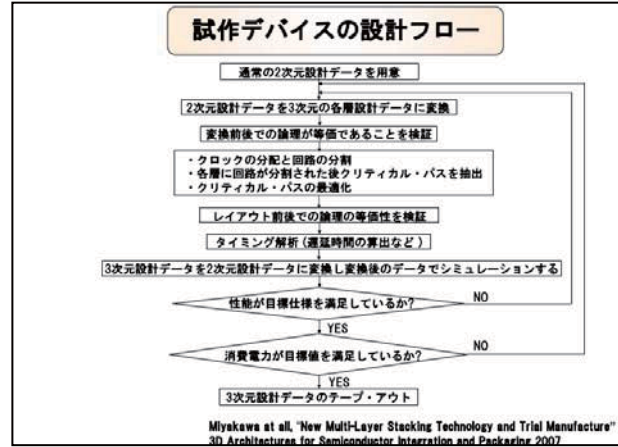
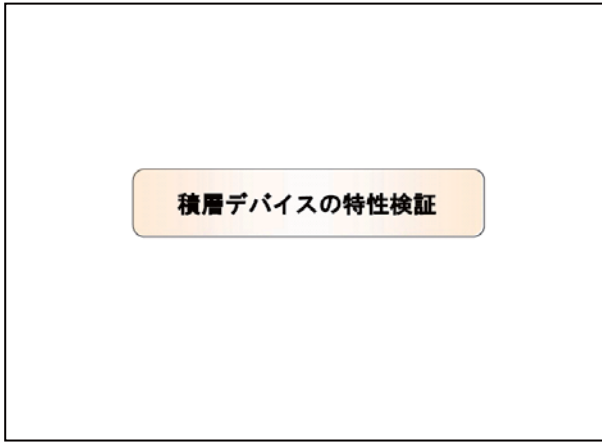
### 解決策4

**ポイド発生や注入不良が無く、  
大口径ウエハ間に短時間で  
接着剤注入できる技術**



### 多層wafer-to-wafer積層技術





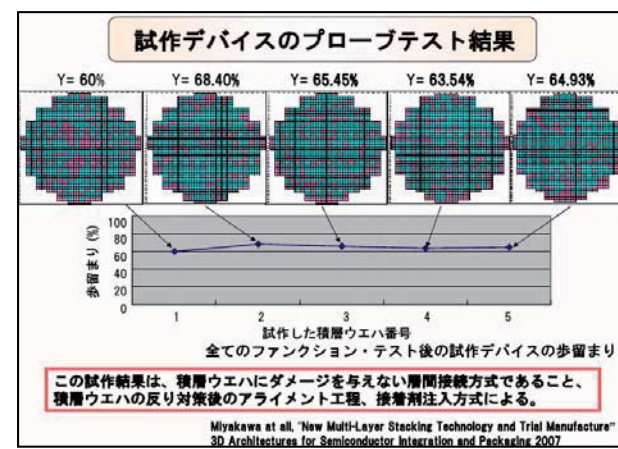
### 試作積層デバイスの仕様

3層積層デバイスの構成

層目	主な機能
1層目	プロセッサ (SH4)
2層目	AD変換器を含んだカスタム回路
3層目	64Mbit SDRAM

ウエハ・サイズ: 8 インチ  
チップ・サイズ: 8.44 x 4.69 mm<sup>2</sup>  
積層数: 3  
TSV数:  
L1-L2: 1,056 /チップ, 655,584 /ウエハ  
L2-L3: 287 /チップ, 180,160 /ウエハ  
使用プロセス: 180 nm CMOS

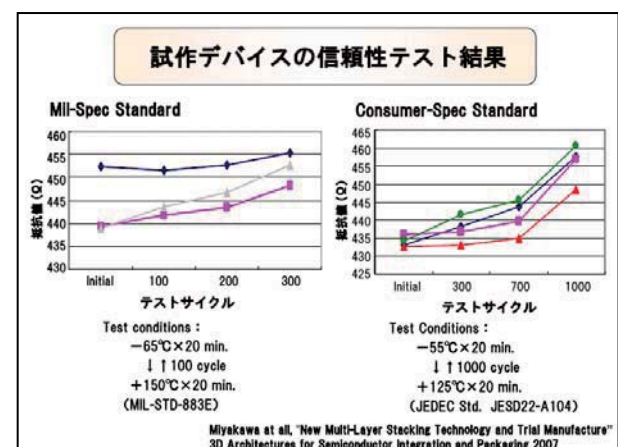
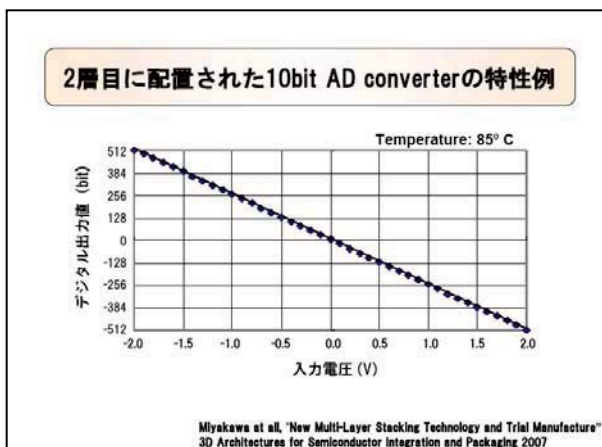
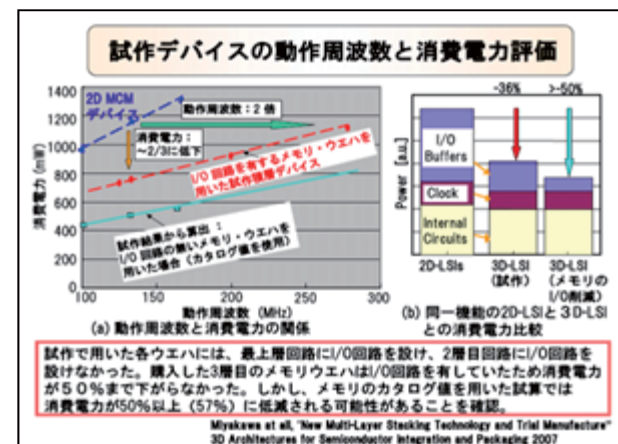
Miyakawa et al., "New Multi-Layer Stacking Technology and Trial Manufacture"  
3D Architectures for Semiconductor Integration and Packaging 2007



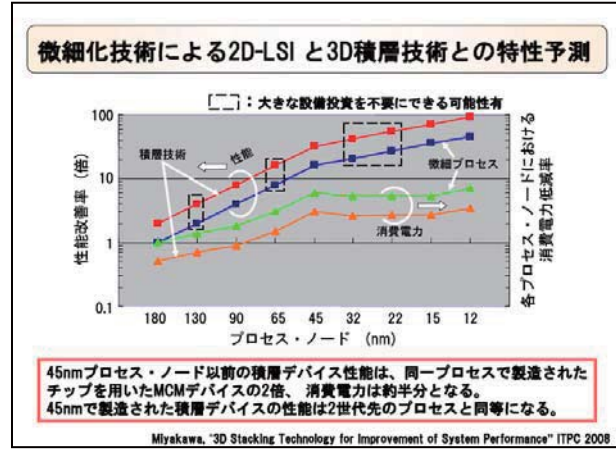
### テスターを用いた試作デバイスの評価結果

Test Case	VDD	VDD-Q16	VDD-Q16	VDD-Q16	Temperature: 10° C		Temperature: 85° C	
					Op. Fail. (No.)	Op. Fail. (No.)	Op. Fail. (No.)	Op. Fail. (No.)
Best Case	1.80V	3.00V	3.00V	3.00V	30	30	28	28
	1.50V	3.40V	3.40V	3.40V	26	26	26	26
	1.50V	3.00V	3.00V	3.00V	27	27	27	27
	1.45V	3.10V	3.10V	3.10V	20	20	20	20
	1.20V	2.80V	2.80V	2.80V	23	23	23	23
Typical Case	1.80V	3.00V	3.00V	3.00V	30	30	26	26
	1.50V	3.40V	3.40V	3.40V	26	26	25	25
	1.50V	3.00V	3.00V	3.00V	27	27	27	27
	1.45V	3.10V	3.10V	3.10V	21	21	21	21
	1.20V	2.80V	2.80V	2.80V	18	18	18	18
Worst Case	1.80V	3.00V	3.00V	3.00V	30	30	28	28
	1.50V	3.40V	3.40V	3.40V	26	26	27	27
	1.50V	3.00V	3.00V	3.00V	27	27	25	25
	1.45V	3.10V	3.10V	3.10V	23	23	19	19
	1.20V	2.80V	2.80V	2.80V	18	18	18	18

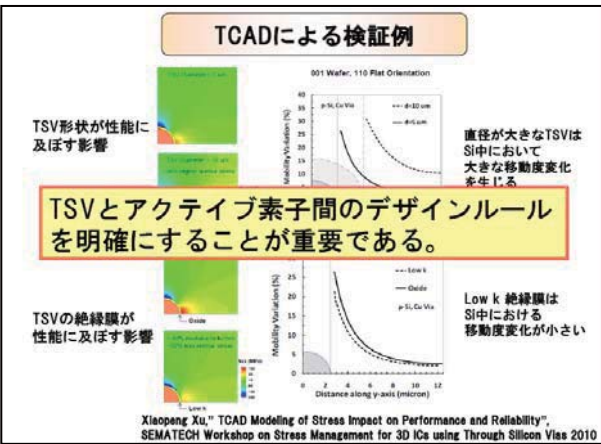
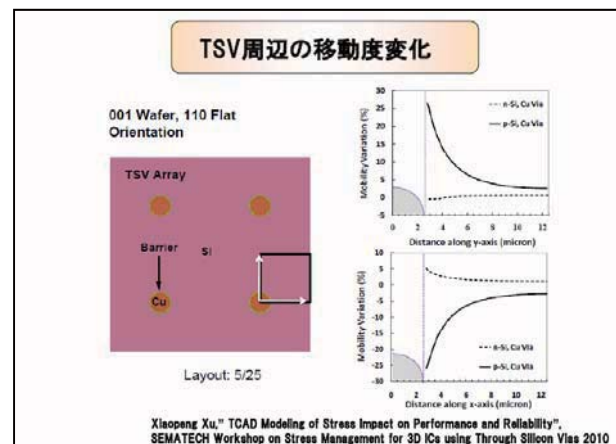
Miyakawa et al., "New Multi-Layer Stacking Technology and Trial Manufacture"  
3D Architectures for Semiconductor Integration and Packaging 2007



**検証結果から推測される  
半導体産業における低コスト化の可能性**



**3次元積層プロセス技術の今後の課題  
(TSV導入が素子特性に及ぼす影響)**



- まとめ**
1. 半導体の高性能化と低消費電力化が両立する可能性のある積層技術を実現するための課題と解決方法を紹介。  
具体的には、層間接続方法と検証後のデータ  
低コスト化が可能となるSiウエハ積層技術  
貼り合せ用Siウエハの反り対策  
積層後のSiウエハ間に接着剤を注入する方法
  2. 1.で説明した方法を用い低コスト化が期待される積層方法となるWafer-to-wafer積層技術を紹介。
  3. 基本特性の検証結果を基に3種類の8インチ・ウエハをWafer-to-wafer方式で積層し、3層積層デバイスの基本特性(MCMデバイスに比べ動作周波数で2倍、消費電力で50%低減)を明らかにし、低コスト化の可能性を紹介。
  4. TSV導入に伴う積層技術用デザインルールの必要性