

## 4. 高性能・超低電力短距離ワイヤレス可動情報システムの創出

黒田忠広 (慶應義塾大学)

### ワイヤレス可動情報システム

ユビキタスとは、それが何であるかを意識させず、いつでも、どこでも、だれでもが恩恵を受けることができるインタフェースや環境のことを意味する。最近では、「いつでも、どこでも、だれでも」という点が強調されるが、元来は「意識させず」に重点があった。

ユビキタスという言葉がこの意味に使われたのは、1991年に Scientific American に掲載された Mark Weiser の論文、The Computer for the 21st Century に遡る<sup>1)</sup>。副題には、“Specialized elements of hardware and software, connected by wires, radio waves and infrared, will be so ubiquitous that no one will notice their presence.” とある。すなわち、「(未来のコンピュータは) 私たちがその存在を意識しないような形で、日常生活の中にとけ込んでいるだろう」この解釈は、論文の書き出しでさらに明らかになる。“The most profound technologies are those that disappear. They weave themselves into the fabric of everyday life until they are indistinguishable from it.” 「完成度の高い技術とは表に現れないものである。日常生活という織物の中に織り込まれてしまって見えなくなっているものだ。」

情報処理技術を生活の中にとけ込ませるためには、ダウンサイジングとワイヤレス接続が特に欠かせない。コンピュータは、集積回路技術の進展とともにダウンサイジングを続けてきた。文字通りサイズが小さくなるとともに、ビットあたりの消費エネルギーも飛躍的に小さくなり、製造コストもこの40年間で4桁安くなった。やがて1ccの小さなコ

ンピュータが100円程度で製造され、生活空間の隅々に埋め込まれるようになるだろう。無数の小さなコンピュータが無線で相互接続されてネットワークを形成し、あるいは広帯域なインターネットを介して高性能なサーバに接続されると、情報処理デバイスはまさに日常生活からその姿を消しユビキタスになる。2025年に人々は、1000個のプロセッサと1000本のワイヤレス通信を無意識のうちに用いているであろう。

しかし、通信のエネルギー消費が急増している。計算は仮想空間でデジタル処理できるので、ダウンサイジングによりエネルギー消費を低減できるが、通信は現実空間でのアナログ処理なので、計算のようにはいかない。デバイスが生活の中にとけ込むためには、邪魔な電源線を必要とせず小さな電池で半永久的に動作することが望ましい。電磁波や光、熱、振動などの環境エネルギーだけで動作できれば、さらに良い。あるいは、エネルギーの補給が必要でもそれがワイヤレスでできれば、システムに可動性を与えることができる。モノが考え、話し、動くことで、日常生活にとけ込んだ高度な情報処理空間を構築できるのである。

こうした背景から、(独)科学技術振興機構の戦略的創造研究推進事業(CREST)における研究領域「情報システムの超低消費電力化を目指した技術革新と統合化技術(研究総括:南谷崇)」において、「高性能・超低電力短距離ワイヤレス可動情報システムの創出」を目指した研究プロジェクトが、東京大学の藤島実(現在は広島大学)、染谷隆夫、高宮真の3氏と筆者による共同研究として平成17年9月にスタ

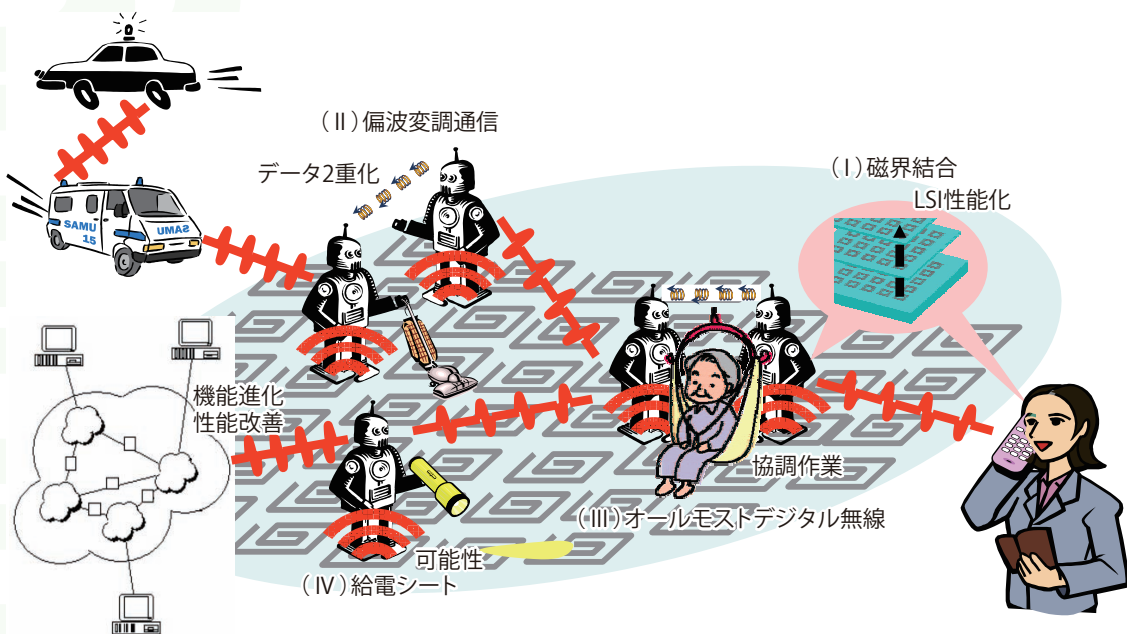


図-1 ワイヤレス可動情報システム

携帯機器やロボットや自動車は可動端末になる。これらにワイヤレス接続機能を付加することで、1) システムのディペンダビリティ向上(データバックアップ)、2) 協調作業、3) 機能進化(プログラムやデータのダウンロード)や性能改善(ネットワーク上の演算・記憶能力の利用)などが可能になる。さらにエネルギー給電もワイヤレスでできればシステムの可動性が得られる。

ートした(図-1)<sup>2)</sup>。動くスーパーコンピュータの実現を目指して、現在よりも2桁高速かつ3桁小さなエネルギー消費で短距離無線データ通信と無線エネルギー給電を実現することが研究の目標である。以下の4つの研究プログラムが進行している。

- (1) 1mm以内の磁界結合を用いたチップ間通信(黒田):  
0.01pJ/b (100mW, 10Tb/s)
- (2) 1m以内の偏波変調を用いた端末間通信(藤島):  
1pJ/b (10mW, 10Gb/s)
- (3) 10m以内のオールモスト・デジタル無線(高宮):  
10pJ/b (1mW, 100Mb/s)
- (4) 10mm以内のワイヤレス給電シート(染谷): 給電効率を1000倍に向上

通信エネルギーの削減の基本方策は、速度と電力の時空間的な最適化と適応制御である。時間的な観点からは、従来の連続波ではなく、データ転送のときだけ発信されるパルス通信を用いる。送信側では、パルス幅を短くすることで送信エネルギーを低減する。受信側では、次のパルスが来るまでの間電源を

遮断することで受信エネルギーを削減する。回路は、動作時だけ電力を消費するCMOS(Complementary Metal Oxide Semiconductor)デジタル回路で構成する。そのために、受信側で信号増幅が要らないように送信電力を最適化する。増幅回路などのアナログ回路が必要な場合でも、必要とときだけ電力を素早く供給できるように工夫して、電源を小まめに遮断する。

空間的な観点からは、通信距離を極力短くして空間指向性を高め、エネルギーの拡散やクロストークを抑える。至近距離の端末間通信では、指向性の高いミリ波帯の波束を偏波変調する。また、大面積給電シートを印刷技術で低コストに作成し、給電すべき空間を走査検出し選択することで給電効率を高める。

本稿では、磁界結合を用いたチップ間通信について、研究成果を紹介し今後の展望を示す。

### 3次元集積

半導体集積回路の集積度は、デバイスを微細化することで3年で4倍ずつ増大してきた。しかし、ゲ

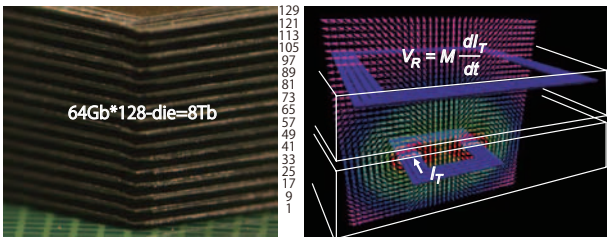


図-2 NANDフラッシュメモリを128枚積層実装  
64GbのNANDフラッシュメモリを128枚積層して8TbのSolid-State Drive (SSD)を実現できる。データアクセスには磁界結合通信を用いて、2Gb/s (最先端技術の3倍)、1.8pJ/b (最先端技術の1/5)の性能が得られている。

ート絶縁膜の厚さは1nm以下に薄くなり、量子効果が顕著に現れて微細化が困難になっている。そこで期待されるのが、集積の次元を2次元(チップ表面)から3次元(立体)へと拡張することである。すでに複数枚のチップを1つのパッケージに積層実装するSiP (System-in-Package)の実用が始まっている。NANDフラッシュメモリを128枚積層した研究も学会で報告されている(図-2)<sup>3)</sup>。ここで用いたチップ間データ通信技術が、本稿で解説する磁界結合通信である。

図-2に示すように、チップの配線を巻いてコイルを形成し、コイルの中心軸が揃うようにチップを積層すると、コイルが変圧器のように磁界結合してデータ通信ができる。つまり、送信コイルに流れる電流の向きをデジタルデータに応じて変化させると、磁界が変化し、受信コイルに発生する電圧信号の極性が変化するので、これを判読すればデータを受信できる。受信信号の強度は、相互インダクタンス( $M$ )と送信電流の時間変化( $dI/dt$ )の積に比例する。前者はコイルのサイズを決め(典型的にはコイルの直径は距離の2倍程度に設計される)、後者は送受信器の電力を決める。磁界は半導体チップを貫通できるので、複数チップ間の通信に利用できる。

3次元集積などで集積度のトレンドが維持できるとしたら、2025年には30兆個のトランジスタを集積できるだろう。メモリならば、64Pbの記憶容量

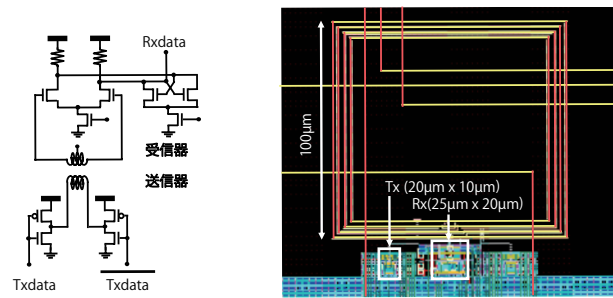


図-3 ThruChip Interface (TCI)  
TCIは標準CMOSデバイスとデジタルCMOS回路で実現できるので、追加コストがいらぬ。送受信器のレイアウトは小さく、デジタルゲートのようにデバイスを微細化できる。通信距離の2倍程度の直径のコイルが必要になるが、チップの多層配線を使ってコイルを巻くので、他の回路の配線がコイルを自由に通過できる。コイルはSRAMやデジタル回路の上にも配置できるので、レイアウトのペナルティはない。

が得られる。これは、人が生涯を通じて見聞きするすべての情報をデジタル保存できる記憶容量である。プロセッサならば、現在のスーパーコンピュータの100倍の演算性能である100PFLOPSのコンピュータが手のひらに載るサイズで実現できる。あるいは、0.01mm角のチップを8枚積層して0.01mm立方の8ビットマイコンを実現できる。細胞と同程度に小さいので、もはや従来の配線を使えない。データ通信もエネルギー給電もワイヤレスにせざるを得ない。このように、ダウンサイジングと3次元集積を実現するために、無線によるデータ通信とエネルギー給電は基盤技術となる。

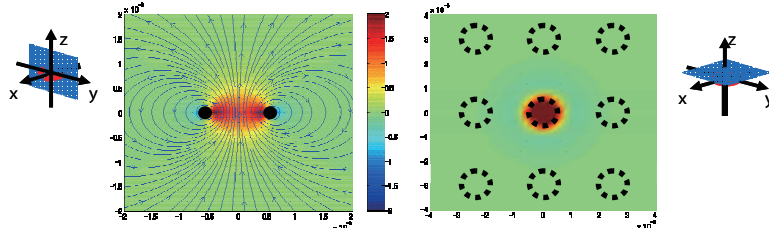
## 磁界結合通信

### ▶ ThruChip Interface (TCI)

チップに微小な穴を掘って貫通電極を埋め込み、積層したチップを上下に配線接続する貫通シリコンピア技術(Through-Silicon-Via, TSV)が世界中で研究開発されている。製造コストがチップあたり数十円高くなるので、数百円のメモリには採用が難しい。また、応力や熱などの機械式接続に起因する信頼性の課題も残っている。

回路技術でチップ間のデータ通信を行うのがThruChip Interface (TCI)である(図-3)。TCIは、標準CMOSデバイスとデジタルCMOS回路で実

■ 近接場 (TCI) : 高密度に面配置してもクロストークを生じない



■ 遠接場 (携帯電話, ワイヤレスLAN) : クロストーク対策が必要

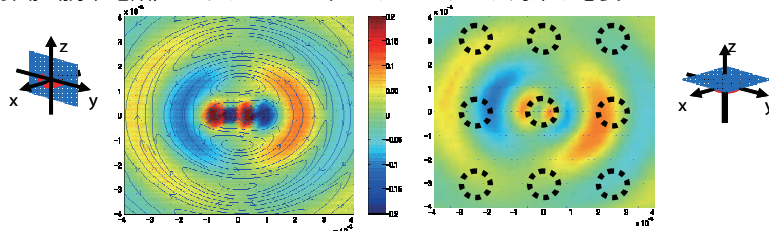


図-4 近接場と遠方場の電磁界伝播

近接場では、信号が大きな減衰を受けるので遠くに届かない。その結果、チャンネルを高密度に面配置しても、チャンネル間でクロストークを生じない。

現できるので、追加コストがいらぬ。TSVのような機械式接続に起因する信頼性の問題もない。従来の有線通信に匹敵する通信の品質と信頼性が得られている。送受信器のレイアウトは小さく、デジタルゲートのようにデバイスを微細化できる。コイルの直径は、十分な相互インダクタンスを得るために、典型的には通信距離の2倍程度が必要になる。近年、チップ厚は年率10%で薄くなっており、NANDフラッシュメモリでは40 $\mu\text{m}$ 以下である。したがって、100 $\mu\text{m}$ 程度の直径のコイルが必要になる。しかし、コイルは共振させないので高いQ値を必要としない。細い多層配線を使ってコイルを巻くので、他の回路の配線がコイルを自由に通過できる。また、コイルはSRAMやデジタル回路の上に配置しても干渉しないので、チップのどこにでも配置できる。このように、TCIのレイアウトペナルティはない。

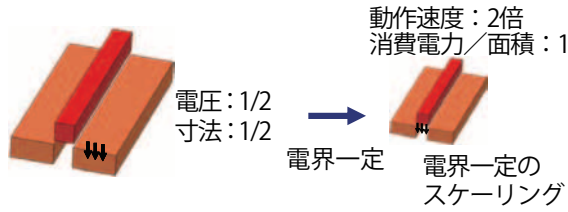
TCIの消費エネルギーは0.1pJ/b以下である。従来の有線通信技術に比べて2桁低いエネルギー消費である。その理由の1つは、TCIには接続用端子がないので静電破壊対策回路が不要になるからである。静電破壊対策だけで3pJ/b程度のエネルギーが消費される。もう1つの理由は、チップ面に通信チャンネルを多数並べて並列化すれば容易に高速化できるので、回路を高速にする必要がなくて、低電力に

設計できるからである。従来のボンディングワイヤによる接続では、チップの周辺にしかインタフェースを配置できなかった。通信速度を上げるためには、トランジスタを動作速度の限界で使わざるを得ない。その結果、通信速度を5%高くするために消費電力が30%増大するような状況が生じている。チップ間通信の消費エネルギーは、0.13 $\mu\text{m}$ デバイス世代以降急増している。システム全体の消費エネルギーの半分に達している場合もある。その原因は、計算がチップの面全体を利用するのに対して、通信はチップの周辺しか利用できなかったからである。TCIは面全体を利用して通信することができる。

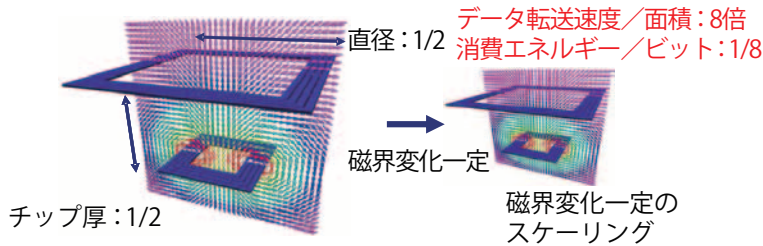
一対のコイルで10Gb/sのデータ通信ができる。ビット誤り率は $10^{-14}$ 以下である。コイルの直径程度の間隔で多数のコイルを配列しても、チャンネル間干渉はない。2.5mm角に1024個のコイルを配置して、 $10^{-16}$ 以下のビット誤り率で8Tb/sのデータ通信が実現できている。

チャンネル間のクロストークがないのは、近接場の特長を活かしているからである(図-4)。電磁波の波長の1/10以下の距離を近接場と呼ぶ。たとえば、1mmの距離は、周波数が50GHz以下の電磁波にとって近接場である。遠方場では電界と磁界の波が交互に連鎖して伝播していくが、近接場では磁界は磁

■ 電界効果トランジスタ (Mooreの法則)



■ TCI (3次元Mooreの法則)



トランジスタの寸法	[x]	1/α
電源電圧	[V]	1/α
チップの厚さ	[T]	1/α
コイルの巻き数 (配線総数) [n]	[n]	α <sup>0.5</sup>
電流	[I]	1/α
回路の遅延時間	[t] ~ [CV/I]	1/α
コイルの直径	[D] ~ [1/x]	1/α
自己インダクタンス [L]	~ [n <sup>2</sup> D]	1
磁界の結合定数	[K]	1
受信信号	[v <sub>R</sub> ] ~ [kn <sup>2</sup> D/(lt)]	1
クロストーク	[v <sub>RS</sub> /v <sub>RN</sub> ]	1
データ転送速度/チャンネル	[1/t]	α
チャンネル数/面積	[1/D <sup>2</sup> ]	α <sup>2</sup>
総データ転送速度/面積	[1/tD <sup>2</sup> ]	α <sup>3</sup>
消費エネルギー/ビット	[ltV]	1/α <sup>2</sup>

図-5 3次元スケールングシナリオ

デバイスの寸法を 1/2 に微細化するとともにチップの厚さも 1/2 に薄くすれば、単位面積あたりのデータ転送速度を 8 倍に高め、ビットあたりの消費エネルギーを 1/8 に小さくできる。

界のまままで受信器に届く。近接場では、コイルの直径以上の距離になると、信号は距離の 3 乗に比例して急速に減衰するので、遠くには届かない。したがって、直径の 1/2 程度の距離のコイルからの信号は受信できても、直径の 2 倍以上離れた隣接チャンネルからの信号は非常に小さくなり混信しない。近接場ではクロストークの問題がないので、簡単な通信方式と回路を使って、安価で、高速で、低エネルギーで、高信頼な通信を実現できる。

信頼性についてさまざまな検証が行われている。デジタル回路から通信への影響、通信からメモリ回路やアナログ回路への影響、環境電磁波ノイズから通信への影響 (ElectroMagnetic Susceptibility ; EMS)、通信から環境への影響 (ElectroMagnetic Interference ; EMI)。さらに、渦電流やチップの位置合わせ誤差による結合劣化の影響やクロック分配におけるジッタの影響などが詳細に調べられている。いずれも大きな課題は見つかっていない。

つまり、TCI はワイヤレスといえども従来の有線通信に匹敵する性能と信頼性を有する。一方で、TCI は TSV よりも安く製造でき、消費エネルギーを小さくできる。

▶ 3次元スケールングシナリオ

性能・コスト比が優れていても、その優位性がある程度将来まで続くことが見通せない新しい技術は導入しにくい。TCI は、デバイスをスケールングすることで性能・コスト比を改善できることが理論的に解明されている。TCI の遅延時間と消費エネルギーは、2 入力 NAND ゲートのおよそ 10 段に相当する。デバイスを微細化することで、2 入力 NAND と同様に TCI の性能も改善される。さらに、図-5 に示すようにチップの厚さも薄くすれば、性能は大幅に改善される。たとえば、デバイスの寸法とチップの厚さと電源電圧をそれぞれ半分にする、電界と磁界の変化がほぼ一定に保てるので、デバイスを微細化しても電界効果トランジスタと磁界結合通信の動作を保証できる。一方、磁界結合通信の面積あたりのデータ転送速度は 8 倍高くなり、ビット当りのエネルギー消費は 1/8 に小さくなる。3次元集積の時代の新しい競争軸に Z 軸方向の微細化が加わることは、当然のことである。

▶ 実用化研究

TCI の代表的なアプリケーションは、メモリの積層、プロセッサの積層、メモリとプロセッサの積層である。そのほかにも、非接触メモリカードや非接

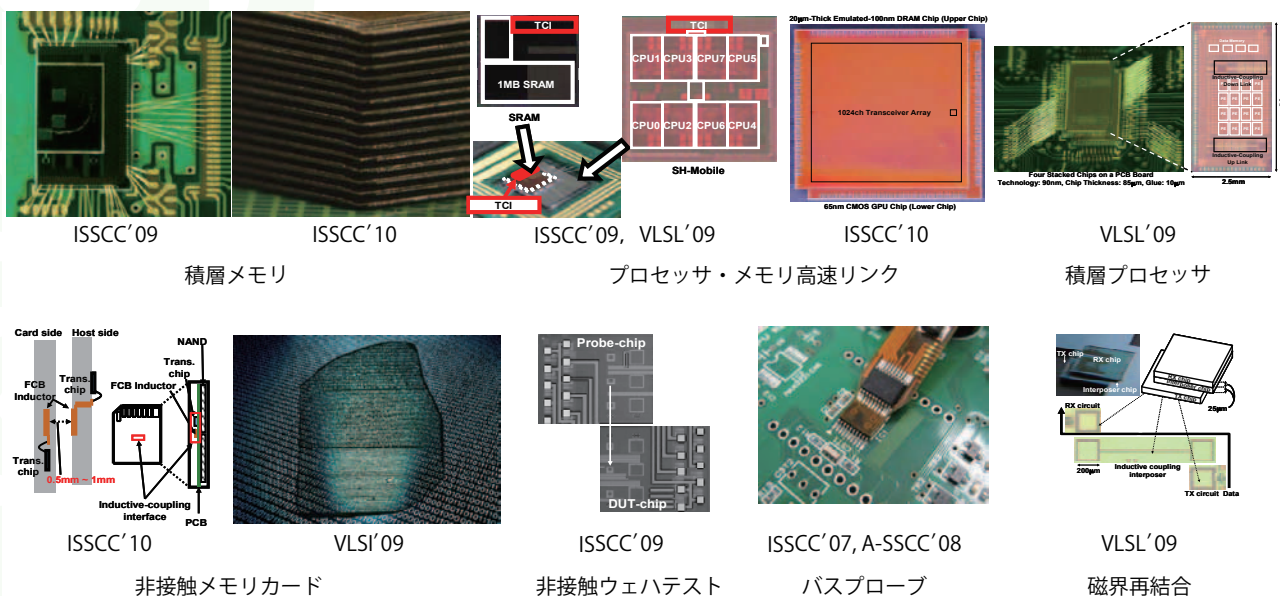


図-6 実用化研究

TCIは、メモリやプロセッサの積層、メモリとプロセッサの高速データ通信などに応用できる。さらに、非接触メモリカードや非接触ウェハテスト、デバッグ用バスプローブ、磁界再結合用インタポーザなどの応用も研究されている。

触ウェハテスト、マイコンデバッグ用のバスプローブ、磁界再結合のためのインタポーザなど、広範囲に応用が研究されている(図-6)。技術的には十分に実用可能な水準であり、今後の産業応用が期待される。

### • 積層メモリと積層プロセッサ

TCIの最も有望なアプリケーションの1つがNANDフラッシュメモリの積層である。図-7は、Solid-State Drive (SSD)を1つのパッケージで実現した例である。現在のSSDは、ボード上に8つのメモリパッケージを実装している。1つのメモリパッケージには8つのNANDフラッシュメモリチップが積層され、200本のワイヤボンディングで相互接続されている。64枚のNANDフラッシュメモリチップと1枚のコントローラチップを1つのパッケージに積層できても、1600本のワイヤボンディングをすることが大変に難しい。TCIを使えば、ワイヤボンディングは電源線だけで済むので、その数を200本に削減できる。1つのパッケージに集積できるので、実装面積を従来の1/8以下に、データ通信回路のレイアウト面積を従来の1/40に、データ通信電力を従来の1/2以下に低減できる。コントローラチップは、64枚のメモリチップにランダムアクセスできる。アクセス先のチップとコントローラ

の間にあるチップはデータ転送を行い、それ以外のチップは無線通信機能を停止する。各チップはコントローラからの命令で状態遷移をして、それぞれの役割を設定する。

128枚のチップを積層した研究成果も報告されている(図-2)<sup>3)</sup>。64GbのNANDフラッシュメモリを128枚積層して、8TbのSSDを1つのパッケージで実現できる。転送速度は2Gb/sで、エネルギー消費は1.8pJ/b/chipである。

一方、プロセッサエレメントを4×4に配列したダイナミック・リコンフィギュラブル・プロセッサのチップを4枚積層して4×4×4の立方構造にした例も報告されている。積層枚数に応じてプロセッサの処理性能をスケラブルにできるのが特長である。要求性能ごとにチップを新たに設計していた従来手法に比べて、1つのチップで広範囲のアプリケーションに対応でき、チップ開発費を削減できる。

プロセッサ積層の課題は放熱である。メモリ積層の場合は、アクセス先以外のメモリチップはすべて待機モードなので、放熱の問題は少ない。

### • プロセッサとメモリの高速度リンク

プロセッサ・メモリ間の高速度通信の要求は常に高い。商用レベルのプロセッサとSRAMの間

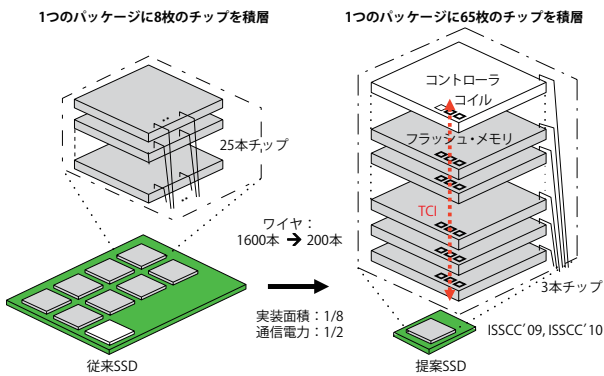


図-7 メモリの積層：SSD 応用

NAND フラッシュメモリチップ 64 枚とコントローラチップを積層して SSD を一つのパッケージで実現すると、実装面積と通信電力を大幅に削減できる。129 枚のチップを積層した例も報告されている(図-2)。

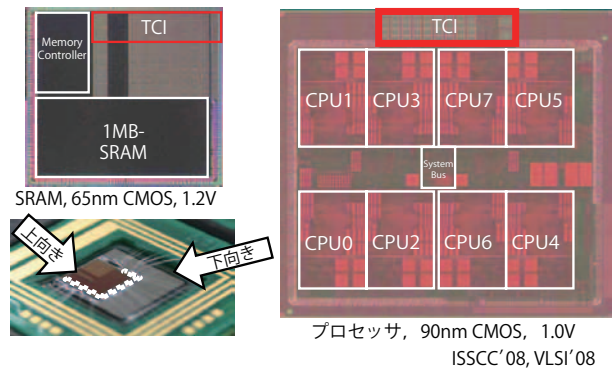
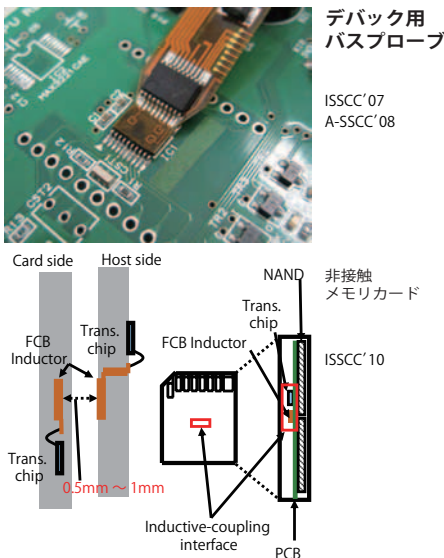
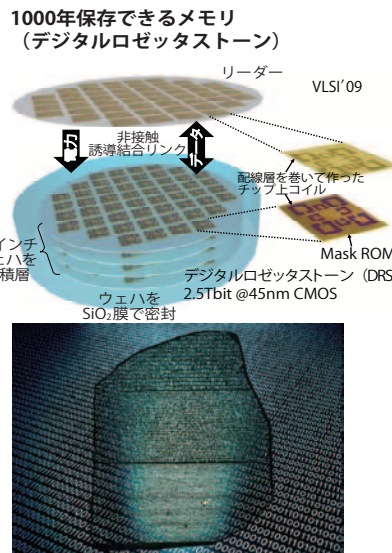


図-8 プロセッサとメモリの結合

DDR2 の転送速度 (19.2Gb/s) にしたとき、エネルギー消費を従来の 1/30 の 1pJ/b に、レイアウト面積を従来の 1/3 の 0.15mm<sup>2</sup>/Gbps に低減できた。



デバック用  
バスプローブ



1000年保存できるメモリ  
(デジタルゼッタストーン)

図-9 通信距離を伸ばして応用を広げる

パッケージ越しに Gb/s の通信ができ、マイコンの内部バスプローブやメモリカードの非接触インタフェースに応用できる。マスク ROM の給電およびデータ読み出しを無線にすれば、チップを密封して、デジタル情報を 1000 年保存できるメモリを実現できる。

を TCI でデータ通信した実験結果が報告されている (図-8)<sup>4)</sup>。商用レベルのプロセッサチップをうつ伏せにしてパッケージに bumps 接続した上に、SRAM チップを上向きに積層してワイヤボンディングで電源を与えた。プロセッサは 1V 電源で SRAM は 1.2V 電源だが、TCI は AC 結合なので、レベルシフトを用いずに両者を直接接続できる。DDR2 と同じ転送速度 (19.2Gb/s) でデータ通信したとき、消費エネルギーを従来の 1/30 の 1pJ/b に、レイアウト面積を 1/3 の 0.15mm<sup>2</sup>/Gbps に低減できた。

さらに、データ転送速度を 8Tb/s、消費エネルギーを 1pJ/b にした DRAM インタフェースも報告されている<sup>5)</sup>。レイアウト面積は 0.8mm<sup>2</sup>/Tbps で、従来と比べて 1/22 と小さい。

• 非接触メモリカードとバスプローブ

コイルの直径を大きくすれば、通信距離を長くできる。パッケージや筐体を越えた通信が可能になる。コイルが大きくなると、寄生容量が増えて共振周波数が下がるので、データ転送速度は低くなるが、それでも数 Gb/s の帯域が得られる。

コイルをチップ上に形成する場合は、面積の制約から直径を 0.6mm 程度に小さくしたい。微弱な受信信号はアンプで増幅する。160Mb/s のデータ転送速度が達成できている。マイコンチップに TCI を埋め込み、TCI を備えたフレキシブル基板をマイコンパッケージの上に装着すれば、ちょうど医者が用いている聴診器のように、パッケージ越しにマイコンの内部データをモニタすることができる (図-9)。マ

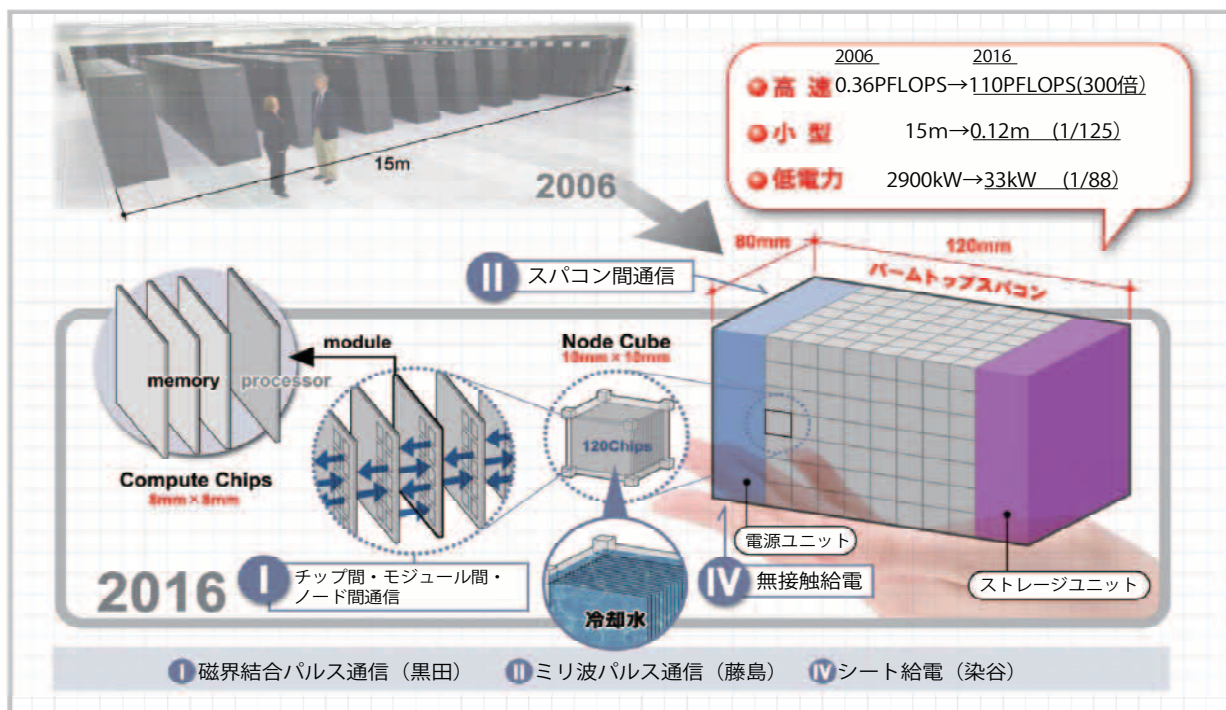


図-10 スーツケース・データセンタ  
従来技術では 2900kW@0.36PFLOPS (8000pJ/FLOP)を要するが、研究成果を適用すると 33kW@110PFLOPS (0.3pJ/FLOP)となり、エネルギー消費を 1/27,000 に低減できる。

アイコンをユーザのシステムボードに実装した状態でデバッグができる。マイコン内部に埋め込んだコイルとフレキシブル基板のコイルの位置が一致しないとデータ通信ができないので、テストピンを出して誰でもデータが読めた従来手法と比較するとセキュリティレベルが高くなり、データ転送速度も高速になる。

SDカードのようなメモ리카ードの回路基板上にコイルを形成すれば、メモ리카ードとPCの間で非接触にデータ通信できる(図-9)。2.5Gb/sのデータ転送速度で6pJ/bのエネルギー消費が実測されている。メモ리카ードの大容量化に伴いデータ転送速度の高速化が求められるが、カードの電極を接触して通信する従来方式では静電破壊対策が必要になり、高速化と低電力化の両立が困難である。TCIはこの問題を解決できる。

• デジタルロゼッタストーン

データ転送のみならずエネルギー給電にも磁界結合を用いる研究が始まっている。マスクROMを磁界結合で給電しTCIでデータ読み出しをすれば、

外部接続が一切なくなる。チップを保護膜で密封して、チップ内部の湿度を2%以下に保てば、デバイスを1000年保存できる(図-9)。人類の文化遺産などをデジタル保存して1000年先の未来に伝えることも可能になる。従来のデジタルメディアはデータを50年も保存できないので、データを新しいメディアにコピーする作業(マイグレーション)が必要になり、そのための経費が高かった。マスクROMにデータを電子ビームで直描する技術は現在のところまだ高いが、デバイスの微細化により10年後には1/100のコストで実現できるだろう。

可動情報システムが拓く未来

本研究の成果を使って従来よりも2桁高速で3桁低いエネルギー消費の可動情報システムを構築できるとしたら、何を創出できるだろうか。図-10に示すように、100PFLOPSのコンピュータをスーツケースに入れて、世界中どこにでもデータセンタを開設できるようになるかもしれない。エネルギー消費



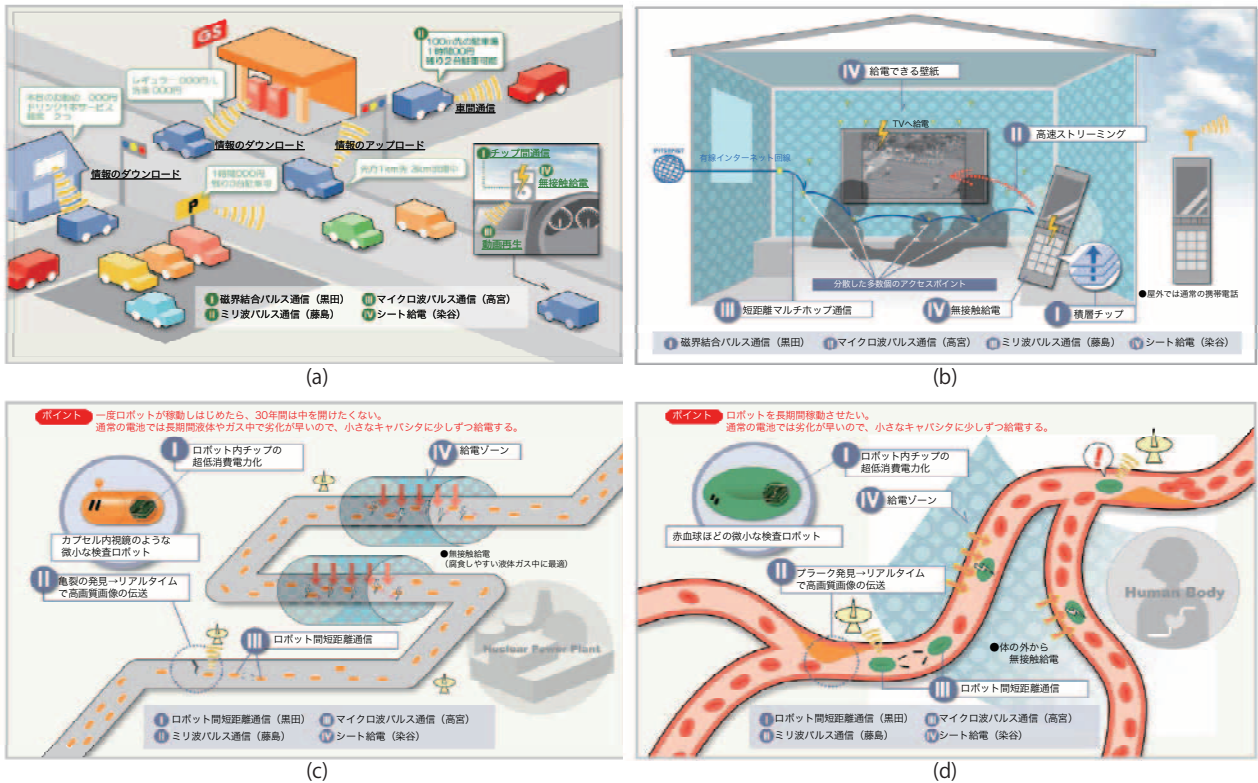


図-11 応用例

(a) 車両を中心とした分散情報処理, (b) 携帯電話を中心としたアドホックネットワーク, (c) 原子力発電所の配管検査, (d) 血管内のプラーク検診.

は従来の 1/27,000 に小さくできる。それでも 33kW の電力を消費するので、放熱が課題になる。チップを密封して冷却水に浸すことはできないだろうか。図-11 に、その他の応用を紹介する。車両を中心とした分散情報処理 (a), 携帯電話を中心とした家庭内アドホックネットワーク (b), 原子力発電所などの配管検査 (c), 血管内プラーク検診などの医療応用 (d) など、さまざまな応用が考えられる。高性能で超低電力な短距離ワイヤレス技術は、高度なユビキタス情報社会の基盤技術となるだろう。

参考文献

- 1) Weiser, M. : The Computer for the 21st Century, Scientific American, Vol.265, No.3, pp.94-104 (1991).
- 2) <http://www.ulp.jst.go.jp/assignment/h17/index.html#01>
- 3) Saito, M., Miura, N. and Kuroda, T. : A 2Gb/s 1.8pJ/b/chip Inductive-Coupling Through-Chip Bus for 128-Die NAND-Flash Memory Stacking, ISSCC'10, pp.440-441 (Feb. 2010).

- 4) Niitsu, K., Shimazaki, Y., Sugimori, Y., Kohama, Y., Kasuga, K., Nonomura, I., Saen, M., Komatsu, S., Osada, K., Irie, N., Hattori, T., Hasegawa, A. and Kuroda, T. : An Inductive-Coupling Link for 3D Integration of a 90nm CMOS Processor and a 65nm CMOS SRAM, ISSCC'09, pp.480-481 (Feb. 2009).
- 5) Miura, N., Kasuga, K., Saito, M. and Kuroda, T. : An 8Tb/s 1pJ/b 0.8mm<sup>2</sup>/Tb/s QDR Inductive-Coupling Interface Between 65nm CMOS and 0.1um DRAM, ISSCC'10, pp.436-437 (Feb. 2010).
- 6) Yuan, Y. Miura, N. Imai, S. Ochi, H. and Kuroda, T. : Digital Rosetta Stone: A Sealed Permanent Memory with Inductive-Coupling Power and Data Link, Symposium on VLSI Circuits, pp. 26-27 (Jun. 2009).

(平成 22 年 5 月 11 日受付)

黒田忠広 kuroda@elec.keio.ac.jp

昭和 57 年東大・工・電気卒業。工博。同年 (株) 東芝入社。平成 12 年より現職。システム LSI 設計を研究。カリフォルニア大学バークレイ校客員教授。電子情報通信学会業績賞。IEEE フェロー。IEEE 上級講師。IEEE 管理委員会メンバ。