

回路構造を考慮した修正箇所候補抽出に基づく 論理診断手法

塩木講輔[†] 渡辺浩介[†] 岡田匠史[†] 石原俊郎[†]
廣瀬哲也[†] 黒木修隆[†] 沼昌宏[†]

本稿では、回路構造を考慮した修正箇所抽出に基づく論理診断手法を提案する。従来の論理診断手法 EXL_{LS}法では、処理時間の増加により、5箇所以上の誤りを同時に修正することができなかった。また、各不一致外部出力を頂点とする部分回路に対する論理診断処理によって、修正箇所を抽出するため、回路全体の修正には不要な箇所を抽出する可能性があった。提案手法では、回路構造を考慮して分割した部分回路から修正箇所候補を抽出する。具体的には、部分回路に対する修正箇所候補集合の生成処理の際に、1) クラスター単位での組合せ箇所の絞込み処理と、2) 複数の不一致外部出力をまとめた部分回路に対する論理診断処理、を行う。これにより処理時間を短縮し、一度に6箇所の設計誤りまでの修正を可能とする。また回路全体の修正には不要な箇所の抽出を抑えることが可能となる。実験結果より、従来手法では修正不可能な回路例のうち、84.4%の回路で修正解が得られるとともに処理時間は最大1/14に削減され、提案手法の有効性が確認された。

An Error Diagnosis Technique Based on Error Locations Extracted from Subcircuit Using Circuit Structure

Kosuke Shioki[†] Kosuke Watanabe[†] Narumi Okada[†]
Toshiro Ishihara[†] Tetsuya Hirose[†] Nobutaka Kuroki[†]
Masahiro Numa[†]

In this paper, we present an error diagnosis technique based on error location extracted from subcircuit using circuit structure. Conventional error diagnosis technique, called EXL_{LS}, cannot rectify five or more errors in a subcircuit at the same time due to increase of processing time. Furthermore, this method can extract useless locations for rectifying the whole circuit due to diagnosis for each error subcircuit. Our technique extracts error locations from subcircuit considering circuit structure. Concretely, we propose the two methods in the process of extracting error locations, i) screening error location sets using cluster of elements and ii) extracting error locations for multiple subcircuit which has

two or more incorrect primary outputs. Thereby, this method shortens the processing time and can rectify six errors at the same time. Moreover, we can reduce the possibility of extracting locations which are not needed to rectify the whole circuit. Experimental results have shown that the proposed technique rectifies 84.4% circuits which cannot be corrected by conventional one. Furthermore, the processing time has been shortened by 1/14 in the best case.

1. はじめに

近年のLSI設計においては、回路の大規模化、および設計期間の短縮の必要性から、計算機による設計支援(CAD: Computer Aided Design)、あるいは設計自動化(EDA: Electronic Design Automation)の技術が不可欠となっている。LSI設計の各工程においては、EDAツールが適用されているものの、仕様変更、タイミング制約違反などにより、レイアウト設計、あるいはマスク製造後に設計変更要求(ECO: Engineering Change Order)が生じる場合がある。設計変更要求が発生した際に、設計を一からやり直したのでは、それまでに要した開発期間と設計資産が無駄になる。そこで、設計変更要求を満たすように回路の自動修正を行う手段として、論理再合成手法 [1][2][3] が提案されている。Brandら [1] は、新仕様ともの回路のレイアウトが一致する部分を抽出することによって、元の回路を可能な限り再利用する手法を提案している。また、Kuoらによる手法 [2] や Wuらによる手法 [3] では、設計変更要求が生じた場合のスペアセルの割当て方法について提案されている。しかしながら、これらの手法では、もとの回路に論理的な誤りが含まれている場合や、修正箇所がわからない場合には修正を行うことができない。井上らは、そのような場合に最小限の変更によりECOを満たす修正箇所とそれらの論理機能を求める論理診断に基づく論理再合成手法を提案している [4][5][6][7][8]。図1に論理診断に基づく論理再合成との対応を示す。

LUT回路に対する論理診断を行うEXL_{TV}(Extended X-algorithm for LUT-based circuits with Truth Variables)法 [4] では、入力パターンに基づく組合せ箇所の絞り込み、真理値変数を用いたシミュレーション、およびBDD(Binary Decision Diagram) [9][10] に基づく論理関数処理により、最小の変更箇所でのLUT機能誤りの修正方法を求めることができる。一方で、想定する設計誤りの数に応じた組合せ箇所数の指数関数的増加によって、処理時間が増大するため、現実時間で修正可能な設計誤りは最大4個に限られるという問題がある。

また、EXL_{TV}法をもとに、多数の設計誤りを修正可能とした論理診断手法: EXL_{LS}(Extended X-algorithm for LUT-based circuits based on Location sets to rectify Subcircuits)法 [7] が提案されている。EXL_{LS}法では、機能仕様との不一致を生じた各外部出力に基づく部分回路に対する論理診断処理によって得られた修正箇所を、修正箇所候補集

*[†] 神戸大学大学院工学研究科
Graduate School of Engineering, Kobe University

合として抽出し、最後に抽出された修正箇所候補集合に含まれる素子を用いて、回路全体の修正解を求める。その結果、修正箇所候補を絞らずにすべての箇所を対象として、修正箇所を探索するよりも、組合せ箇所数を削減することが可能となる。

しかし、部分回路に対する修正箇所候補集合の生成処理において EXL_{TV} 法による論理診断処理を行っているため、処理時間の増加により、5 箇所以上の同時修正が不可能となっていた。また、一つの不一致外部出力を修正可能な修正箇所のみを抽出していたために、回路全体の修正には不要な箇所を抽出する可能性があった。さらに、不要な箇所を用いて機能修正を行うことにより、回路全体の修正を行う際に BDD のノード数が増加し、修正解を求められない場合があった。

そこで本稿では、回路構造を考慮することによって、i) 素子のクラスタリング [8] と、ii) 複数の不一致外部出力に基づく部分回路を対象とした修正箇所候補集合の抽出手法を提案する。i) では、素子の信号線の接続情報を利用し、Fanout Free Reigion (FFR) [8][11] や Recovergent Fanout Reigion (RFR) 単位でクラスタリングを行う。これにより診断対象とする素子数を削減することで処理時間を削減し、多重度 6 の同時修正が可能となる。ii) では、複数の不一致外部出力を持つ部分回路をまとめて修正箇所候補集合の抽出を行うことで、回路全体の修正に必要な箇所を発見する可能性を高める。さらに、部分回路をまとめることで部分回路修正の繰り返し回数を削減し、処理時間を短縮する。

以下、2 章で説明に必要な用語の定義を行い、3 章で提案手法の概要と処理手順を述べ、4 章で実験結果を示して、考察を加えた後、5 章でまとめを行う。

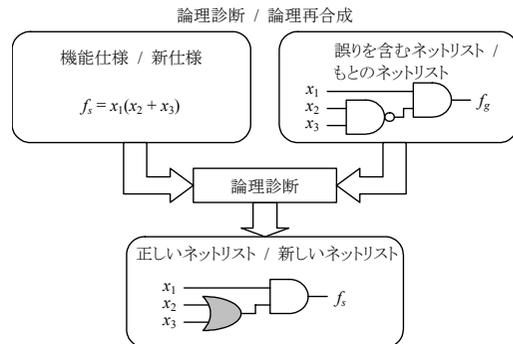


図 1 論理診断に基づく論理再合成

2. 用語の定義

定義 1 機能仕様, 診断対象回路

実現すべき機能仕様 S を満たす外部出力論理関数を f_s , 設計誤りを含む診断対象回路 G の外部出力論理関数を f_g で表す。 □

定義 2 一致外部出力集合, 不一致外部出力集合

外部出力を po_j ($1 \leq j \leq p$) で表すとき、機能仕様 S を満たす po_j の集合を一致外部出力集合 $PO_{OK} = \{po_j | f_{sj} \equiv f_{gj}\}$ と呼ぶ。 PO_{OK} に含まれない外部出力の集合を、不一致外部出力集合 PO_{NG} と呼ぶ。 □

定義 3 コーン回路, 多重コーン回路

ある外部出力 po_j を始点として、外部入力まで到達するすべての経路を含む単一出力部分回路を、 po_j を頂点とするコーン回路と呼び、 $cone(po_j)$ で表す。 外部出力集合 $PO_P = \{po_{p1}, \dots, po_{pn}\}$ の各要素 po_{pj} を頂点とするコーン回路の重ね合わせ

$$Mcone(PO_P) = cone(po_{p1}) \cup \dots \cup cone(po_{pn}) \quad (1)$$

を、 PO_P を頂点とする多重コーン回路と呼ぶ。 特に、ある一つの不一致外部出力 $po_d \in PO_{NG}$ と一致外部出力集合 PO_{OK} による多重コーン回路を、 po_d に対する多重コーン回路

$$Mc_d = Mcone(\{po_d\} \cup PO_{OK}) \quad (2)$$

と定義する。 また、複数の不一致外部出力をもつ多重コーン回路を Mc_{d+} と表す。 □

定義 4 修正箇所, 組合せ(修正)箇所

設計誤りを含むと想定する一つの LUT を修正箇所 l と呼ぶ。 また、 m 個の修正箇所からなる空でない集合を、多重度 m の組合せ修正箇所、あるいは単に組合せ箇所と呼び、 $L^m = \{l_i | i = 1, \dots, m\}$ で表す。 □

定義 5 修正候補, 修正解, 修正解集合 [4]

修正候補 $e_i = (l_i, t_i)$ は、修正箇所 l_i と LUT の真理値割り当て t_i の組で表される。 その修正によって機能仕様 S を満たす回路が得られる多重度 m の修正候補 $E^m = \{e_i | i = 1, \dots, m\}$ を、修正解 E_T^m と呼ぶ。 多重度 m に対して存在するすべての E_T^m からなる集合を、修正解集合 $C_{E_T^m} = \{E_T^m\}$ と呼ぶ。 □

定義 6 真の組合せ箇所, 真の組合せ箇所集合

修正解に含まれる修正箇所を、真の組合せ箇所 L_T^m と呼ぶ。 一つ以上の修正解 $E_T^m \in C_{E_T^m}$ に対して、 $L_T^m = L(E_T^m)$ が成り立つ。 また、多重コーン回路 Mc_d に対する真の組合せ箇所を $L_T^k(Mc_d)$ で表す。 □

定義 7 多重コーン回路に対する修正箇所候補集合

Mc_d に対する真の組合せ箇所 $L^k(Mc_d)$ に含まれる修正箇所 $l_i \in L^k(Mc_d)$ からなる集合を、多重コーン回路 Mc_d に対する修正箇所候補集合 $L_{\text{cand}}(Mc_d)$ と呼ぶ。 □

3. 回路構造を考慮した修正箇所抽出手法

本章では、部分回路の修正箇所を利用した論理診断手法である EXL_{LS} 法の問題点を解決するために、素子のクラスタリングを用いた EXL_{LS} 法を提案する。その手法をさらに改良した手法として、複数の不一致外部出力をもつ多重コーン回路を用いた EXL_{LS} 法を提案する。

3.1 素子のクラスタリングを用いた EXL_{LS} 法

従来の EXL_{LS} 法では、部分回路に対する修正箇所候補集合を抽出する際に、EXL_{TV} 法を用いており、処理時間の問題から、部分回路に含まれる 5 箇所以上の誤りを同時に修正することが困難となっている。

本手法では、部分回路に対する修正箇所候補集合を抽出する際に、素子のクラスタリングを用いた論理診断手法 [8] を使用する。これにより、処理時間を削減し、従来手法では、修正不可能となっていた部分回路に含まれる 6 箇所の誤りを同時に修正することが可能となる。

また、本手法では、図 2 (a) に示す FFR [8][11] に加えて、再収斂ブロック RFR もクラスタとして扱う。再収斂ブロック RFR とは、図 2 (b) に示すように、一度分岐して形成した FFR が再び一つの信号線に収斂するような回路構造を 1 つにまとめたブロックである。RFR をクラスタとして扱うことで、クラスタ数を更に削減することが可能となる。これにより、FFR のみをクラスタとして扱う場合に比べ、処理時間を削減できる。

3.2 複数の不一致外部出力をもつ多重コーン回路を用いた EXL_{LS} 法

従来手法では、部分回路に対する修正箇所を抽出する際に、単一の不一致外部出力に対して論理機能が一致するかどうかを指標としていた。複数の外部出力に対して機能論理が一致するという条件に対して、一つの外部出力の論理機能が一致する条件の方が弱いために、修正箇所候補が増加するという問題があった。そのため、一つの外部出力を修正することは可能だが、回路全体の修正には不要な箇所まで抽出されるために、回路全体の修正解を得ることができなかった。

提案手法では、回路全体の修正に必要な箇所を抽出することを目的として、複数の不一致外部出力に対する修正箇所候補集合を抽出する。

図 3 に提案手法の処理の流れを示す。はじめに、機能仕様 S と診断対象回路 G より、一致外部出力 PO_{OK} と不一致外部出力 PO_{NG} を求める。次に、不一致外部出力に含まれる外部出力 po_d について処理を行う。

はじめに、複数の不一致外部出力をもつ多重コーン回路の生成処理を行う。この処

理については、次節にて説明する。次に、生成された多重コーン回路について素子のクラスタリングを用いた論理診断処理を行い、修正箇所候補集合 $L_{\text{cand}}(Mc_d)$ を得る。また、複数の不一致外部出力をもつ多重コーン回路について修正解が得られない場合 $L^k(Mc_d) = \phi$ 、一つの不一致外部出力をもつ多重コーン回路を対象に修正箇所候補集合の生成処理を行う。一方、修正解が得られた場合には、診断対象に含まれる外部出力を全て PO_{NG} から除く。

最後に、得られた修正箇所候補集合に含まれる素子を用いて、回路全体に対する論理診断処理を行い、回路全体に対する修正解 E_T^m を得る。

3.3 複数の不一致外部出力をもつ多重コーン回路の生成

本節では、部分回路の構造に着目した複数の不一致外部出力をもつ多重コーン回路の生成手法について説明する。多出力の回路に対してテクノロジマッピングを行う際

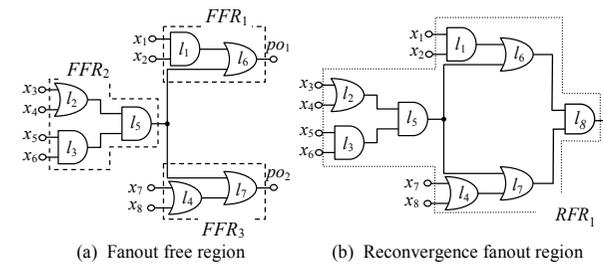


図 2 素子のクラスタリング (FFR と RFR)

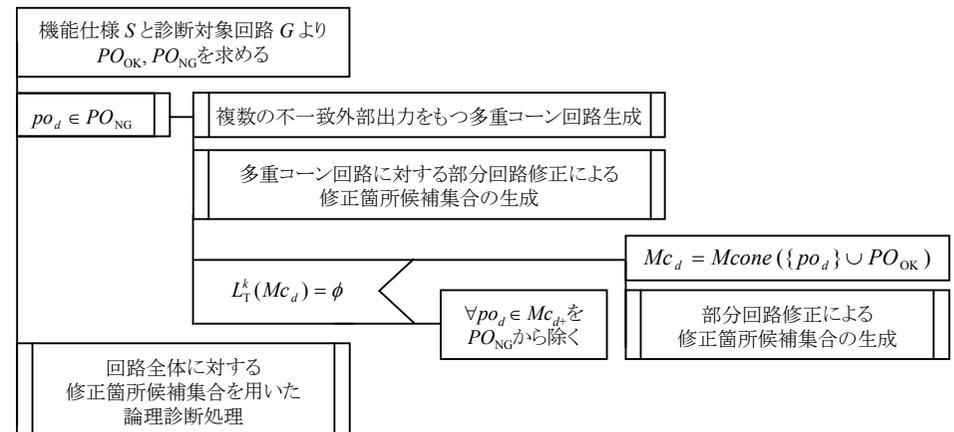


図 3 複数の不一致外部出力をもつ多重コーン回路を用いた EXL_{LS} 法

に、ある入力に対して同じ論理をもつコーン回路がある場合に、面積削減を目的として共通の部分回路をまとめることがある。その結果、図4に示す回路のように2つコーン回路が共通の部分回路をもつことになる。提案手法では、各コーン回路の素子数と各コーン回路の共通部分の回路に含まれる素子数に着目し、多重コーン回路の生成を行う。共通部分の多い部分回路をまとめて診断することにより、診断対象回路の素子数や誤り箇所数が増加することなく、複数の外部出力に対して論理機能が一致する修正箇所を抽出することが可能となる。本手法における多重コーン回路 Mc_{d+} の生成条件は、

$$Mc_{d+} = Mc_d \cup \bigcup_{po_i \in PO_{INT}} cone(po_i), PO_{INT} = \left\{ po_k : \frac{|n_k - n_{d \cap k}|}{n_k} \leq \alpha, po_k \in PO_{NG}, po_k \neq po_d \right\} \quad (3)$$

で示される。式(3)では、診断対象とする不一致外部出力 po_d を始点とするコーン回路を $cone(po_d)$ とし、コーン回路 $cone(po_d)$ に含まれる素子数を $n_d = n(cone(po_d))$ とする。また、それ以外のある不一致外部出力 $po_k \in PO_{NG}$ ($po_k \neq po_d$) を始点とするコーン回路 $cone(po_k)$ に含まれる素子数を $n_k = n(cone(po_k))$ とする。診断対象とするコーン回路 $cone(po_d)$ とコーン回路 $cone(po_k)$ の共通部分の素子数 $n_{d \cap k} = n(cone(po_d) \cap cone(po_k))$ と素子数 n_k との比率による差が閾値 α 以下である場合には、共通部分の多い部分回路をもつ不一致外部出力集合 PO_{INT} に抽出し、 PO_{INT} に含まれる外部出力と診断対象とする多重コーン回路を用いて、多重コーン回路 Mc_{d+} を生成する。

最後に、閾値 α の設定基準について説明する。提案手法では、多重コーン回路 Mc_{d+} の素子数が増加すると組合せ箇所数が指数関数的に増加するため、それぞれの共通部分に含まれない素子の数 $|n_k - n_{d \cap k}|$ は素子数 n_k に対して1ケタ小さい値であることが望ましい。そのため、本稿では閾値 α を0.1とした。

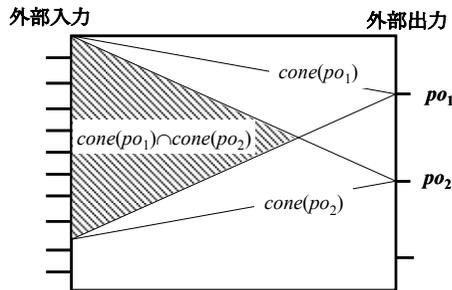


図4 部分回路の共通部分

表1 ベンチマーク回路 [12]

回路名	素子数	LUT数	クラスタ数	外部入力数	外部出力数
C432	160	95	44	36	7
C499	202	176	72	41	32
C880	383	172	70	60	26
C1355	546	176	72	41	32
C1908	880	192	103	33	25
C2670	1,193	376	189	233	140
C3540	1,669	487	200	50	22
C5315	2,406	668	329	178	123

4. 実験評価

4.1 実験環境

提案手法をC言語(gcc ver. 4.1.2)を用いて計算機(IBM-PC/AT互換機 CPU: Core2Duo 3.33 GHz, RAM: 8 GB)上に実装した。実験は、表1に示すISCAS'85ベンチマーク回路[12]に対して、無作為にLUT機能誤りを5個から9個挿入した回路を20例ずつ、合計例 $5 \times 20 \times 8 = 800$ 例に対して行った。評価項目は両手法における修正率と組合せ箇所数、処理時間とした。また、実験に際して、論理関数処理を行う際のBDDノード数を約6,800万($\approx 2^{26}$)に制限し、処理時間の制限を18,000秒(5時間)とした。実験結果には、部分回路に対する想定多重度を4としたEXL_{LS}法、素子のクラスタリングを用いたEXL_{LS}法(提案手法1)、複数の不一致外部出力をもつ多重コーン回路を用いたEXL_{LS}法(提案手法2)を用いた。

4.2 実験結果と考察

4.2.1 修正率

表2に、修正率に関する結果を示す。“EXL_{LS}”はEXL_{LS}法、“提案1”は提案手法1、“提案2”は提案手法2をそれぞれ示す。“平均”は、(それぞれの手法によって修正解の得られた回路例数)/(実験に用いた回路例数)を示している。

表2より、各手法の修正率の平均値は、EXL_{LS}法が92.8%、提案手法1が96.3%、提案手法2が98.9%となった。この結果から、素子のクラスタリングを用いることで、5箇所以上の同時修正による効果を確認した。また、各手法における修正不可能な回路例数は、従来手法が58例、提案手法1が30例、提案手法2が9例となり、従来手法では修正不可能な回路例のうち、提案手法2によって、84.4%の回路例について修正解が得られることを確認した。

次に、提案手法1と提案手法2に着目すると、C499回路において、提案手法2の修

表 2 修正率に関する結果 [%]

回路名	EXL _{LS}	提案 1	提案 2
C432	94.0	100.0	100.0
C499	83.0	89.0	96.0
C880	100.0	100.0	100.0
C1355	73.0	84.0	97.0
C1908	97.0	98.0	100.0
C2670	98.0	99.0	98.0
C3540	99.0	100.0	100.0
C5315	98.0	100.0	100.0
平均	92.8	96.3	98.9

正率の方が提案手法 1 よりも 7 ポイント向上し、同様に C1355 回路において 13 ポイント向上する結果が確認された。これは、提案手法 2 で用いた複数の不一致外部出力に対する修正箇所抽出手法による効果であると考えられる。この結果から、EXL_{LS} 法において、回路全体の修正に必要な変更箇所を抽出する際に、単一の不一致外部出力に対する修正箇所を抽出するよりも複数の不一致外部出力に対する修正箇所を抽出した方が回路全体の修正に有効な修正箇所を抽出される効果が確認できた。C2670 については、複数の不一致外部出力を対象として組合せ箇所の生成を行った際に、組合せ箇所の増加により修正できない回路例が 1 例存在した。

以上の結果より、素子のクラスタリングを用いて多重度 6 箇所以下の誤りの同時修正する手法と複数の不一致外部出力から修正箇所候補集合を抽出する手法を組み合わせることによる修正率の向上効果を確認できた。

4.2.2 処理時間

表 3 に、処理時間に関する結果を示す。“処理時間”は、各回路のそれぞれの多重度ごとに修正解の得られた回路例に対する処理時間の幾何平均を示す。従来の EXL_{LS} 法と提案手法 2 を比較すると、ほぼ全ての回路において、処理時間が削減されており、最大で、C2670 の多重度 7 において、処理時間を 1/14 にまで削減されていることを確認した。

一方、C499 の多重度 7、多重度 8 において、従来手法と提案手法 1 を比較すると、提案手法 1 の処理時間の方が長い。これは、提案手法では、想定多重度 5 以上の論理診断を行った回路例の処理時間を含むためである。しかし、提案手法 2 では、多重度 5 以上の回路例を含む場合にも、処理時間が削減されている。この原因について、以下に考察を加える。

提案手法 2 では、共通の素子を多くもつコーン回路をまとめて、診断対象の多重コ

表 3 処理時間に関する結果 [s]

(a) C432, C499, C880

回路名 多重度	C432			C499			C880		
	EXL _{LS}	提案 1	提案 2	EXL _{LS}	提案 1	提案 2	EXL _{LS}	提案 1	提案 2
5	0.1	0.1	0.1	4.2	3.0	1.3	0.2	0.2	0.2
6	0.2	0.2	0.2	6.4	5.7	2.7	0.3	0.3	0.3
7	0.3	0.3	0.3	2.2	5.8	1.2	0.3	0.3	0.3
8	0.3	0.4	0.4	4.9	8.4	2.7	0.4	0.4	0.4
9	0.9	1.2	1.2	9.9	6.8	3.6	0.4	0.3	0.4

(b) C1355, C1908, C2670

回路名 多重度	C1355			C1908			C2670		
	EXL _{LS}	提案 1	提案 2	EXL _{LS}	提案 1	提案 2	EXL _{LS}	提案 1	提案 2
5	3.4	2.8	0.9	0.6	0.6	0.5	46.5	38.7	38.2
6	5.5	5.0	1.4	0.8	0.9	0.7	46.5	30.4	38.7
7	10.5	4.8	1.7	1.3	1.5	1.2	79.6	57.5	5.5
8	6.7	3.6	1.7	1.3	1.1	0.9	61.2	56.7	31.6
9	42.0	9.9	7.3	2.5	2.8	2.5	79.5	60.8	44.5

(c) C3540, C5315

回路名 多重度	C3540			C5315		
	EXL _{LS}	提案 1	提案 2	EXL _{LS}	提案 1	提案 2
5	9.6	8.2	5.4	1.1	1.0	0.9
6	15.2	10.2	5.8	1.7	1.6	1.2
7	10.0	11.0	6.2	2.6	2.3	1.7
8	16.2	12.5	7.9	3.0	3.0	2.0
9	16.6	16.0	10.9	5.4	3.4	2.5

ーン回路として扱う。本実験では、多重コーン回路を判定するための閾値 $\alpha = 0.1$ としていたため、診断対象とする多重コーン回路の素子数や誤り箇所数の増加量は単一の不一致外部出力を対象とした場合と比較して、10% 以下となるため、組合せ箇所数の増加を抑えたまま、複数の不一致外部出力を同時に診断することができたと考えられる。さらに、提案手法では複数の外部出力について一致条件を満たす必要があるた

め、単一の外部出力を対象に組合せ箇所を絞込みを行う場合よりも、組合せ箇所の絞り込み効果が高まる。これにより、診断対象とする組合せ箇所の数を削減し、処理時間を削減する効果が得られたと考える。さらに、複数の部分回路をまとめて論理診断処理を行うため、部分回路に対する論理診断処理の繰り返し回数を削減し、処理時間を短縮する効果が得られたと考える。

5. まとめ

本稿では、回路構造を考慮した修正箇所抽出に基づく論理診断手法を提案した。従来の論理診断手法 EXL_{LS} 法では、処理時間の増加により、5 箇所以上の誤りを同時に修正することができなかった。そこで、回路構造を考慮して分割した部分回路から修正箇所候補を抽出することで処理時間を短縮し、一度に 6 箇所の設計誤りまで修正可能とする手法の提案・実装を行い、ベンチマークを用いた実験を行った。実験結果より、従来手法では修正不可能な回路例のうち、84.4% の回路で修正解が得られた。処理時間は最大 1/14 に削減された。

今後の課題として、本手法と従来手法で得られた修正解を用いて論理再合成を行い、スペアセルを用いたレイアウトの変更が可能かどうかを比較することが挙げられる。

参考文献

- 1) Brand, D., Drumm, A., Kundu, S. and Narain, P.: Incremental Synthesis, Proc. ICCAD-94, USA, pp.14-18 (1994).
- 2) Kuo, Y.-M., Chang, Y.-T., Chang, S.-C. and Sadowska, M. M.: Engineering Change Using Spare Cells with Constant Insertion, Trans. IEEE on Comput., Vol.28, No.3, pp.456-460 (2009).
- 3) Wu, Y.-R., Chen, S.-Y., Lee, K.-Y. and Wang, T.-C.: On Using Spare Cells for Functional Changes with Wirelength Consideration, Proc. SASIMI 2009, Japan, pp.64-69 (2009).
- 4) Tomita, M., Yamamoto, T., Sumikawa, F. and Hirano, K.: Rectification of Multiple Logic Design Errors in Multiple Output Circuits, Proc. 31st DAC, pp.212-217 (1994).
- 5) Tomita, M., Suganuma, N. and Hirano, K.: Pattern Generation for Locating Logic Design Errors, Trans. IEICE, Vol.E77-A, No.5, pp.881-893 (1994).
- 6) Inoue, H., Iwasaki, T., Numa, M. and Yamamoto, K.: An Improved Multiple Error Diagnosis Technique Using Symbolic Simulation with Truth Variables and Its Application to Incremental Synthesis for Standard-Cell Design, Proc. SASIMI 2003, Japan, pp.61-68 (2003).
- 7) Shioki, K., Okada, N., Ishihara, T., Hirose, T., Kuroki, N. and Numa, M.: An Error Diagnosis Technique Based on Location Sets to Rectify Subcircuits, Trans. IEICE, Vol.E92-A, No.12, accepted for publication (2009).
- 8) 塩木講輔, 岡田匠史, 渡辺浩介, 廣瀬哲也, 黒木修隆, 沼 昌宏: 素子のクラスタリングを用いた論理診断手法, 情報処理学会 DA シンポジウム 2009, pp.37-42 (2009).
- 9) Akers, S. B.: Binary Decision Diagrams, Trans. IEEE, Vol.C27, No.6, pp.509-516 (1978).
- 10) Bryant, R. E.: Graph-Based Algorithms for Boolean Function Manipulation, Trans. IEEE, Vol.C35,

No.8, pp.677-691 (1986).

11) Chen, W., Pomeranz, I. and Reddy, M. S.: REDI: An Efficient Fault Oriented Procedure to Identify Redundant Faults in Combinational, Proc. ICCAD-2001, pp.370-374 (2001).

12) Brglez, F. and Fujiwara, H.: A Neutral Netlist of 10 Combinational Benchmark Circuits and a Target Translation in FORTRAN, Proc. ISCAS'85 (1985).