

低エネルギー動作に適した 超低電圧プロセッサのアーキテクチャ評価

黒田 弾^{†1} 更田 裕司^{†1}
橋本 昌宜^{†1} 尾上 孝雄^{†1}

近年、センサネットワークの普及などにより、電源電圧をトランジスタの閾値以下まで下げた超低電圧プロセッサが注目されている。超低電圧回路は動作周波数が低く、リークエネルギーの割合が大きいなどの特性を持つため、超低電圧動作に適したアーキテクチャ設計が必要となる。本研究では、汎用レジスタのビット幅、本数、パイプライン段数を変化させた8種類のアーキテクチャについて3種類のアプリケーションを実装し、65nmプロセスを想定して面積と消費エネルギー、実行時間を評価した。評価結果より、プロセッサコアの面積低減は電力の削減には重要だが、必ずしも低消費エネルギー化に結びつかないことを示した。

Evaluation of processor architecture for energy efficient subthreshold operation

DAN KURODA,^{†1} HIROSHI FUKETA,^{†1}
MASANORI HASHIMOTO^{†1} and TAKAO ONOYE^{†1}

Recently, a subthreshold processor, which operates at below MOSFET threshold voltage, is paid attention to for ultra low power applications, such as sensor nodes. Subthreshold circuits have remarkable characteristics of slow yet ultra low power operation, and hence it is necessary to design a processor architecture tailored for subthreshold operation. We assume three applications and evaluate the area, energy consumption and operation cycle for eight processor architectures in 65nm technology. Experiments show that reducing processor core area is important for power reduction, however it does not always reduce energy consumption.

1. はじめに

近年普及が進んでいる、センサネットワークを構成する端末に搭載されるプロセッサは、消費エネルギーの制限が厳しい一方で、高い演算性能は要求されないという特性を持つ。このような、速度ではなく消費エネルギーが極めて重要となる用途に対して、電源電圧をトランジスタの閾値以下まで下げた超低電圧プロセッサが注目されている。その理由は、動作速度は遅くなるものの、回路の消費電力を通常の電圧の場合よりも大幅に小さくできるためである。しかし、超低電圧プロセッサはリークエネルギーが消費エネルギーに占める割合が大きいという特徴を持つ。リーク電力は、回路の面積にほぼ比例して大きくなるので、回路の面積化が、超低電圧プロセッサの低消費電力化に有効な手段である。しかし、プロセッサの面積化は、データバス幅やレジスタ数などの減少を伴うため、命令実行サイクルの増加や、メモリアクセス数の増大などを引き起こし、演算性能が低下する。そのため、同じアプリケーションを実行する場合でも、面積化を行う前のプロセッサに比べて、実行時間がより長くなってしまふ。結果的に、面積を小さくしたことで消費電力は低減できても、アプリケーションの実行に必要な消費エネルギーが大きくなってしまふ恐れがある。そのため、単純にプロセッサの小規模化をするのではなく、そのプロセッサで実行するアプリケーションに適したアーキテクチャを構成する事が必要となる。アーキテクチャ最適化の一例として、文献1)では、センサネットワーク向けのサブスレッショルドプロセッサが提案されている。このプロセッサは、130nmプロセスの設計で、電源電圧 200mV、600fJ/instruction、142kHz動作 (SPICEシミュレーションより算出) という低エネルギー動作を実現している。しかし、最近の65nmプロセスにおいてはリークエネルギーの増大がより顕著になり、またアプリケーションや電源電圧によって低エネルギー動作に適したプロセッサアーキテクチャは異なったものとなる可能性がある。

本論文では、65nmプロセス、電源電圧 300mV動作のプロセッサを想定し、回路面積に大きく影響するデータバス幅、汎用レジスタ数、パイプラインレジスタ面積に注目して、SHA-1(Secure Hash Algorithm)、TEA(Tiny Encryption Algorithm)、CRC(Cyclic Redundancy Check)の3種類を実行アプリケーションとして評価し、実行時の消費エネルギーが最小となる構成を明らかにする。

^{†1} 大阪大学大学院情報科学研究科
Graduate School of Information Science, Osaka University

2. 超低電圧プロセッサの特性

超低電圧回路とは、電源電圧が回路を構成する MOS トランジスタの閾値電圧以下であるような領域、いわゆるサブスレッショルド領域で動作する回路¹⁾⁻⁴⁾のことを言う。このような回路では、消費電力は特に電源電圧に大きく影響されることから、通常の電圧で動作する回路に比べて消費電力を大きく低減することができる。その反面、動作周波数は低くなるという性質をもつ。文献4)では、16bitのFFT(Fast Fourier Transform)プロセッサの評価から、電圧350mVの場合、動作周波数は約10kHz、消費電力が約600nWであり、電圧180mVの場合、動作周波数は約164Hz、消費電力が約90nWという結果が示されている。近年普及が進んでいるセンサネットワークのノードや医療に用いられる小型のモニタリング機器などに搭載されるプロセッサにおいて、電源容量が小さいことと高速な演算が求められないことから、このような超低電圧プロセッサの利用が適していると考えられる。しかしながら、超低電圧回路では回路のリークエネルギーが全体の消費エネルギーに占める割合が大きいため、消費エネルギーの低減には回路面積をできるだけ小さくすることが重要となる。ただし回路規模を小さくすると、演算性能は低下していく。性能の低下はアプリケーションの実行時間の増加、命令およびデータメモリ領域の肥大化、メモリアクセスの増大を招くため、単純に規模を小さくしていけば消費エネルギーを低減できるわけではない。そのプロセッサでどのような処理を行うかを想定し、動作アプリケーションに最適なアーキテクチャを設計する必要がある。

3. 評価するプロセッサアーキテクチャ

3.1 想定するプロセッサの動作環境、実行アプリケーション

超低電圧動作プロセッサは先に述べたように、簡単なデータ処理や通信を行う用途で、小型の端末に搭載されることが多い。そのような状況で実行されるアプリケーションとしては、データ列の簡単な暗号化や通信エラーのチェックなどが想定される。そこで今回は表1に示す3つのアルゴリズムを取り上げ、プログラムを連続的に実行する、あるいは間欠的に実行する状況を想定し、消費エネルギーを最小化するアーキテクチャについて評価を行った。

3.2 評価アーキテクチャ

プロセッサのリーク電流は面積に強く依存する。プロセッサの低電力化、つまり面積削減に有効なアーキテクチャの設計パラメータを調査するため、プロセッサの回路面積を部分回路ごとに調べた。図1に、32ビットのレジスタを32本備えた、パイプラインステージが5段

表1 ベンチマーク用プログラム

アルゴリズム	説明
SHA-1 ⁵⁾	任意のビット列(2 ⁶⁴ bit以下の長さ)から160bitのハッシュ値を生成
TEA ⁶⁾	64bit原文から、64bitの暗号文生成
CRC16	任意のビット列から16bitの誤り検出符号を生成

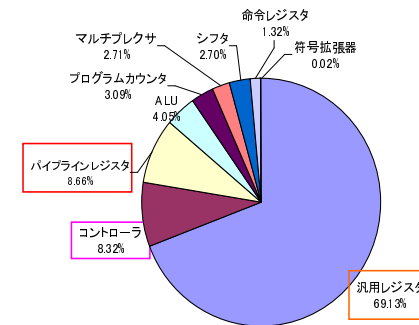


図1 レジスタ幅 32bit, 本数 32, 5 段パイプライン構成のプロセッサにおける部分回路の面積割合

のプロセッサについて、65nm プロセスのライブラリを用いて論理合成した結果から求めた内部回路の面積内訳を示す。合成条件等は後述の4章と同じである。この図より、汎用レジスタが全回路面積の約70%を占めており低機能なプロセッサにおいては汎用レジスタやパイプラインレジスタなどの面積占有率が大きい事がわかる。すなわちそれらの領域のリークエネルギーの割合が大きいと考えられるので、各領域の規模縮小によるエネルギー低減が有効と考えられる。本稿では、回路面積に影響が大きい汎用レジスタ、パイプラインレジスタの領域を変化させて評価を行うことを考える。つまりデータ幅、レジスタ本数、パイプライン段数を変化させる。一方で命令セット、メモリ空間は本評価では一定とした。

命令長 (17bit 固定)

命令長および、命令セットの内容は各アーキテクチャで統一した。命令セットを図2に示す。命令セットは、実行するプログラムに関して必要と思われる命令を、デコードロジック部の複雑化を避けるため、なるべく少なく設計した。命令長を17bitとしているのは、19個の命令用のオペコード部分に5ビット、そして3オペランドをとるように設計しているため、レジスタのアドレス指定に最大で12bitの幅を持たせる必要があるからである。

汎用レジスタのビット幅 (32bit, 16bit)

ADD.SUB	OPA	OPB	OPC
AND.OR.XOR	OPA	OPB	OPC
NOT	OPA	OPB	-
SLT	OPA	OPB	OPC
SLTI	OPA	OPB	即値
BEZ	OPA	即値	即値
J		即値	
JR	OPA	-	-
ADC	OPA	OPB	-
ADDI	OPA	OPB	即値
LOAD.STORE	OPA	OPB	即値
SHIFTL.SHIFTR	OPA	OPB	即値
LDI	OPA	即値	即値
NOP		-	

図 2 17bit 命令セット

各アルゴリズムにおいては、32bit や 16bit の演算が主になっている。アプリケーションを効率的に実行して消費エネルギーを低減させるため、今回の比較ではレジスタのビット幅を 32bit および 16bit で設計した。

汎用レジスタ本数 (16 本, 8 本)

図 1 のように、レジスタの本数を 32 本にすると、プロセッサコアの面積を増大させてしまう。また、32 本のレジスタを指定するために命令セットのビット幅も大きくとらなければならず、命令メモリへのオーバーヘッドも大きい。また、4 本にすると面積、命令長は削減できるが演算性能低下が大きく、実行時間が延びすぎてしまう。そこで今回は、汎用レジスタの本数は 16 本、8 本とした。

パイプライン段数 (5 ステージ, 3 ステージ)

パイプラインステージは、段数を増やすほど 1 サイクルの時間を短くすることができ、動作周波数の向上が見込める。しかし、今回の設計プロセッサでは、回路の簡略化のためフォワードリング機構を取り入れていないため、パイプラインハザードを起こしやすく、多段ステージのパイプライン構造による利得が薄い。また、先行研究 1) において、ステージ数は回路面積オーバーヘッドと性能の観点から 3 ステージが良いとされているため、3 ステージを基本として設計し、比較のため 5 ステージの場合についても設計と評価を行った。図 3 にパイプラインの構成を示す。3 ステージの場合は、メモリアクセスとレジスタへの書き込みのステージは分離するという観点から、命令フェッチと命令デコード、演算とメモリアクセス、レジスタライトの 3 ステージ構成として設計した。

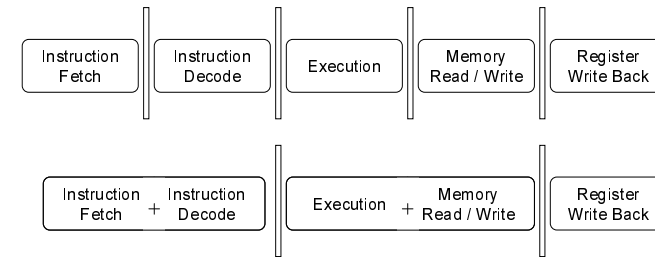


図 3 パイプラインステージの内容:5 ステージ (上), 3 ステージ (下)

4. 評価方法について

本章ではプロセッサ性能の評価方法について述べる。本検討では、65nm プロセス、300mV 動作を想定した。評価するプロセッサで実行する各プログラムの処理単位については、SHA-1、TEA はその最小処理ブロック単位である 512bit と 64bit の入力に対する演算処理を 1 単位とする。CRC16 の場合は、512bit の入力に対して処理が完了するまでを 1 単位と考えて、各々 1 単位の実行終了までを評価対象とする。図 4 に評価実験のフローについて示す。

4.1 メモリ (SRAM)

今回の評価で用いた SRAM を説明する。電源電圧はプロセッサコアと同様に 300mV と

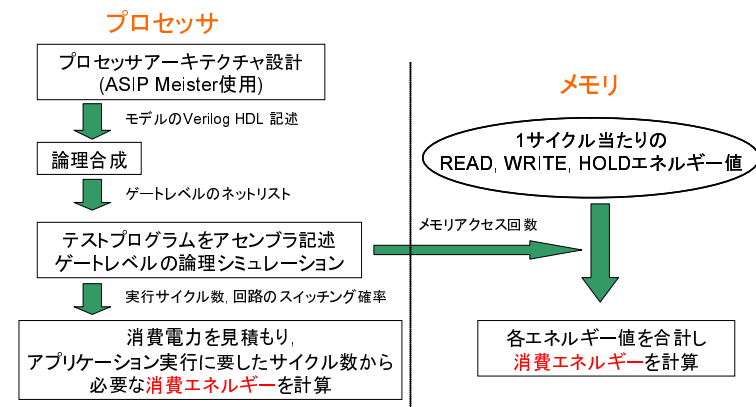


図 4 評価のフロー

し、低電圧での安定動作のため 10T 型のメモリセル構造になっている。メモリサイズは、データメモリが 32bit × 256word もしくは 16bit × 512word であり、汎用レジスタビット幅が 32bit の場合は前者を用い、16bit の場合は後者を用いる。命令メモリは 17bit × 512word、という想定で評価を行っている。プロセッサとメモリ間のアクセス時間は SRAM の回路シミュレーションより 6 μ s とした。尚、評価に用いた SRAM は、試作を行い、電源電圧 300mV で実際に動作を確認したものである事を付記する。

4.2 プロセッサ設計

プロセッサアーキテクチャの設計には ASIPS 社の *ASIP Meister* を利用した。これにより、プロセッサの構成情報を入力する事で、*Verilog RTL(Register transfer level)* が得られる。プロセッサコアの回路面積は、得られたプロセッサの *Verilog RTL* を Synopsys 社の *DesignCompiler* に与えて論理合成を行った結果のセル面積とした。論理合成には、65nm プロセス、電源電圧 300mV のライブラリを用いた。また、SRAM のアクセス時間が 6 μ s であることを考えてクロック周期を 6.2 μ s(約 161kHz) とし、回路面積を最小化する制約を与えて行った。

4.3 消費エネルギー評価

全体の消費エネルギーの見積もりは、プロセッサとメモリで個別に算出した消費エネルギーの値を足して得られる。プロセッサでは、まずテスト用のプログラムをアセンブラ実装し、ゲートレベルでのシミュレーションにおける各ゲートの遷移確率を、Synopsys 社の *VCS* 論理シミュレータを用いて SAIF ファイルに出力する。その後、SAIF ファイルとシミュレーションに用いたネットリストを Synopsys 社の *PowerCompiler* にバックアノテーションすることで消費電力を得る。その電力値に実行時間をかける事で、プログラム実行時にプロセッサで消費するエネルギーを得る事ができる。

メモリでは、書き込み、読み込みが発生した場合のエネルギーと何も行わない場合のエネルギーをあらかじめ求めておき、プログラムの実行時におけるメモリアクセス回数に応じて、メモリでの消費エネルギーを算出する。計算に利用するデータメモリ (DMEM)、命令メモリ (IMEM) の状態別の消費エネルギーを表 2 に示す。READ はメモリ内のデータを読み込む場合、WRITE はメモリへ書き込む場合、HOLD は何も行わない場合を表している。各状態のエネルギーは、前述の SRAM の構成で回路シミュレーションを行って READ, WRITE, HOLD 時の消費電流を測定し、その結果から算出している。

表 2 データメモリ、命令メモリの消費エネルギーモデル

MEM	メモリサイズ		
	32bit × 256word	16bit × 512word	
DMEM	HOLDエネルギー(fJ/cycle)	333.53	409.73
	READエネルギー(fJ/cycle)	1943.53	1943.53
	WRITEエネルギー(fJ/cycle)	720.53	781.53
IMEM	メモリサイズ		17bit × 512word
	HOLDエネルギー(fJ/cycle)	574.71	
	READエネルギー(fJ/cycle)	1022.58	
	WRITEエネルギー(fJ/cycle)	946.64	

5. 評価結果

本章では、3章で挙げた各プロセッサアーキテクチャについて回路面積、テストプログラム実行時の消費エネルギー、実行時間について評価を行う。

5.1 プロセッサコア回路面積比較

図 5 は各アーキテクチャのプロセッサコア面積を示している。レジスタ幅 32bit、本数 16、5 ステージの場合に面積は最大(約 15340 μ m²)となり。レジスタ幅 16bit、8 本、3 ステージの場合に最小(約 5473 μ m²)となった。最小の場合は最大面積の約 36%になっている。またレジスタビット幅 32bit で本数 8 の構成と、幅 16bit で本数 16 の構成では、汎用レジスタの領域は 256bit で等しい。しかし、ビット幅を低減させた方が、内部回路のデータバス幅も小さくなり、パイプラインレジスタ面積などもより低減されるため、回路面積が小さくなる事が分かる。

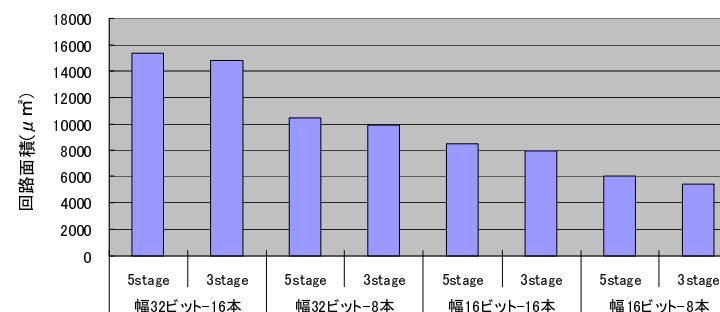


図 5 各アーキテクチャ毎のプロセッサコア面積

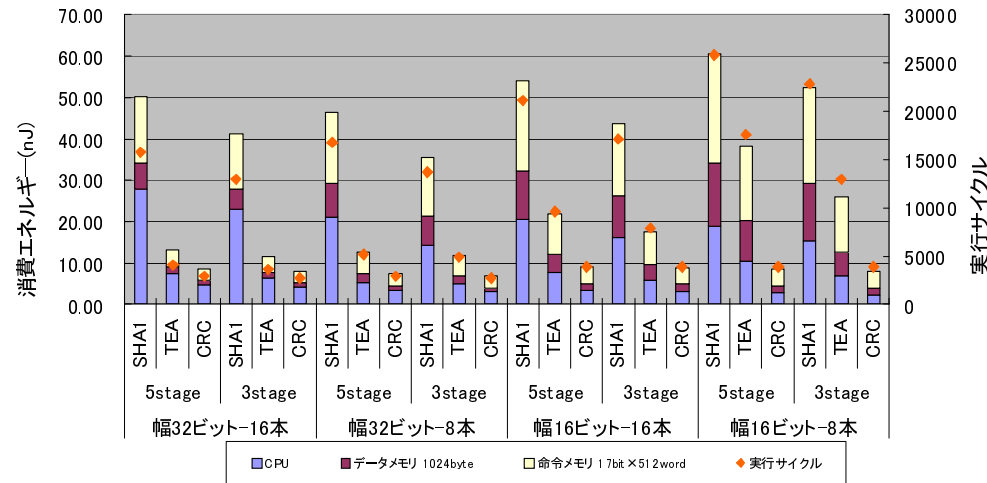


図6 アーキテクチャ毎の各プログラム実行時消費エネルギーと実行サイクル

5.2 各プログラム実行時消費エネルギーと実行サイクルの比較

図6は各アーキテクチャ毎のテストプログラム実行時消費エネルギーと実行サイクル数を示している。まず図6より、パイプラインステージ数は5段よりも3段の構成の方が、実行サイクル数、消費エネルギーの面で優れている事が分かる。また、同ステージ数の構成を比較すると、回路規模を縮小していくと実行サイクルが多くなり、プロセッサでの消費エネルギーに比べてSRAM(特に命令メモリ)での消費エネルギーが支配的になっている事が分かる。プロセッサコアが最小規模であるレジスタ幅16bit、本数8、ステージ数が3段のアーキテクチャでSHA-1を実行した場合、最短で実行できるレジスタ幅32bit、本数16、3ステージの場合の約1.75倍のサイクル数が必要となり、消費エネルギーの約70%がデータメモリおよび命令メモリで消費されるという結果を得た。3つのアプリケーションの1回の実行における、全体の消費エネルギーが最小となる構成はそれぞれ以下になった。

SHA-1 レジスタビット幅32bit、本数8、パイプラインステージ数3: 約35.43 nJ

TEA レジスタビット幅32bit、本数16、パイプラインステージ数3: 約11.40 nJ

CRC16 レジスタビット幅32bit、本数8、パイプラインステージ数3: 約6.69 nJ

また図7に、SHA-1実行時の1命令あたりのプロセッサのスイッチングエネルギー、リー

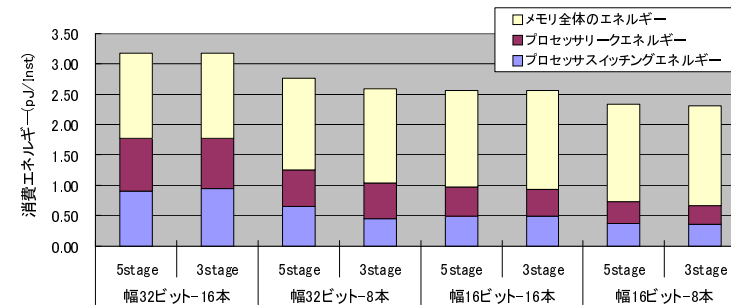


図7 1命令あたりの消費エネルギー

クエネルギー、メモリでの消費エネルギーを示す。最もエネルギー効率の良かったレジスタ幅32bit、本数8、3ステージの構成の場合、プロセッサコアは約1.03pJ/instr、メモリは約1.55pJ/instrとなった。また、プロセッサコアのみの1命令あたりの消費エネルギーを最小化する構成はレジスタ幅16bit、本数8、3ステージの構成で、約670fJ/instrという結果であった。

5.3 消費電力と消費エネルギーの関係

図8は、プロセッサコアの消費電力とSHA-1実行時のメモリも含めた全体の消費エネルギーの関係を示している。この図から、プロセッサの回路面積を削減する事でコア部分の消費電力は小さくなっていくが、それに伴う実行サイクル増加によって、コアおよびメモリでの消費エネルギーが増大してしまう事がわかる。すなわち、プロセッサコアの回路面積削減が消費電力低減につながっても、必ずしも消費エネルギーの低減につながるわけではない。今回のSHA-1実行における評価では、レジスタ幅32bit、本数8本、3ステージパイプラインの構成が消費電力とアプリケーション実行時消費エネルギーのバランスの観点から適当であった。

5.4 インターバル時間を考えた場合の消費エネルギーの評価

前節までの評価では、プログラムの一回の実行に必要なエネルギーに注目した。すなわち、常に各アプリケーションをプロセッサで実行し続けている想定での比較に相当するが、実際にはプログラムの実行には間隔があると考えられ、何もプログラムを実行しないインターバル時間が存在するはずである。本節では、そのインターバル時間を変数として、同回数の処理を終了するまでに消費するエネルギーを評価する。テストプログラムの内、SHA-1を実行

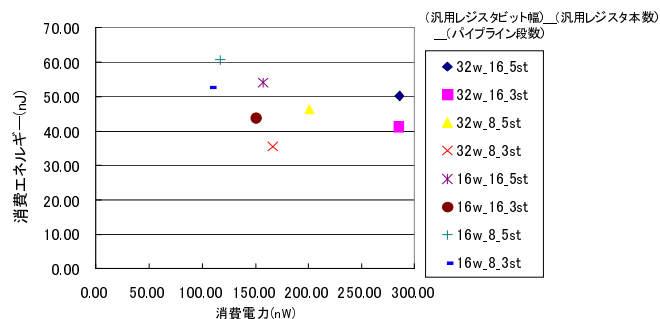


図 8 プロセッサコアの消費電力と全体の消費エネルギーの関係

する場合を考える。この場合、5.2 節の評価結果より、1 回の実行にかかる時間は最短の場合で 80.64ms, 最長の場合で 160.28ms であった。そこで、プログラム実行時間より短い 10ms, 最長と最短時間の中間程度の 100ms, 十分長い 500ms をインターバル時間として設定し、消費エネルギーの変化について評価を行った。実行回数を 100 回として算出した結果を図 9 に示す。実行の間隔が 10ms, 100ms の場合は、一回の実行で比較した 5.2 節の場合と同様の結果となっている。しかし、間隔が 500ms の場合は 16bit 幅, 8 本, 3 ステージの構成が最も消費エネルギーが小さくなった。これは、インターバル時のリークエネルギーの影響が、プログラム実行中のプロセッサのスイッチングエネルギーやメモリアクセスによる消費エネルギーに比べて非常に大きくなり、回路面積が小さく、リークエネルギーのより小さいアーキテクチャが全体を通して最小のエネルギー消費になった事を示している。

6. おわりに

超低電圧プロセッサは、通常電圧のプロセッサに比べてリークエネルギーが消費エネルギーに大きく影響を与える。本研究では、プロセッサを構成する部分回路の内、面積占有率の高い汎用レジスタ、パイプラインレジスタの構成を変えながら、SHA-1, TEA, CRC の 3 種類のプログラムの実行時に、消費エネルギーが最小となるプロセッサアーキテクチャについて、65nm プロセス, 300mV 動作を想定して検討した。その結果、3 つのプログラムにおいて実行時の消費エネルギー、実行サイクル、プロセッサの電力等の観点からバランスが良いのはレジスタビット幅 32bit, 本数 8, パイプラインステージ数 3 の構成である事が分かった。その場合、動作周波数は約 161kHz, SHA-1 実行時のプロセッサコアの消費エネルギー

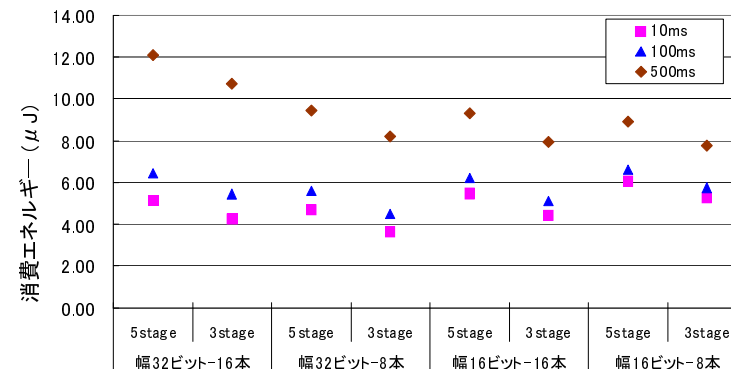


図 9 インターバル時間を考慮した場合のアーキテクチャ毎の消費エネルギー

は約 1.03pJ/inst, メモリの消費エネルギーは約 1.55pJ/inst という評価結果が得られた。また、回路面積の低減が消費エネルギーの低減に必ずしも結びつかず、プロセッサ面積が小さくなると、メモリによる消費エネルギーが支配的になってくることを示した。

参考文献

- 1) Leyle Nazandali, Michael Minuth, Bo Zhai, Javin Olson, Todd Auston and David Blaauw, "A Second-Generation Sensor Network Processor with Application-Driven Memory Optimizations and Out-of-Order Execution," in Proc. *international conference on Compilers, architectures and synthesis for embedded systems*, pp. 249 – 256, Sep. 2005.
- 2) B.H. Calhoun and A.P. Chandrakasan, "Ultra-Dynamic Voltage Scaling (UDVS) Using Sub-Threshold Operation and Local Voltage Dithering," *IEEE J. Solid-State Circuits*, vol.41, pp.238-245, Jan. 2006.
- 3) Leyla Nazhandali, Bo Zhai, Javin Olson, Anna Reeves, Michael Minuth, Ryan Helfand, Sanjay Pant, Todd Austin, David Blaauw, "Energy Optimization of Subthreshold-Voltage Sensor Network Processor," *ISCA*, pp. 197 – 207, June. 2005.
- 4) A.Wang, and B.Calhoun, A.Chandrakasan, *SUB-THRESHOLD DESIGN FOR ULTRA LOW-POWER SYSTEMS*, Springer, Dec.2006.
- 5) 岡本栄司, 暗号理論入門第 2 版, 共立出版 (2002)
- 6) D. J. Wheeler and R. M. Needham. "TEA, a tiny encryption algorithm". *Lecture Notes in Computer Science*, 1008, 1995.