

[招待講演] Customizable Dataplane Processors for System-on-Chip

菅原 崇之

テンシリカ株式会社 〒222-0033 横浜市港北区新横浜 3-12-4 エクステ新横浜 2F

E-mail: sugawara@tensilica.com

あらまし System-on-Chip (SOC)に向けた customizable processor である Xtensa プロセッサについて、そのアーキテクチャ及びその適用事例を述べる。SOC の開発手法の 1 つとして、プロセッサソリューションを導入することにより、SOC 開発のリスクを減少する。同時に、customizable processor であることから、必要十分なパフォーマンスと低消費電力を同時に実現する。また、自動化されたプロセッサ及び開発ツールの生成により、システム構成の検討に合わせた、逐次的なシステム構成変更を迅速に行うことが可能になり、設計生産性が向上する。

キーワード Customizable Processor, Dataplane Processor Unit, DPU

Customizable Dataplane Processors for System-on-Chip

Takayuki SUGAWARA

Tensilica K.K. Xte Shin-Yokoham 2F, 3-12-4, Shin-Yokohama, Kohoku-ku, Yokohama, 222-0033 Japan

E-mail: sugawara@tensilica.com

Abstract The architecture of Xtensa processor, which is the leading customizable processor for System-on-Chip (SOC), and its user examples are illustrated. The risks around the large SOC development are decreased by introducing these processor solutions. At the same time, the both of the performance requirement and the low-power requirement are achieved simultaneously by using the customizable processor platform. The automated processor generation and related software tools generation enable to execute the iterative system architecture update at design phase and increases the design productivity rate.

Keyword Customizable Processor, Dataplane Processor Unit, DPU

tensilica
The Dataplane Processor Company

Customizable Dataplane Processors for System-on-Chip

テンシリカ株式会社
菅原 崇之

V13.3

tensilica Tensilica, Inc.

製品 - Customizable Processor 所

- Dataplane Processor Units (DPU) IP cores: 低消費電力、小面積、ハイパフォーマンスなCPU/DSPコアとソフトウェアアサザインテグレーションを合わせて提供
- オーディオ、ビデオ、イメージング、ベースバンド向け、スタンダードDPUソリューション
- configurable processor technology について、40以上の特許

ターゲット - 市場/用途/業界/顧客

- Consumer wireless, Home entertainment, Printing and digital imaging, Wireline network access, Networking infrastructure, Graphics GPUs and PC components

ビジネスモデル - 半導体IPライセンス

- 130社以上にライセンス(半導体トップ10企業の5社を含む)
- 年間2億以上の出資
- Fastest growing processor/DSP IP company (22% revenue growth in 2007)

会社概要

- 1997年設立、米上場
- 本社: カリフォルニア、サンタクララ
- 1999年日本法人設立(テンシリカ株式会社)

© 2008 Tensilica Inc.

tensilica Xtensa Processor Generator Evolution

XTENSA LX Processor Series (Ver. 6)

- FLX (VLIW) Architecture
- Designer-defined I/O Ports
- 5 or 7-Stage Pipeline
- Dual Load/Store

SOIC DESIGN AUTOMATION

- MP SW development tool chain: System Simulation, Analysis
- Automated instruction extension generation

XTENSA Processor Series (Classic 5-Stage Pipeline processor)

- Hardware & Software Tool Co-Generation based on TIE

XTENSA Processor Series (Automated SW Tool Chain)

- Automated SW Tool Chain Generation

Timeline: 1999 thru 2003, 2005, 2007, 2008

© 2008 Tensilica Inc.

tensilica Tensilica Focus: Dataplane

Data plane

- Analog
- RTL
- Video: Video Codec DSP, Embedded C controller, Dataplane Processing, Protocol processing
- Audio: Audio Codec
- Baseband: Baseband DSP, Baseband MAC/Connect, Security

Control plane

- Main Applications CPU
- Memory

■ Tensilica fit and success - Embedded Control and DSP

© 2008 Tensilica Inc.

tensilica Complex SOCs: Risk & Reward

Complex SOCs deliver many benefits

- High performance
- Low cost and low power through integration

Complex SOC design is risky

- Time to market - design productivity gap
- Verification of millions of gates of custom logic

2M to 10M+ Gates Application-Specific Logic Designed with RTL

© 2008 Tensilica Inc.

tensilica Fixed RTL Logic: The Risk Factor

RTL Logic

- Increases risk, slows time to market
- Verification of complex state machines
- Costly silicon respins to make changes
- Obsolescence as markets or standards change

Conventional SoC

- RTL Accountant
- Conventional logic CPU Core
- RAM, ROM
- State Machine Computational Elements (Computation)

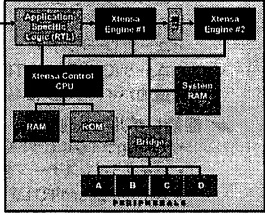
Tensilica SoC

- RTL Accountant
- Conventional logic CPU Core
- RAM, ROM
- Dataplane Processor
- State Machine Computational Elements (Computation)

© 2008 Tensilica Inc.

Tensilica Processor Solution for SOC Design

- Optimized Processors as Building Blocks**
 - Task-specific, optimized processors
 - Optimal performance/power/cost; similar to RTL performance
 - Hardware and Software Design productivity
- Lower Risk**
 - Verify Algorithm in Software within hours
 - Change in Software
- Higher Productivity Design**



This topology shown for illustration purposes only. Numerous topologies and configurations possible.

© 2008, Tensilica Inc.

Tensilica's Processor Technology

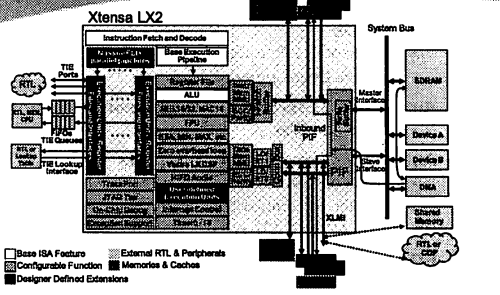
© 2008, Tensilica Inc.

Tensilica Customizability

- Configurability**
 - 予め用意された機能を選択
 - チェックボックス、ドロップダウンメニューで設定
- Extensibility**
 - 実行ユニット、レジスタ、レジスタファイル、IOを追加し、命令の振る舞いを定義
 - TIE: Tensilica Instruction Extensionによる記述
- CustomizabilityはConfigurabilityとExtensibilityの両方を含む概念**

© 2008, Tensilica Inc.

Tensilica Xtenxa LX2 Block Diagram: Complete ISA and I/O Flexibility



Legend:

- Base ISA Features
- External RTL & Peripherals
- Configurable Function
- Memories & Caches
- Designer Defined Extensions

© 2008, Tensilica Inc.

Tensilica Xtenxa Architecture: 3 Layer

- Core ISA**
 - 32-bit RISC architecture
- Configurable options**
 - Execution Unit and ISA options
 - Interface options
 - Memory Subsystem options
- Processor extension**
 - Instruction
 - User Register, User Register File
 - I/O

© 2008, Tensilica Inc.

Tensilica Xtenxa Core ISA

- ハーバードアーキテクチャ**
- 32ビットオペレーション**
- 24ビット長命令**
 - 16ビット長命令はオプション
- レジスタウィンドウ**
- 条件分岐命令**
- 5段パイプライン**
 - 7段パイプラインはオプション

© 2008, Tensilica Inc.

Tensilica Xtensa Configurable Options

- レジスタファイル: 16/32/64エントリ
- ゼロオーバーヘッドループ
- MUL16/32, MAC16, DIV
- DSP engine, FPU
- PIF: Processor Interface, 32/64/128bit width
- I-Cache, D-Cache, Local Memory
- MMU
- Exception, Interrupt
- On-Chip Debug, Trace,
- ...

© 2008 Tensilica Inc.

Tensilica Processor Extension: TIE

- TIE言語による拡張記述
 - 命令の機能を記述
 - ユーザレジスタ
 - ユーザロードストア
 - ユーザIO(TIE port, TIE queue, TIE look-up)
 - 追加パイプライン (3-issue VLIW)
- 機能レベルで記述
 - Verilogライクにビット幅を明示
 - パイプラインステージを考慮する必要はない
 - TIE compilerがRTLを自動生成

© 2008 Tensilica Inc.

Tensilica Design Support

- Xplorer IDE
 - Processor Configuration Development
 - Software Development
- Automatic Generation of Processor Extension
 - XPRES compiler
- Automatic Generation of SW tools
 - Processor Extensionに完全対応したツール生成
 - Compiler, Assembler, Linker, ISSISS
 - C/C++ API (XTMP), SystemC Model (XTSC)
- EDA scripts generation
 - Verification environment, Synthesis scripts

© 2008 Tensilica Inc.

Tensilica ツールチェーンの自動化

© 2008 Tensilica Inc.

Tensilica Tensilica Product Portfolio

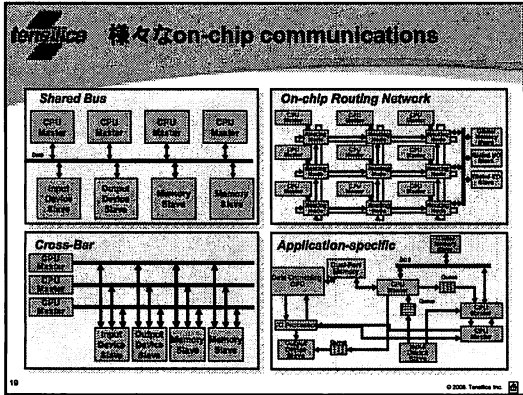
	Controller	Comms DSP	HiFi Audio	Video/mgnd	Other
Fully customizable Cores	Xtensa controllers	Xtensa with Vectra DSPs	Xtensa with HiFi audio	Xtensa for Video	Secure, Storage, Domain, Data, Control
Configurable Cores	Configurable Controllers	Configurable Vectra Comms DSP	Configurable HiFi Audio DSP	Standard VIO Mem	
Standard Cores	Standard Controllers	Standard Comms DSPs 545CK	Standard Audio DSP 5504FI		
Processor Foundation	Core Xtensa Instruction Set and Base Processor Xtensa Processor Generator (XPG) Automatic Processor Creation in 1 Hour Complete Software Toolchain, 3rd Party Ecosystem, EDA Flows, Models Multiple Processor BOC Design Infrastructure				

© 2008 Tensilica Inc.

Tensilica SoC platformとしての今後の課題

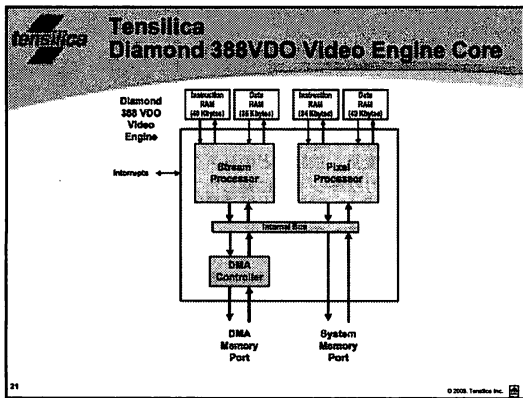
- エコシステムの構築
 - ソフトウェア資産の集積が課題
- Extensibilityと汎用性のトレードオフ
 - Extensibilityによる性能向上はSWの再利用性を妨げがら
- マルチコアシステム構築の支援
 - シングルコアとしてのcustomizable processor環境
 - マルチコアシステムは各アプリケーションに合わせて、アドホックに構築される
 - ソフトウェア開発環境が未対応

© 2008 Tensilica Inc.



Tensilica ユーザ適用事例

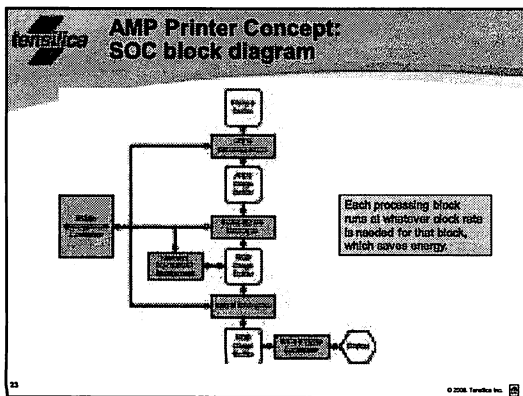
© 2008 Tensilica Inc.



Tensilica AMP example: Epson's REALOID Printer SOCs

- Heterogeneous, asymmetric, 7-CPU SOC design
- Very little RTL-designed HW
- 90nm process technology
- 288 MHz clock
- > 7M gates
- < 2.5W
- Used in Epson PM series printers

© 2008 Tensilica Inc.



Tensilica Embarrassingly Parallel Example:

Cisco's Silicon Packet Processor for IP Networking

- 192 Xenena processor CPU cores
- 4 CPUs for yield management (redundant processors)
- 18x18 mm chip
- 0.5 sq-mm per CPU core
- 18M gates
- 0.13 micron
- All data moves via Intelligent DMA channels without a common bus
- Used in Cisco CRS-1 Carrier Routing System (Terabit router)

Minimally parallel data (IP packets are not embarrassing)

© 2008 Tensilica Inc.

