

解説



3. レイアウト設計における CAD

3.5 レイアウト設計検証 CAD と手法†

築添 明†† 小澤時典††

1. まえがき

レイアウト設計結果はマスク製作のための幾何学的なパターンデータで表されるが、その不良は即 LSI の不良に直結する。マスク再製作および再試作は開発期間の延長を招くため、レイアウト設計後の検証工程は不可欠である。検証の対象が SSI, MSI から LSI へと大規模化するにつれ、人手によるマスクパターンデータの検証は困難となり、各種レイアウト設計検証 CAD システムが開発され使用されている<sup>1)~3)</sup>。

検証の種類は設計不良およびデータ作成ミスの内容により、次の三つに大別される。

(1) 設計規則検証……LSI マスクパターンには、製造プロセスの精度やばらつきを考慮して、最小線幅、最小間隔といった幾何学的な設計規則が定められており、これに違反している箇所を検出する。

(2) 論理接続検証……マスクパターンデータの表す接続関係が論理設計通りになっているかを検証する。

(3) 電気的特性検証……パターンの寸法、重なり面積などから決定される電気的特性値により、所望の回路特性を実現できるかを検証する。

LSI の大規模化、超微細化はいまだ進行しており、マスクパターンを表現するデータ量がすでに 100 万のオーダーに達しているものもある。このような VLSI チップの設計検証 CAD に対する課題として、特に次の二つがタローズアップされるようになってきた。

(1) 大規模データの高速度処理……各種検証 CAD システムに共通に必要な基本処理は、図-1 に示すよ

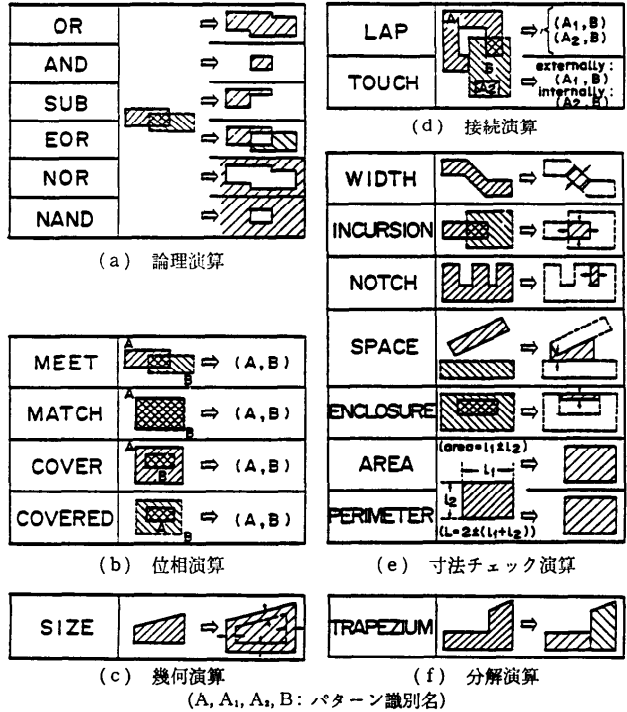


図-1 パターン演算機能

うなパターンの輪郭 (OR) や重なった部分 (AND) を取り出す等のパターン演算処理である。検証 CAD の処理時間の大半はパターン演算処理に費やされるため、大規模データを高速処理するパターン演算手法の開発が課題である。

(2) 人手作業工数の低減……①検証 CAD を使う上での補助入力データの人手作成工数、②検証 CAD の出力結果に対して要求される人手作業工数、を低減することが課題である。

本稿では、上記の各種設計検証 CAD とパターン演算手法について、その原理的手法の概要およびここ数年の動向を述べる。

† VLSI Layout Verification CAD and Its Algorithms by Akira TSUKIZOE and Tokinori KOZAWA (Central Research Laboratory, Hitachi Ltd.).

†† (株)日立製作所中央研究所

## 2. 設計規則検証 CAD

代表的な設計規則を図-2 に示す。これらは製造プロセスにより項目、許容値が異なるが、図-1 に示したパターン演算機能の組合せで表現できる。設計規則検証 CAD は、その演算手続きを登録したライブラリを入力することにより製造プロセスに応じた検証を行い、違反箇所を検出する<sup>4)~6)</sup>。設計者は、プログラムが設計規則違反と指摘した箇所から真の違反箇所を選別し、パターン修正を行う。

パターンの微細化により斜めパターンが多用され設計規則が複雑化するにつれ、多数の擬似エラーが発生すること、および未検出の違反箇所が残ることが問題となってきている。

擬似エラーとは、検証 CAD が違反として検出したが実際は違反でない類のもので、その一例を図-3 に示す。これが多数に上ると、真の違反箇所を選別する作業工数が大きくなり、かつその作業の信頼性が乏しくなる。擬似エラー数を削減するためには、検証 CAD の有するパターン演算機能数を増やし、また複雑な設計規則に対応してそれらの基本機能を拡張する

No.	項目	検証箇所	No.	項目	検証箇所
1	Space		3	Enclosure	
2	Width		4	Incursion	

図-2 設計規則の例

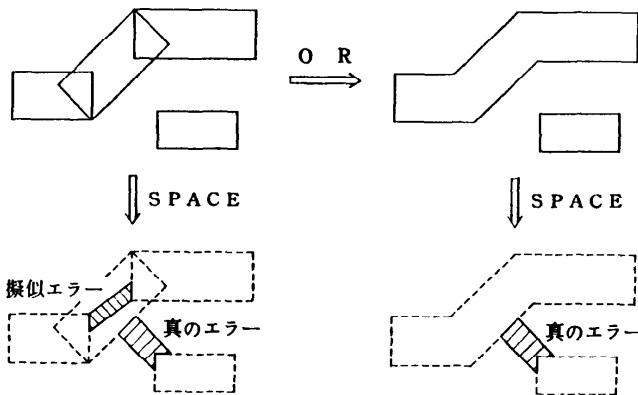


図-3 設計規則検出エラーの例

ことが必要となる。

設計規則検証のためのパターン演算において核となる処理は、指定された許容値より短い距離で近接する辺の組を検出する処理である。検証 CAD が斜めパターンを取り扱えないときは、設計者自身が斜めパターンを抽出して検証せねばならず、違反箇所を見逃さないという保証がなくなる。斜めパターンを取り扱うためには、任意角度をなす2辺間の距離を幾何学的に定義する必要がある<sup>7)</sup>。

設計規則検証 CAD の質的な性能を評価する尺度として、以下で定義する検出率と適中率が提案されている<sup>6)</sup>。検出率とは、マスクパターンに実際に存在する真の違反箇所をプログラムで何%検出できたかという比率である。適中率とは、プログラムで検出した違反箇所の何%が真の違反箇所であったかという比率である。両者とも100%が望ましいが、それを実現したという報告はまだない。

## 3. 論理接続検証 CAD

論理接続検証 CAD には ①比較照合法、②シミュレーション評価法の二方式がある。

### 3.1 比較照合法

比較照合法は図-4 に示すように、マスクパターンデータから論理回路を復元し、その接続関係を論理設計時に作成した論理回路データと比較照合し、不一致箇所を検出する方式である<sup>8),9)</sup>。

回路素子の認識および論理回路の復元処理は、図-5 に示すようにパターン演算手続きに従って行われる。論理比較・照合処理は、一般的にはグラフの同形判定問題として定式化されるが<sup>10)</sup>、実用的にはマスクパターンデータ中に元の論理回路データ内のゲート名、端子名を付与して計算時間の短縮が図られている。

本方式の特徴は検証結果とマスクパターンの修正箇所が対応することであり、設計規則検証 CAD と同様の検出率と適中率がプログラムの性能をはかる尺度となる。問題点としては、マスクパターンデータ中にゲート名等の補助入力データを作成する作業が設計者

に課せられることであるが、対話型図形処理機能を用いてその作業工数の削減が図られている<sup>11)</sup>。また、配線パターンにのみ名前を付与し、電源、グラウンド、

ゲート間の電気的な接続規則を検証する CAD も開発されている<sup>12),13)</sup>。

3.2 シミュレーション評価法

シミュレーション評価法は、図-6 に示すようにマスクパターンデータから論理回路を復元し、その接続関係を論理シミュレータに入力してシミュレーション結果を設計者が検証する方式である<sup>13)-15)</sup>。

論理回路の復元においては、マスクパターンデータ中にゲート名等を付与しないため、抽出したトランジスタ・レベルの回路を論理ゲート・レベルの回路に変換する手法が開発されている。

本方式は回路全体が合格か不合格かを判定できるが、不合格のときパターン修正個所を特定できないという問題がある。したがって、論理接続検証ではなく、次章に述べる電気的特性検証に分類すべきとも考えられる。

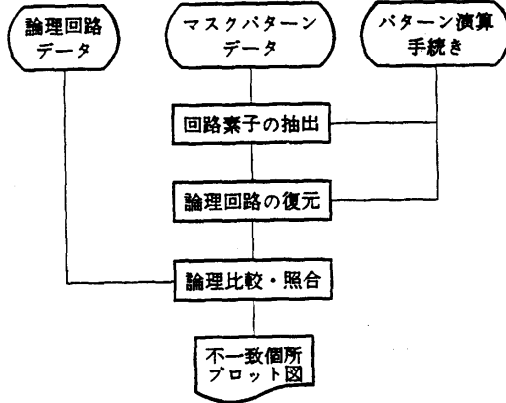
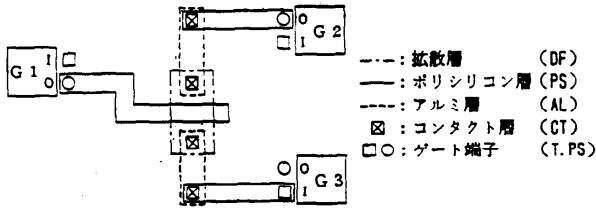


図-4 比較照合法による論理接続検証フロー



(a) マスクパターンデータ

```

00010 EXAMPLE : PROCEDURE
00020 C ***** DEVICE DEFINITION *****
00030 DCL TRS          DEVICE          G DS DS
00040 DCL ( DF PS AL )  LAYER EXTERNAL CONDUCT
00050 DCL CT T.PS      LAYER EXTERNAL
00060 DCL ( DF-AL PS-AL LT-PS ) CONNECT
00070 C ***** PROCESS START *****
00080 PS      = OR ( PS )
00090 AL      = OR ( AL )
00100 C --- GET TRS AREA & ACTIVE DIFFUSION AREA ---
00110 TRS    = AND ( DF PS )
00120 DF     = SUB ( DF TRS )
00130 C --- FIND TRS TERMINALS ---
00140 TRS.G  = LAP ( TRS PS )
00150 TRS.DS = TOUCH ( TRS DF )
00160 C --- FIND CONNECTIVITY WITHIN LAYERS ---
00170 DF-AL  = LAP ( DF CT AL )
00180 PS-AL  = LAP ( PS CT AL )
00190 LT-PS  = LAP ( PS T.PS )
00200 C ***** PROCESS END *****
    
```

(b) パターン演算手続き

ネット番号	端子数	端子名	
1	2	G1.O	TRS.G
2	2	G2.O	TRS.D
3	2	G3.I	TRS.S

(c) レイアウトネット

図-5 論理回路復元処理の例

4. 電気的特性検証 CAD

回路設計においては、設計者が意図した回路特性を得るまで回路シミュレーションを繰り返し、回路の最適化が図られる。しかし、そのときに決定された MOS トランジスタの W/L, 容量値, 抵抗値等の回路素子の特性パラメータはレイアウト後も保証されているとは限らない。そのため、マスクパターンデータから計算した特性パラメータを入力として

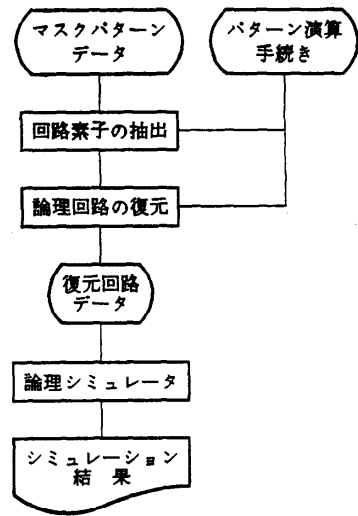


図-6 シミュレーション評価法による論理接続検証フロー

再度回路シミュレータによる特性検証を行う必要があり、その CAD 化が図られてきた<sup>16)</sup>。

マスクパターンデータから特性パラメータを計算する検証 CAD の処理手順は、①回路素子の抽出、②トランジスタ・レベル回路の復元、③プロセス定数と素子の寸法、面積から特性パラメータの計算、④回路シミュレータ入力データへの変換、である。最も重要なことは計算精度であり、種々の計算モデルが提案されている<sup>17)~19)</sup>。

しかしながら、論理設計検証 CAD と同様、復元される回路図と回路設計時の回路図との対応づけは設計者に委ねられている。すなわち、設計者は対応づけのための補助入力データを作成したり、復元回路図に対してはプログラムが付与した素子名、ノード名を元の回路図の名前に変更したり、寄生素子の取捨選択を行っている。なお、復元回路図における抽出回路素子の配置は、マスクパターン位置対応とする方式<sup>20)</sup>と設計者作成回路図の配置に類似させる方式<sup>21)</sup>とがある。

## 5. パターン演算手法

以上述べてきた各種設計検証 CAD の性能は、パターン演算の性能に左右される。その技術課題は斜めパターンを含む大規模データを高速処理することである。単純に二つの多角形の組を総当たり式に調べると、計算複雑度は多角形数を  $N$  とすると  $O(N^2)$  となり、小規模のデータにしか適用できない。したがって、演算対象とするデータをできるだけ限定し、データ参照回数を少なくする制御が重要となり、以下の手法が用いられている。

### 5.1 タッチング法

タッチング法<sup>22)</sup>はすべての多角形をそれに外接する方形の左下の  $x$  および  $y$  座標でソートしておき、これをソート順に取り出しながら外接方形の  $x$  方向区間に辺をもつ多角形間でのみ論理演算を行う手法である。図-7 の例では、斜線部に辺をもつ多角形のみがワークリストと呼ぶ主メモリ上のテーブルに保持され演算対象となる。計算複雑度は  $O(N^{1.2} \sim N^{1.5})$ <sup>4), 23)</sup>といわれている。

二多角形間の論理演算処理は、辺間の交点を求め、交点における辺の向きにより出力頂点列を決定する手法<sup>24)</sup>が用いられている。ただし、交点が存在しないときは包含関係を調べて出力パターンを決定する。

### 5.2 スリット法

スリット法<sup>25)</sup>は、図-8 に示すようにすべての多角

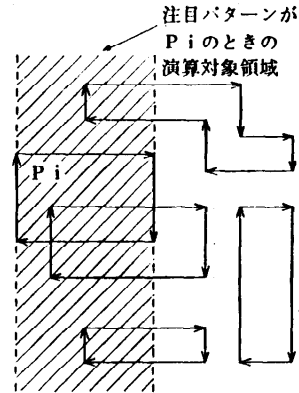


図-7 タッチング法

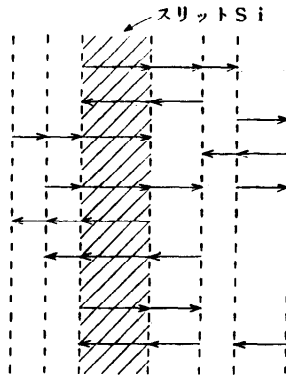


図-8 スリット法

形の頂点および交点の  $x$  座標でスリットと呼ぶ領域に分割し、水平および斜めベクタの集合を作成し、各スリット独立に論理演算を行う手法である。計算複雑度は  $O(N \log N)$ <sup>25)</sup>といわれている。

スリットごとの論理演算は、スリット内のベクタを  $y$  座標でソートし、ベクタの向きにより隣接ベクタ間の領域のパターンの重なり数を計算して出力ベクタを決定する手法<sup>26), 27)</sup>が用いられている。

スリット法の問題点は、入力パターンの辺をスリット分割する処理において大量の主メモリが必要なこと、およびスリットごとの論理演算終了後、隣接するスリットの組ごとに出力ベクタの結合処理を行わなければならないことである。これを解決する手法として、タッチング法の考え方を応用し、スリット分割前のベクタを左端点の  $x$  および  $y$  座標でソートしておき、 $x$  座標の小さい順に注目スリットを決めていく手法<sup>27)</sup>が提案されている。これにより、主メモリ量は一

スリット分で済み、計算複雑度も  $O(N)$  に近い実測値を得たと報告されている。

### 5.3 ビットマップ法

ビットマップ法<sup>29)</sup>は、スリット法の領域分割を  $x, y$  両方向に適用した手法である。  $xy$  平面全体をすべての多角形の頂点の  $x$  および  $y$  座標で領域分割した格子のマップを作成し、各格子にパターンが存在するか否かのビットを立て、そのビットマップにより論理演算を行う手法である。計算複雑度はビットマップ数を  $N$  とすると  $O(N)$  となるが、大量の主メモリを必要とし、斜めパターンを取り扱うのが困難であるという問題がある。

演算処理内容は簡単で並列処理化の可能性が高いため、ビットマップ法アルゴリズムをハードウェア化する試み<sup>29)</sup>がなされているのは注目される。

## 6. むすび

VLSI の各種レイアウト設計検証 CAD とそこで共通に使用されるパターン演算の手法について述べた。処理対象の大規模化に応じて  $O(N)$  の手続きで実現可能なパターン演算手法が考案されてきているが、100 万素子を超える VLSI では  $N$  そのものが莫大となる。このため、処理の高速化はますます重要課題となる。一方、計算機リソースをも圧迫しつつある膨大なデータ量を一括して取り扱うには限界があり、すでに行われているように、設計の階層化を進めて CAD の取り扱うデータ量を削減することが必要である。論理、回路、レイアウト、設計検証、およびアートワークの全工程を総合的に見渡したシステム構築の推進が期待される。マン・マシン・インタフェースについても、人工知能応用システム、エキスパート・システム等の新しい動きに期待したい。

## 参考文献

- 1) 吉田: LSI のレイアウト設計, 信学誌, Vol. 61, No. 7, pp. 737-743 (1978).
- 2) 吉田: アートワーク・データとその検証, 情報処理, Vol. 22, No. 8, pp. 783-790 (1981).
- 3) 樹下編: 論理装置の CAD, 情報処理叢書 5, pp. 52-57 (1981).
- 4) Yoshida, K., Mitsuhashi, T., Nakada, Y., Chiba, T., Ogita, K. and Nakatsuka, S.: A Layout Checking System for Large Scale Integrated Circuits, Proc. 14th DA Conf., pp. 322-330 (1977).
- 5) Alexander, D.: A Technology Independent

- Design Rule Checker, 3rd USA-JAPAN Computer Conf., pp. 412-416 (1978).
- 6) Tsukizoe, A., Sakemi, J., Kozawa, T. and Fukuda, H.: MACH: A High-Hitting Pattern Checker for VLSI Mask Data, Proc. 20th DA Conf., pp. 726-731 (1983).
- 7) Tsukizoe, A., Sakemi, J. and Kozawa, T.: Geometrical Analysis of Mask Pattern for VLSI and Its Application, Proc. Inter Graphics '83, Technical Session B3-4 (1983).
- 8) Kishimoto, A., Kawanishi, H., Yoshizawa, H., Ohno, H., Fujinami, Y. and Kani, K.: An Interconnection Check Algorithm for Mask Pattern, Proc. ISCAS, pp. 669-672 (1979).
- 9) 酒見, 西田, 小澤, 築添, 三浦, 福田, 江口, 高橋: 論理接続チェックシステム, 情報処理学会電子装置設計技術研究会資料, 6-2 (1980).
- 10) 久保, 白川, 尾崎: グラフ間の同形判定アルゴリズムにおける効率化について, 信学論, Vol. J61-A, No. 11, pp. 1099-1105 (1978).
- 11) Fajardo, L. A.: Verification of Schematic Connectivity, Proc. ICCD, pp. 540-543 (1983).
- 12) 藤岡, 西口, 森, 岸本, 高橋, 川西: LSI アートワーク情報の電氣的接続検証システム—SIMPLE PALMS—, 情報処理学会電子装置設計技術研究会資料, 10-2 (1981).
- 13) 中野, 吉田, 犬伏: LSI マスクパターンの電氣的および論理的な接続検査システム ELITE について, 情報処理学会設計自動化研究会資料, 15-6 (1982).
- 14) 安藤, 小池, 平川: LSI マスクパターン検証システム MIAS, 情報処理学会設計自動化研究会資料, 16-4 (1983).
- 15) 羽山, 渡里, 京井, 間野: MOS マスク解析における論理検証, 情報処理学会設計自動化研究会資料, 19-6 (1983).
- 16) Yamada, S. and Watanabe, T.: A Mask Pattern Analysis System for LSI (PAS-1), Proc. ISCAS, pp. 858-861 (1979).
- 17) Okamura, Y., Muraishi, Y., Sato, T. and Ikemoto, Y.: LAS: Layout Analysis System with New Approach, Proc. ICCD, pp. 308-311 (1982).
- 18) Sakaguchi, K., Ikeda, M., Ogawa, M. and Sato, K.: Circuit Parameter Extraction for Hierarchical and Exact Verification of LSI Artworks, Proc. ICCD, pp. 540-543 (1983).
- 19) Mitsuhashi, T., Yamada, H. and Yoshida, K.: An LSI Mask Artwork Verification System, Proc. ICCD, pp. 604-607 (1983).
- 20) 羽山, 渡里, 京井, 間野: マスク解析システム PANAMAP-M, 情報処理学会設計自動化研究会資料, 15-5 (1982).
- 21) Nishiguchi, N., Kawanishi, K., Nakao, M. and Kishimoto, A.: PARADISE: A Circuit Dia-

- gram Generating System from LSI Mask Patterns, Proc. ICCG, pp. 312-315 (1982).
- 22) Baird, H.S. and Cho, Y.E.: An Artwork Design Verification System, Proc. 12th DA Conf., pp. 414-420 (1975).
- 23) Baird, H.S.: Fast Algorithms for LSI Artwork Analysis, Proc. 14th DA Conf., pp. 303-311 (1977).
- 24) Yamin, M.: Derivation of All Figures Formed by the Intersection of Generalized Polygons, Bell Syst. Tech. J., Vol. 51, No. 7, pp. 1595-1610 (1972).
- 25) Lindsay, B.W. and Preas, B.T.: Design Rule Checking and Analysis of IC Mask Designs, Proc. 13th DA Conf., pp. 301-308 (1976).
- 26) 川西, 西出, 増田: LSI マスクパターン の図形処理の一算法, 信学論, Vol. J63-A, No. 9, pp. 611-618 (1980).
- 27) Kozawa, T., Tsukizoe, A., Sakemi, J., Miura, C. and Ishii, T.: A Concurrent Pattern Operation Algorithm for VLSI Mask Data, Proc. 18th DA Conf., pp. 563-570 (1981).
- 28) Dobes, I. and Byrd, R.: The Automatic Recognition of Silicon Gate Transistor Geometries, Proc. 13th DA Conf., pp. 327-335 (1976).
- 29) Mudge, T.N., Rutenbar, R.A., Loughheed, R.M. and Atkins, D.E.: Cellular Image Processing Techniques for VLSI Circuit Layout Validation and Routing, Proc. 19th DA Conf., pp. 537-543 (1982).

(昭和 59 年 7 月 6 日 受付)