コンピュータと教育　61−9
（２００１．１０．１９）

教育用記憶階層システムの実現と演習方法の提案

〜　MITEC-II-MMU による記憶階層の教育　〜

長澤　龍　　桜井　祐市　　石川　知雄　　宮内　新
武蔵工業大学

近年コンピュータアーキテクチャは急速に発展しており，大学・大学院におけるコンピュータアーキテクチャ教育が重要になってきている．そこで本学では，教育用 RISC プロセッサ"MITEC-I"の開発を行い，大学院でのアーキテクチャ教育に使用してきた．しかし MITEC-I を用いた演習の結果，教育用としての機能，性能に不十分な部分があることがわかり，またキャッシュなどの記憶階層を備えておらず，仮想記憶には対応させていないことから，メモリシステムの教育を行うことは不可能であった．よって，不足部分を改善した"MITEC-II" プロセッサと，プロセッサとは別にした教育用記憶階層システム"MITEC-II-MM U[1]"の開発に至った，本稿では記憶階層，仮想記憶技法を学ぶために必要な演習方法の提案，及び，その演習に適した教育用記憶階層システム"MITEC-II-MMU"ついて報告する．

Realization of Memory Hierarchy System for Education and Approach of Training Procedures using the System

Ryu NAGASAWA， Yuichi SAKURAI， Tomo ISHIKAWA， Arata MIYAUCHI
Musashi Institute of Technology

On the educational curriculum of the computer hardware at electronic information course of Musashi Institute of Technology , the lectures about architecture of CISC processor for undergraduate student and RISC processor for graduate students are being prepared. For the lecture of RISC processor , the original RISC processor MITEC-I and it's support system was developed at our laboratory and the class of experoment has been set up by using the developed processor. After running few experiment classes, we found several weak points in this system. Further more, since this system does not have memory (cashe , virtual storage) system, it is not possible to study memory hierarchy system and technology of virtual storage. Therefore , the second original RISC processor MITEC-II was developed to cover those weak points and memory system for MITEC-II was also developed. This paper reports newly developed memory system for MITEC-II. and approach of training procedures by using it.

1　研究背景

近年コンピュータアーキテクチャは急速に発展しており，大学・大学院におけるコンピュータアーキテクチャ教育が重要になってきている．

本学での講義では，従来，講義と既存のプロセッサやそのシミュレーションを用いた演習を中心に行ってきたが，LSI 設計を含めた総合的なハードウェア，ソフトウェア演習を行うことを目的として，我々は教育用 RISC プロセッサ"MITEC-I"の開発 [1] を行った．開発した MITEC-I プロセッサは 1995 年度に完成し，1996 年度から大学院の演習 [2],[3] に使用して

[1]memory management unit

きた．

MITEC-I を用いた大学院の演習 [2]，[3] では 1 年を 3 期に分けて演習を行っている．第 1 期はプロセッサを課題に取り上げる前段階として，FPGA ボードを用いて VHDL による FPGA デバイスの設計手法を学ぶ．第 2 期において MITEC-I ボードを用いてアセンブラプログラムを作成しアーキテクチャを理解する．第 3 期では MITEC-I プロセッサを演習者自身が自由に改造する．実施の結果，MITEC-I では RISC プロセッサのアーキテクチャを学ぶにあたり，一定の教育成果をあげることに成功したが，MITEC-I を演習で実際に使用した結果，教育用としての機能，性能に不十分な部分があることが明らかとなった [4]．また MITEC-I ではキャッシュなどの記憶階層を備えておらず，仮想記憶の教育には対応していないことから，メモリシステムの教育を行うことはできないと言う問題があった．

このような背景から，教育用 RISC プロセッサ”MITEC-II”[4] と，プロセッサと並列に教育用記憶階層システム”MITEC-II-MMU”[5] の開発を行った．本稿では記憶階層を学ぶために必要な演習方法の提案，及び，その演習に適した教育用記憶階層システム”MITEC-II-MMU”の実現とそのシステムと教育の評価実験について報告する．

2　演習内容

本学，電子情報工学科のカリキュラムでは，コンピュータアーキテクチャの教育として”計算機システム (2 年次　後期に実施)”，”計算機アーキテクチャ(3 年次　前期に実施)”，” マイクロプロセッサ (4 年次　前期に実施)” の 3 科目と簡単なアーキテクチャによる学部向け計算機設計演習 [6]，[7] を 1998 年から 3 年生に向け実施している．学部での教育により，記憶階層における基礎的知識は会得しているものとし，その上で大学院での記憶階層という分野におけるコンピュータアーキテクチャの教育として，何を学ぶべきかを検討する．

”MITEC-II-MMU”を用いての記憶階層の教育は，本学，電子情報工学科のカリキュラムでの教育の延長として行うものと考えている．すなわち記憶階層という分野において，学部での教育では概念的にしか触れなかった事柄や，より深い理解を得るための演習の提案を行うことを目的としている．そこで初めに，学部での教育で使用されたコンピュータ·アーキテクチャの参考書 3 冊と，大学院でのコンピュータ·アーキテクチャ教育で用いられる参考書である”Hennessy,J.L. and Patterson,D.A.,Computer Architecture : A Quantitative Approach[8]” など 7 冊の参考書から，大学院で行うべき記憶階層教育の演習の内容を検討した結果，次を代表する内容，計 25 の項目が挙がった．

- 仮想記憶の歴史
- 仮想記憶方式の動作
- アドレス高速変換技術の原理
- キャッシュメモリの原理（ヒット，ミス時の動作）
- メモリ・アクセス時の記憶保護に関して
- 時間的な／空間的な参照局所性
- 3 つの割当方式の動作
- 置換方式におけるキャッシュのエントリ選択

3　演習方法

ここで目的としている演習方法とは，”MITEC-II-MMU”を用いた記憶階層の動作検証（データのトレースなど）を第一に考慮した演習方法である．よって，演習内容で挙げた”時間的な参照局所性”を学ぶにあたり，” FIFO[2]方式と LRU[3]方式の違いによる時間的局所性の理解 ” と言う題目での動作検証，というように演習方法を考慮して行った結果，21 の項目が挙がった（これらには講義も含まれる）. 下記はその一例である．

- 仮想記憶の歴史
  - Kilburn や Atlas について
- 時間的，空間的局所性
  - FIFO 方式と LRU 方式の違いによる時間的局所性の理解
  - タグの有効利用[4]による空間的局所性の理解
- 仮想記憶方式の理解（通常動作）

[2] First-In,First-Out
[3] Least-Recentry Used
[4] MITEC-II-MMU 仕様の図 1 を参照

– 3 つのアドレス割当方式の動作とタグの関係

– アドレス高速変換技術の理解

– アドレス変換からデータ取得までの動作検証

- 仮想記憶方式の理解（ミス時の処理）

  – TLB[5] ミス時のページ表へのアクセス方法

  – ページフォールト時の処理の動作検証

  – キャッシュミス時の処理の動作検証

4 MITEC-II-MMU 仕様

以上のような演習内容，演習方法を効果的に進めるにあたり，必要な MMU の構造とはどういったものであるか？　ハードウェアの動作を理解するに手助けとなるものは何なのか？

一般に，指針となるものの理解のしやすさには，”例の有無”が関係していると考えられる．そこで，3. 演習方法で挙げた各演習，それぞれに対して適した例があることが理解の助けになると考えた．このことから，本研究で実現する”MITEC-II-MMU”は各演習に適したエントリ数，方式を持つ構造にカスタマイズが可能であるものとした．また，ハードウェアの動作を理解するに，障害となるものはブラックボックス化されていることにあると考えられることから，内部動作を理解する手助けとなる内部信号 16 点を外部観測できるように，専用信号線を設けたシステムとした．

4.1 概要

”MITEC-II-MMU”の仕様は, 基本的に 1 レベル・ページング方式を採用しており，1 ページあたりのアドレス空間を 2^n のオーダーで設定できる[6]．また MITEC-II では RISC プロセッサとしてハーバードアーキテクチャを採用しているため，TLB は命令用，データ用を共に内蔵し，キャッシュは外部に命令用，データ用それぞれ 256kbyte を装備している．

4.2 記憶保護

”MITEC-II”ではメモリ・アクセスへの保護レベルとして”ユーザ・モード”，”カーネル・モード”の 2 種類があり，記憶保護 bit としては，有効 bit, 変更 bit に加え，当該ページの読込み許可を示す”Rbit”，書込み許可を示す”Wbit”，実行許可を示す”EXbit”の 5 つを持たせている．

4.3 TLB，CACHE

”MITEC-II-MMU”では TLB,CACHE 共に使用・不使用が選択できる．それぞれ使用時にはエントリ数を 2^n のオーダで設定でき，割当方式は Direct mapped 方式，Full Associative 方式，N-Way Set Associative 方式の中から選択できる．Set Associative 方式の使用時は，set 数を 2^n のオーダーで設定でき，1set あたりのエントリ数（N）に関しても 2^n のオーダで設定できる[7]．置換方式は，Full Associative 方式，Set Associative 方式使用時に，FIFO 方式，LRU 方式，NRU[8]方式から選択可能である．

CACHE は外部装備しているが，CACHE ディレクトリ部分[9]に関しては MMU 内で管理している．CACHE の書込み方式はヒット時が Write back 方式，ミス時が Write allocate 方式とした．また CACHE では TLB とは異なり，空間的局所性の理解のため，タグの有効利用[10]として 1 つのタグに対して複数のデータを持つように設定でき，そのデータ数 (Data Offset 部分) は 2^n オーダで設定できる．

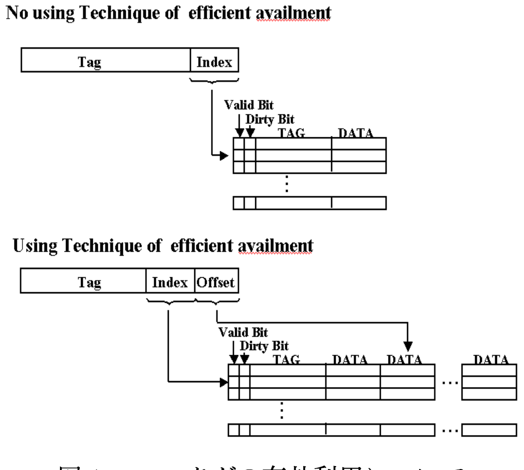

図 1　：　タグの有効利用について

[5] traslation-lookaside buffer
[6] ページ表の構成も変えなくてはならない
[7] Set Associative 方式を使用する場合は Set 数などの設定によりエントリ数が決定
[8] Not Recently Used
[9] Valid-Bit，Dirty-Bit，TAG の 3 つ分
[10] タグの有効利用については図 1 を参照

TLB に関する外部観測情報として，”置換時に選択されたエントリ番号と対象データ” 及び”命令/データ TLB ミス時の各ミスペナルティ数”の 4 点を用意，CACHE に関する外部観測可能な情報としては”置換時に選択されたエントリ番号と対象データ” ”命令/データキャッシュアクセス回数（読込み）” ”データキャッシュアクセス回数（書込み）” ”命令/データキャッシュミス時の各ミスペナルティ”の 7 点を用意した．

5　MITEC-II-MMU の構造

”MITEC-II-MMU”では以上のような仕様を実現するために，徹底した記述のパラメータ化を行い．細かく機構を分割，階層化し，各方式用のコンポーネントを用意した．カスタマイズの実現にはパラメータの情報を統括し MMU の構成情報を示す VHDL ソース”MMUPAC”の変更と，論理合成時に使用するコンポーネントを使い分けることで実現している．

”MITEC-II-MMU”の構造は，大きくは命令制御部，データ制御部，例外処理統括部，主記憶制御部，BIOS 処理部，内部信号処理部,Bus 制御部の 7 つからなる．

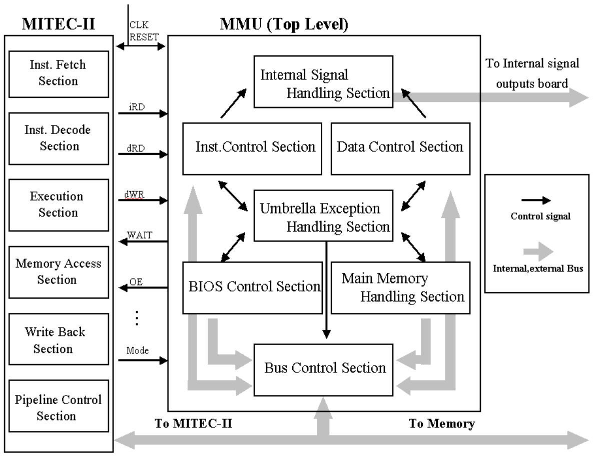

図 2　：　MMU ブロック図（First Level）

5.1　命令制御部

命令制御部はハーバードアーキテクチャにおける命令側で行われる処理，例えば仮想アドレスを TLB を用いて，または用いずに物理アドレスへ変換，TLB ミス，CACHE ミス時の処理，記憶保護違反のチェック，データ取得のための主記憶，キャッシュへの信号の制御といった MMU として主要な部分の処理を担っている．

5.2　データ制御部

データ制御部はハーバードアーキテクチャにおけるデータ側の処理を担っている．データ側では TLB, CACHE 共にエントリ内の情報が変更されたかをチェックする Dirty Bit 及び変更されていた場合の処理が付随するため，命令側よりもやや複雑な機構となっている．

命令制御部，及びデータ制御部の場合は，内部で TLB 制御部，CACHE 制御部に分かれ，さらにそれぞれが割当機構，例外処理機構，置換機構を持っている．

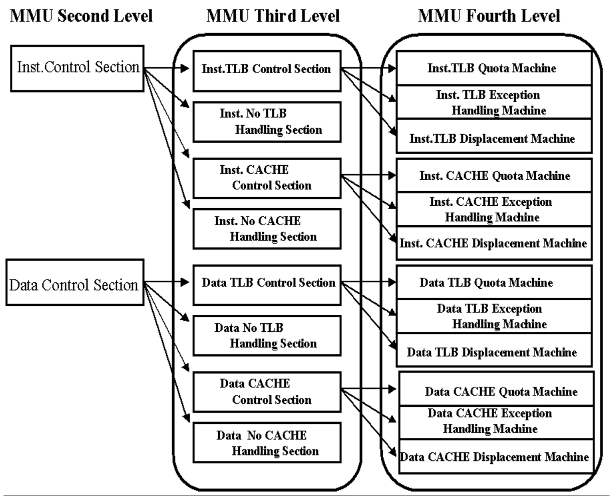

図 3　：　Inst.Data-Control Section

5.3　例外処理統括部

MMU が処理する例外には 10 の例外があり，それらは次の順序で優先順位付けされている．

- リフレッシュ処理
- BIOS 処理
- データページフォールト処理
- データ TLB ミス処理
- データ記憶保護違反処理
- データキャッシュミス処理
- 命令ページフォールト処理

- 命令 TLB ミス処理
- 命令記憶保護違反処理
- 命令キャッシュミス処理

例外が同時に発生した場合，この優先順位に従い例外処理を実行する．但し，リフレッシュ処理に関しては，他の 9 つの例外処理が実行中であっても，それらの実行を中断し，リフレッシュ処理を行う．

例外処理統括部では，各例外処理機構（命令制御部内，データ制御部内など）に対して送信する例外処理許可信号と各例外処理機構から送られる例外処理終了信号を用いて制御しており，他にも，キャッシュ・主記憶へのバス，制御信号などの切替や WAIT 信号，OE 信号の制御などを担っている．

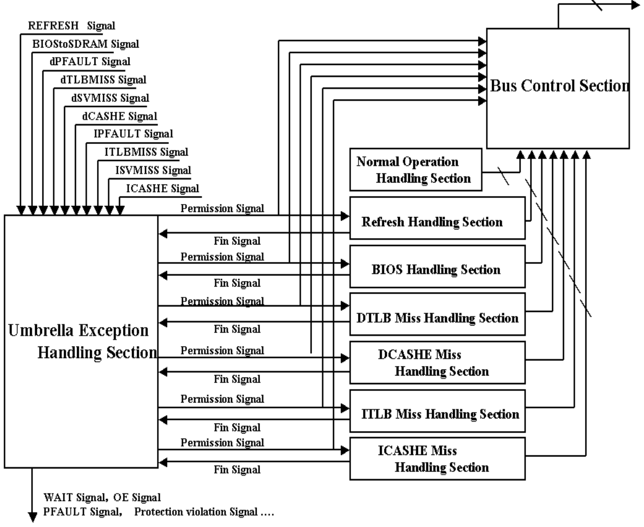

図 4　：　MMU 例外処理統括部

5.4　BIOS 処理部

MITEC-II では BIOS や OS を格納するための ROM を外部に備えている．その ROM 内のデータを指定分（例えば 1 M 分）主記憶へ移し変えると言った処理を担っている[11]．

5.5　主記憶制御部

MITEC-II では，Main Memory として SDRAM を使用しているためリフレッシュが必要となる．この機構ではそのためのタイミングを計り，例外処理統括部へリフレッシュ要求を出し，リフレッシュ処理を行う．その際に用いる方式は分散方式[12]で，リフレッシュ・サイクルは RAS オンリ・リフレッシュ[13]を用いている．

5.6　内部信号処理部

”MITEC-II-MMU”では記憶階層の理解のために，仕様で挙げた情報，計 16 種類の内部信号を外部に出力する．それらの内部信号は，命令制御部，データ制御部から送られてくる．”MITEC-II-MMU”では，内部信号の出力として用意された信号線数は 32 本であり，出力する内部信号の選択用として 4 本の選択用信号線が繋がっている．内部信号処理部では，選択信号線のデータから集められた 16 種類のデータを選択し 32 本の外部出力信号につなげる処理を行う．

表 2　：　外部出力データ一覧

選択信号	対象データ
0000	命令側の CASHE READ 回数
0001	データ側の CASHE READ 回数
0010	データ側の CASHE WRITE 回数
0011	命令側の主記憶 READ 回数
0100	命令側の主記憶 WRITE 回数
0101	最終例外処理のミスペナルティ数
0110	主記憶へのアドレスバス値
0111	主記憶へのデータバス値
1000	命令 CASHE へのアドレスバス値
1001	命令 CASHE へのデータバス値
1010	データ CASHE へのアドレスバス値
1011	データ CASHE へのデータバス値
1100	選択された TLB エントリ数
1101	選択された TLB の保持データ
1110	選択された CASHE エントリ数
1111	選択された CASHE ディレクトリ

5.7　Bus 制御部

”MITEC-II-MMU”には，ハーバードアーキテクチャを用いていることから MITEC-II と接続される主記憶への命令用，データ用アドレスバス，データバス，キャッシュへの命令用，データ用アドレスバス，データバス，加えて内部信号出力用バスの計 9 つの外部バスが接続されている，これら 9 つのバスのうち，内部信号出力用バス以外の 8 つの外部バスに MMU が持つ内部バスや各内部バスの制御用信号

[11] 移し変えるデータ量は，MMU の情報統括ファイル”MMUPAC”で指定できる

[12] すべての範囲のリフレッシュを一度に行うのではなく，RAS アドレス単位を均等な時間間隔で行う方式

[13] リフレッシュ・アドレス・カウンタは MMU が供給

などを例外処理統括部から送られてくる許可信号を用いて切替処理を行っている．

6　MITEC-II-MMU　処理動作

MITEC-II-MMU の主要な動作となるものは，MITEC-II から送られて来た仮想アドレスを物理アドレスに変換し，キャッシュまたは主記憶にアクセスし，対象データを MITEC-II に送ることである．ここでは以上で述べた，仕様や構造によりどのように処理が行われているのか，命令制御部，データ制御部が行う処理について説明する．

まず初めに，MITEC-II から送られてきた仮想アドレスは基本的にワードアクセスを行うため，下位 2bit を切り取り，その後に次に述べる処理に移る．

6.1　仮想アドレスから物理アドレスを生成

アドレス変換を行うにあたり，TLB を不使用としている場合は，仮想アドレスが送られてくる度に主記憶のページ表にアクセスし，対象物理ページフレーム・アドレスを取得して物理アドレスを作成する．

TLB を使用している場合は，30bit となった仮想アドレスを TLB の割当方式として選択された方式に対応したフォーマットに区切り，そのデータを用いて対象 TLB エントリを選択して物理ページフレーム・アドレスを取得する．どの割当方式の使用時でも”タグの一致情報””有効 bit の情報”から TLB ヒットかどうかを判定する．この際，MITEC-II から送られてきている READ,WRITE 信号と，対象 TLB 内に保持されている記憶保護 Bit とを比較し，記憶保護違反の有無も判定する（但し カーネルモード時は行わない）．

TLB ミス発生時は TLB ミス処理へ移行する．この場合は置換機構から得られる TLB エントリ番号を置換対象にして，例外処理機構はページ表から対象ページを取得，対象 TLB に格納する．この時，対象ページの有効 bit が 0 だった場合はページフォールトを発生させ，MITEC-II へその旨を伝える．MITEC-II はカーネルモードへ移行し，ページフォールト用例外処理プログラムを起動させる．記憶保護違反発生時も同様に記憶保護違反用例外処理プログラムを起動させる．物理アドレスの生成が終了した後，その物理アドレスを用いてデータの取得処理に入る．

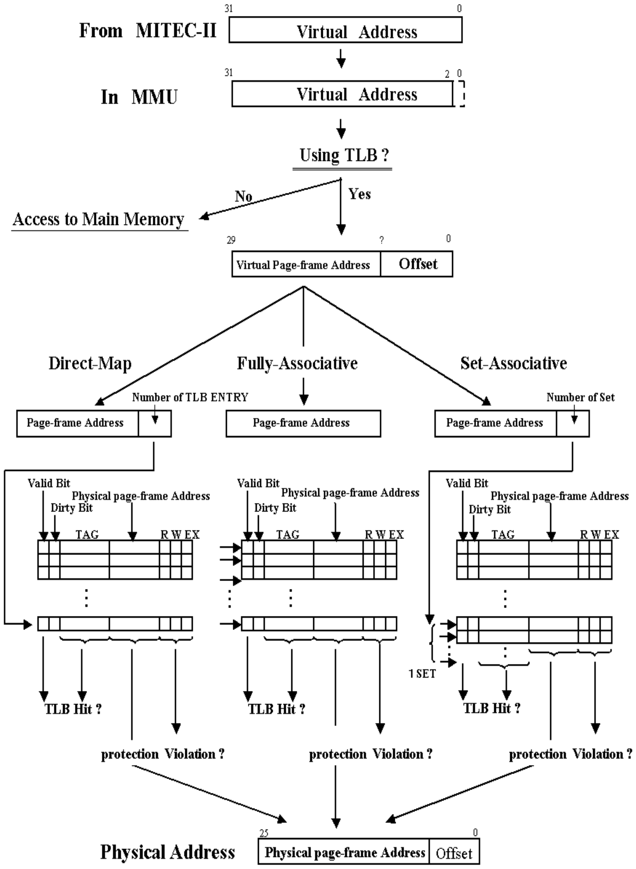

図 5　：　物理アドレスの生成

6.2　物理アドレスからデータ取得

CACHE を不使用としている場合は，生成した物理アドレスから主記憶へアクセスし，対象データを MMU 内に一度取得した後，MITEC-II へデータを送信する．CACHE を使用している場合は TLB と同様に，割当方式として選択された方式に対応したフォーマットに物理アドレスを区切り，区切ったデータを用いて対象 CACHE エントリを選択，CACHE から MITEC-II へ MMU を介さずに直接データを送信させる．どの割当方式であろうとも，”タグの一致情報”及び ”有効 bit の情報”から CACHE ヒットかどうかを判定する．

CACHE ミス発生時は CACHE ミス処理へ移行する．その際は置換機構から得られる CACHE エントリ番号を置換対象とし，例外処理機構は主記憶からデータを取得，CACHE に書込む．ここで，タグの有効利用を使用している場合は，設定されているデータ数分，主記憶からデータを取得しキャッシュへ書込む．

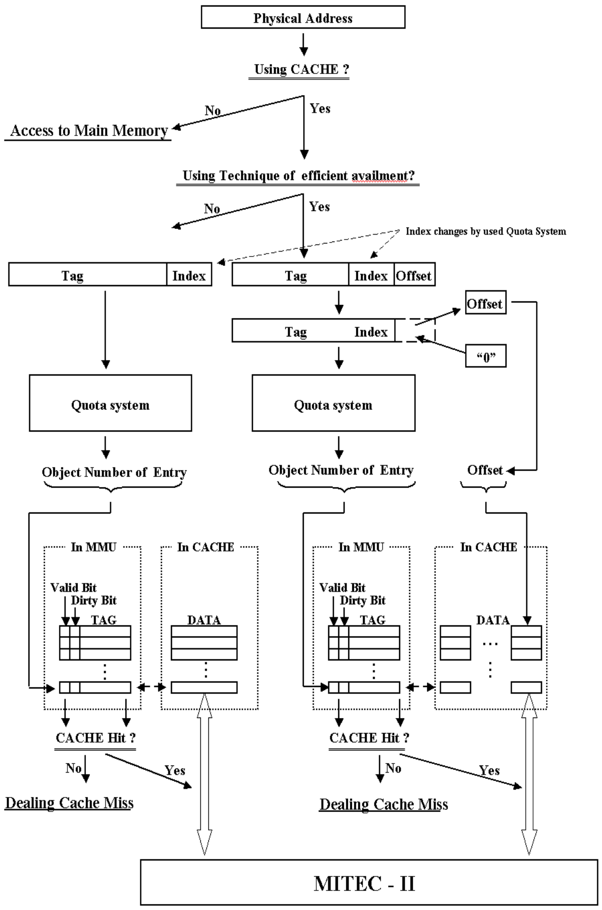

図6　：　データの取得

TLB ミス，CACHE ミスが発生した場合のミスペナルティは表1のようになっている．各 CACHE ミスのミスペナルティはタグの有効利用を用いる場合，タグ1つに対するデータ数を1つ増やす毎に，3clock[14]増加する．Dirty Bit が1だった場合は3clock に加えて，2clock+データ数× 1clock 分[15]増加する

表1　：　ミス ペナルティ数

例外処理名	ミス ペナルティ数（**CLK**）	
—	Dirty Bit = 0	Dirty Bit = 1
命令 **TLB** ミス	6	—
命令 **CACHE** ミス	8 〜	—
データ **TLB** ミス	8	16
データ **CACHE** ミス	8 〜	16 〜

7　評価実験

この MMU を教育機材として使用するにあたり，教育的観点においていくつかの問題点が考えられる．例えば，今回設定した外部観測信号が本当に記憶階層教育の理解を助ける情報であるのかといった問題や，MITEC-II-MMU”の VHDL ソースを理解するといった演習において，MMU の実現にあたり行った，機構の分割やパラメータ化が被験者の理解に障害となる可能性があるといった問題などである．”MITEC-II-MMU”を演習で使用するにあたり，以上のような問題の検証に加え，どういった部分に不足，検討の余地があり，記憶階層の演習にどの程度教育的効果があるのかを検証すべく評価実験を行うこととした．

7.1　評価環境

評価実験は本学で行われている”MITEC を用いた大学院の演習”の第3期の部 (10月下旬より開始) にて行う．講義数は全6コマ，被験者の人数は9月下旬決定のため，現在は未定である．

演習環境としては，現在，MITEC-II 用のボードが完成していないため，VHDL シミュレータ”MODEL-SIM”を用いてのシミュレーションによる演習となる．演習内容及び演習方法は，3. 演習方法で挙げた中より抜粋し，以下の項目を行うこととした．

1. 仮想記憶の歴史と基本原理

   仮想記憶の歴史と，ページング方式の基本原理，ページ表に付随する5つの記憶保護 Bit の意味と対応動作についての理解を目的とする．

2. **TLB，CACHE** 無しでのデータのトレース

   項目1で学んだ動作を，自分が作成した簡易プログラムのシミュレーションから実際の動作を観察し，理解を深めることを目的とする．

3. アドレス変換バッファ
   アドレス高速変換技法の存在意義とその動作，例外処理についての理解を目的とする．

4. **TLB** 有りでのデータのトレース及び比較

   項目3で学んだアドレス高速変換技法を用いた場合の動作と，その存在によるプロセッサの性能向上についての観察を目的とする．ここで行

[14]Main Memory へのデータ取得分 + CACHE Memory へのデータ格納分
[15]Main Memory の Ras,Cas 制御分 + Dirty Bit が1であったタグと関連しているデータすべてを書き戻す作業分

う比較対象は項目 2 での動作である．

5. **CACHE**

   キャッシュ技術の存在意義とその動作，例外処理についての理解[16]を目的とする．

6. **CACHE** 有りでのデータのトレース及び比較

   項目 5 で学んだキャッシュ技術を用いた場合の動作と，その存在によるプロセッサの性能向上についての観察を目的とする．ここで行う比較対象は項目 2 での動作である．

7. 方式変更[17]による動作のトレース及び比較

   ここではエントリ数の変化や，各項目で使用してきた方式以外を用いた場合により，性能にどのように影響してくるのかを観察する，また性能だけでなく，その実現のために要した回路規模の増減も視野に入れて検討することを目的とする．

以上の演習内容をガイダンスを含む全 6 回に集約した結果，次のように配置した．

- 第 1 回 - ガイダンス
- 第 2 回 - 項目の 1.2
- 第 3 回 - 項目の 3.4
- 第 4 回 - 項目の 5.6
- 第 5 回 - 項目の 7
- 第 6 回 - 項目の 7

7.2 評価方法

評価の方法としては，この演習の目的が原理，動作理解ということから，被験者のアンケート調査，及びレポートによる理解度の調査にて検討することとした．アンケートは全 4 回（項目 2，4，6，7 の実行後に実施），主に問題点における検証やこのシステムの使い勝手，理解し難い部分，さらに理解を深めるにあたり必要と思われる機能や考慮すべき点などを調査の対象としている．レポートでは，プログラム規模による性能・回路規模的に最適だと思われる MMU の検討という点を題材に，このシステムを扱ったことによる記憶階層の理解度を対象としている．

8 むすび

本稿では，記憶階層の教育に適した，MITEC-II-MMU の仕様と構造についてに説明し，このシステムを用いた演習方法の提案を行った．残念ながら，現時点ではまだシステムの評価実験が終わっていないため，評価環境と評価方法を説明するに留まった．今後は評価の結果をま x とめ，このシステムの欠点と不足機能を洗い出し，より教育に適したものへと改良を加える予定である．

参考文献

[1] 小宮山，一戸，十河，山崎，石川：教育用マイクロプロセッサ MITEC-I の提案，情報処理学会第 51 回全国大会論文集，1-297,1995.

[2] 山崎，小宮山，石川，中山，：教育用マイクロプロセッサ MITEC-I を用いたパイプライン処理技術に関する演習方法の提案，情報処理学会第 53 回全国大会論文集，4F-9,1996.

[3] 山崎，石川：教育用マイクロプロセッサ MITEC-I を用いた演習方法の提案，情報処理学会第 54 回全国大会論文集，1G-8，1997.

[4] 平柳，石川 ： 教育用 RISC プロセッサ MITEC-II，情報処理学会第 59 回全国大会論文集，1H-9，1999.

[5] 清水，石川 ： 教育用 RISC 型プロセッサ MITEC-II における記憶階層の提案と実現，武蔵工業大学情報通信研究室 1999 年度修士論文.

[6] 吉沢，尾崎，片山，石川，宮内 ： COMET 互換プロセッサによる設計演習環境の提案と実現，情報処理学会第 54 回全国大会論文集，1G-10，1997.

[7] 末吉，田中，船越，松尾，有田 ： 書換え可能な LSI を用いた教育用マイクロプロセッサの開発，情報処理学会第 56 回全国大会論文集，4N-5,1998.

[8] Hennessy,J.L. and Patterson,D.A.,Computer Architecture : A Quantitative Approach, Morgan Kaufmann Publishers, Inc., San Mateo, CA, 1990.

[16] ライトバック・時間的/空間的な参照局所性などに関しても
[17] エントリ数や各方式，タグの有効利用の使用など