

画像処理用 LSI-ISP のアーキテクチャ

福島 忠⁺ 小林 芳樹⁺ 平沢 宏太郎⁺
 坂東 忠秋⁺ 柏岡 誠治⁺

⁺ (株)日立製作所日立研究所 ⁺ (株)日立製作所中央研究所

Architecture of Image Signal Processor

Tadashi FUKUSHIMA⁺, Yoshiki KOBAYASHI⁺, Kohtaroh HIRASAWA⁺,
 Tadaaki BANDO⁺, Seiji KASHIOKA⁺,

⁺ Hitachi Research Laboratory, Hitachi Ltd.
⁺ Central Research Laboratory, Hitachi Ltd.

1. はじめに

画像処理・パターン認識の研究は、古くからなされて来たが、ここ数年、半導体技術や計算機アーキテクチャの進展を背景として、本格的な実用化の時期を迎えようとしている。これまでは、主として2値画像処理技術が適用の対象であったが、ニーズの多様化から、今後は256階調程度の濃淡度を有する濃淡画像処理技術の応用が発展になると考えられる。しかし、濃淡画像を高速に処理できるLSIデバイスがなかったため、高速・高機能かつ安価な工業用画像処理システムの開発は、従来困難であった。そこで、濃淡画像処理技術の実用化を目指し、高速性・多機能性・拡張性を備えた画像処理用LSI-ISP (Image Signal Processor) を開発した。

ここでは、256階調を有する濃淡画像を、ビデオレートで高速処理し、かつ局所演算領域(カーネル)を容易に拡張でき、さらに種々の局所近傍演算を実行できるISPのアーキテクチャについて論ずる。

2. ISP の基本アーキテクチャ

2.1 基本アーキテクチャの検討

ISPは、一つの出カ画素データを算出するのに用いる入カ画素データと同数のPE (Processor Element) を用いて並列演算する局所並列型

の画像処理用LSIである。ISPの基本アーキテクチャは、次の二つの観点から検討した。一つは、ビデオレートで高速処理できることであり、もう一つは、カーネルを容易に拡張できることである。以下、その検討結果を述べる。

まず、一画素当たり8ビットの画像データを処理させることにした。これから生ずる種々の制約から、1チップに搭載するPE数は4個とし、4個のPEは、SIMD (Single Instruction Multi-Data stream) の形態で並列に動作させることにした。

1チップ内の4個のPEへの画像データの転送は、図1に示すように、遅延回路を介する方式を採用した。また、画像データとの演算に用いられる演算オペランド(荷重係数・テンプレートデータ

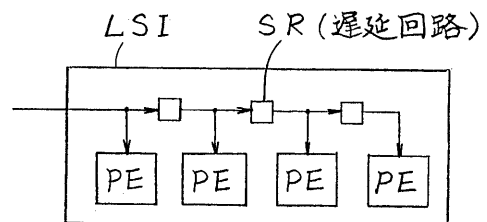


図1 画像データの転送方式

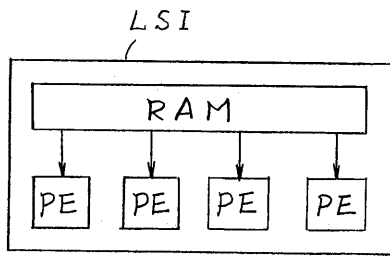


図2 演算オペランドの供給方式

など)は、図2に示すように、内蔵RAMから各PEに供給することにした。

複数のLSIを用いて大きなカーネルを処理する場合は、図3に示す方式により、LSI間のリンク演算をすることにした。即ち、リンク演算専用の演算回路と、リンクデータの転送のための入力端子と出力端子を、別々に設けることとした。

2.2 システムの構成例

前節の検討結果を踏まえて、図4に示すような画像処理システムの構成を考えることとした。図4のシステムは、カーネルが4x4である画像演算を高速に処理するもので、ISPを4個用いている。以下本節では、図4のシステムの動作を、次式で表される4x4空間積和演算を例に挙

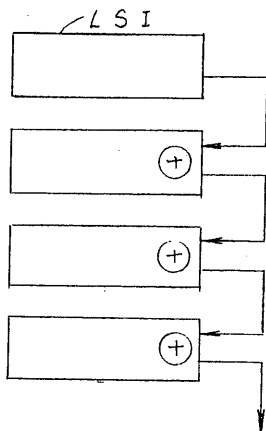


図3 LSI間のリンク方式

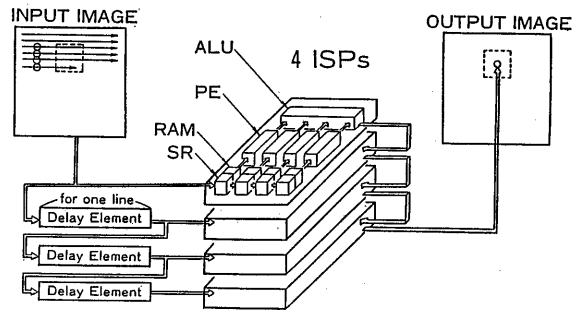


図4 ISPを4個用いた画像処理システムの構成例

げて説明する。

$$g(x, y) = \sum_{i=-1}^{+1} \sum_{j=-1}^{+1} w_{ij} * f(x+i-1, y+j-1)$$

ただし、 $f(x, y)$ は入力画像、 $g(x, y)$ は出力画像、 w_{ij} は荷重係数とする。(なお、画像の位置は、演算後左上方向へずれる。)

図4のシステムにおいて、入力画像は、ノンインタレーステレビ画像と同様に、主走査方向が左から右、副走査方向が上から下で、左上隅から右下隅へ走査される。走査された画像データは、三つの遅延回路を介して、四つのISPに順次入力される。各遅延回路は、入力画像の1ラインを走査するのに要する時間だけ、画像データを遅延させるので、四つのISP内の16個のシフトレジスタには、4x4、合計16個の隣接した画素データが取り出せる。あらかじめ、荷重係数をRAMに書き込んでおくと、シフトレジスタ内の画像データは、RAM内の荷重係数と、対応するPEで掛け合わされて、後段のALUで順次加算され、出力画素データとなる。

このシステムでは、四つのISP内の合計16個のPEは、すべて並列に動作する。さらに、PEやALUにパイプライン処理を採用し、サイクル時間を167ナノ秒にすることにより、256x256画素サイズの画像ならば、テレビカメラからの映像信号を、A/Dコンバータを介して、実時間で処理することができ。

また、垂直方向のみならず、水平方向にもISPを追加すれば、カーネルを2次元的に拡張

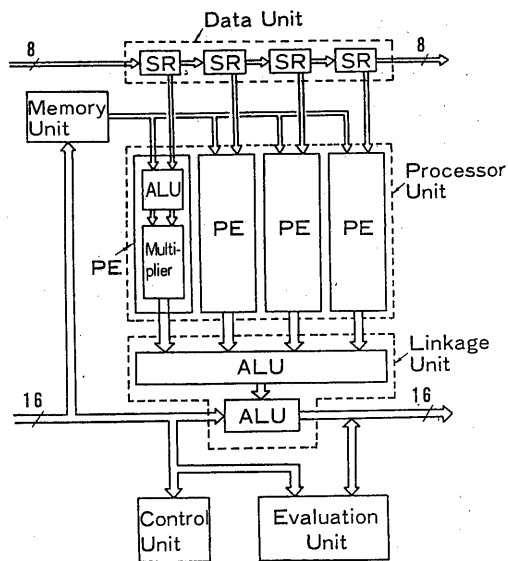


図5 ISPの基本構成図

することができる。

2.3 基本アーキテクチャ

以上の検討を踏まえて決定したISPの基本構成図を図5に示す。同図に示すように、ISPは6個のユニットから構成されている。以下、各ユニットについて概説する。

(1) データユニット

4個のシフトレジスタなどから成り、画像データの転送に寄与する。画像データバスは、入出力共に8ビット幅で、出力バスはカーネル拡張用である。

(2) メモリユニット

8bit x 64word から成るRAMで構成され、荷重係数やテンプレートデータなどの演算オペランドを記憶する。画像演算時は、通常各PEに1バイトずつデータを供給する。

(3) プロセッサユニット

4個のPEから構成され、各PEはSIMDの形態で画像データを並列処理し、それぞれ16ビットの演算結果を出力する。PEの構成については後述する。

(4) リンケージユニット

4入力ALUと2入力ALUから構成され、

前者はPE間、後者はLSI間のリンケージ演算に寄与する。入出力データは共に16ビットである。各ALUの構成については後述する。

(5) エバリュエーションユニット

2個の比較回路などから成り、リンケージユニットの出力データに対する2値化処理やクラスタリング処理に寄与する。

(6) コントロールユニット

プログラマブル制御レジスタなどから構成され、各ユニットを制御する。

以上述べた基本アーキテクチャを基に、種々の画像処理機能を実現する方法について、次章以下で詳しく論ずる。

3. 多機能性の検討

3.1 多機能実現へのアプローチ

前章で論じた基本アーキテクチャを基に、種々の画像演算を実現する方法として、二つのアプローチを採った。一つは、構成要素の有機的統合に着目した構造的アプローチであり、もう一つは、それぞれの構成要素に持たせる機能内容に着目した機能的アプローチである。

図5に示す基本アーキテクチャを横断的に考察すると、

- (1) 各PEは、画素データを変換する機能を担い、
 - (2) リンケージユニット内の4入力ALUは、PEの出力データを統合する機能を担い、そして、
 - (3) リンケージユニット内の2入力ALUは、複数のLSIに跨り、同ユニット内の2入力ALUの出力データを再統合する機能を担う、
- と見ることが出来る。以下、(1)を画素データ変換機能、(2)を変換データ統合機能、(3)を統合データ再統合機能と呼ぶことにする。

多機能性を検討する手順としては、先ず上記の三つの機能を念頭に置いた構造的アプローチを採り、内部構成を明確にした。そして、その内部構成を前提として機能的アプローチを採ることにした。

3.2 構造的観点からの検討

図5に示す基本アーキテクチャは、ビデオレートで高速処理するため、並列処理に加えてパイプライン処理を採用している。また、LSI化のために、規則性を重視した構成となっている。種々の画像演算

表1 各種の一次微分オペレータ

- (1) $\sqrt{(a-d)^2+(b-c)^2}$ (Roberts オペレータ)
- (2) $|a-d|+|b-c|$
- (3) $[|a-b+c-d|+|a+b-c-d|]/2$
- (4) $\sqrt{(A+B+C-G-H-I)^2+(A+D+G-C-F-I)^2}$
- (5) $|A+B+C-G-H-I|+|A+D+G-C-F-I|$
- (6) $|E-A|+|E-C|+|E-G|+|E-I|$
- (7) $|\max(A, B, C, D, F, G, H, I)-E|$
- (8) $\text{sign}(B-H) \cdot |\min(A, B, C) - \max(G, H, I)|$
- (9) $|A+2B+C-G-2H-I|+|A+2D+G-C-2F-I|$

(Sobel オペレータ)

a	b
c	d

A	B	C
D	E	F
G	H	I

を実行させるべき手段は、これらの点を考慮したものでなければならない。そこで、上記2点を前提として、プロセッサユニットとリンクージュユニットの各演算要素に、どのようにデータを供給するか、という観点から構成を考えることにした。

図5の構成では、プロセッサユニット内の各PEには、データユニットとメモリエニットから1バイトずつデータが供給される。データユニットからのデータは画素データで、メモリエニットからのデータは演算オペラランドである。つまり、図5の構成によると、画素データは、演算オペラランドによってしか変換されない。しかし、表1に示す各種の一次微分オペレータでは、演算オペラランドを用いず、近隣の画素データを用いて変換すると見ることが出来る。そこで、メモリエニットからの演算オペラランドの代わりに、もう1バイトの画素データを、各PEに供給することを考えた。

各PEへの画素データの供給は、表1に示す各種の一次微分オペレータを効率よく実行できるよう、図6に示す二つの方式を採用した。図6内のAバスは、図5内のデータユニットへの入カバスと同じものである。また、図6内のBバスは、端子数削減のため、図5内のデータユニットからLSI外へ出力するバスを、双方向性として転用することにした。

一方、演算オペラランドを用いて、画素データを変換する画像演算でも、拡大・縮小・回転などの移動を行った場合などに実施される補間演算や、赤・緑・青の3原色毎の濃度値を用いた色彩処理などでは、多数の画像データを同時に直接各々のPEに入力する方法が、図5の構成において、シフトレジスタを介して逐次的

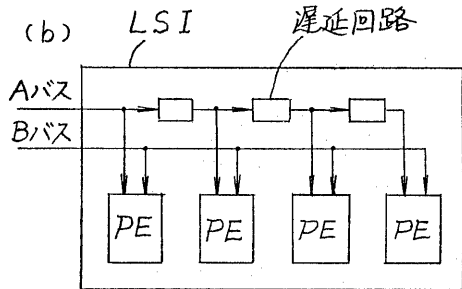
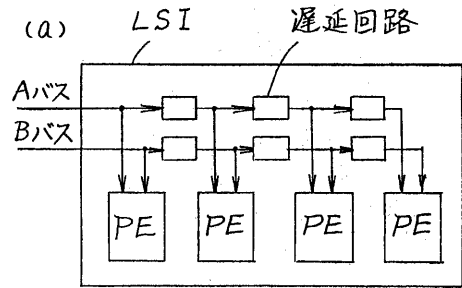


図6 二つの入カバスを用いた画像データ入カ方式

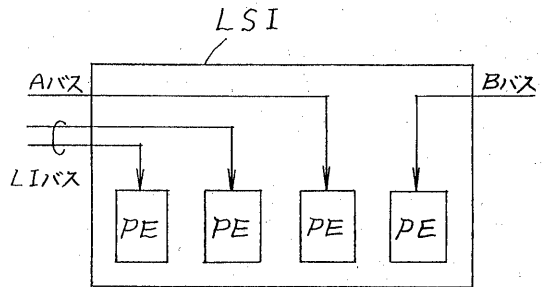


図7 四つの入カバスを用いた画像データ入カ方式

にデータ転送するより効率的である。これに対処するために、図7に示すような入カ体系も採れるよう考慮した。図7のA、B、LIバスは、それぞれ、図5の、データユニットへの入カバス、データユニットから外部への出カバス、リンクージュユニットへの入カバスに対応させた。

また、すべてのPEはSIMDの形態で、同一の動作をするが、画素データを変換するのに必要なPEを選

表2 各種の濃淡および色彩画像演算

空間積和演算	$g(x, y) = \sum_{i=1}^n \sum_{j=1}^m w_{ij} \cdot f(x+i-1, y+j-1)$
残差検定法	$g(x, y) = \sum_{i=1}^n \sum_{j=1}^m t_{ij} - f(x+i-1, y+j-1) $
4点線形補間	$g(x, y) = (1-\alpha x)(1-\beta y) \cdot f(i, j) + \alpha x(1-\beta y) \cdot f(i+1, j) + (1-\alpha x)\beta y \cdot f(i, j+1) + \alpha x\beta y \cdot f(i+1, j+1)$
色彩濃度変換	$g(x, y) = \alpha R(x, y) + \beta G(x, y) + \gamma B(x, y)$
色彩距離演算	$g(x, y) = \sqrt{\{\alpha \cdot R(x, y)\}^2 + \{\beta \cdot G(x, y)\}^2 + \{\gamma \cdot B(x, y)\}^2}$

f : 濃淡入力画像
 g : 濃淡出力画像
 w, α, β, γ : 荷重係数
 R : 色彩画像 Red 成分濃度
 G : " Green "
 B : " Blue "
 αx : 隣接画素 f(i, j) との x 軸方向の差異
 βy : " " との y 軸方向の差異

扱えるよう考慮した。これにより任意の形状のカーネルによる演算が実行できる。

以上論じた内容は、濃淡画像もしくは3枚の濃淡画像から成ると見れる色彩画像の処理に適合する。しかし、1画素が1ビットから成る2値画像に対しては、8画素を1単位として、濃淡画像の一つの画素と同様に一つのPEで処理することが考えられる。

この場合、上に述べた稼働PEの選別だけでは、任意の形状のカーネルを形成することはできない。そこで、メモリユニットからは、PE1個当たり2バイトのデータを供給し、1バイトはカーネル指定用とし、他の1バイトを演算オペランド用とした。つまり、2値画像演算は、カーネル内の画素データにだけ施されることになる。

3.3 機能的観点からの検討

機能的な観点からは、前節で検討した構成に基づくデータフローに対して、各種の画像演算の実行に必要なとされる演算機能を考えなければならぬ。ここでは、局所近傍演算として分類される代表的な画像演算として、表1に示した各種の一次微分オペレータの他、表2に定義される各種の濃淡および色彩画像演算、さら

に、2値画像演算としてパターンマッチング機能を挙げて、画素データ変換機能、変換データ統合機能、統合データ再統合機能に要求される演算オペレーションについて論ずる。

表3は、各種画像演算の実行につき要求される演算オペレーションを、三つの機能に分割した結果を示す。表3からは、次の結論が得られる。

- (1) 三つの機能は、いずれも連続する二つの演算部で実現できる。
- (2) 画素データ変換機能に対しては、加減算を主なオペレーションとする演算部と、乗算を主なオペレーションとする演算部が必要である。
- (3) 変換データ統合機能と統合データ再統合機能に対しては、加減算を主なオペレーションとする演算部と、絶対値算出オペレーションを備えた演算部が必要である。
- (4) 統合データ再統合機能には、SQRT (Square Root) 機能も要求される。
- (5) いずれの演算部にも、入力データをそのまま出力するNOP (No Operation) 機能が要求される。

表3 各機能に要求される演算オペレーション

画像演算	画素データ変換機能	変換データ統合機能	統合データ再統合機能
一次微分オペレータ (1)	-, *	NOP	+, √
" (2)	-,	NOP	+
" (3)	+/-	+/-,	+, 1/2
" (6)	-,	+	+
" (7)	-,	max	max
" (8)	NOP	min/max	-,
空間積和演算	*	+	+
残差検定法	-,	+	+
4点線形補間	*	+	+
色彩濃度変換	*	+	+
色彩距離演算	-, *	+	+, √
パターンマッチング	ENOR, CNT	+	+

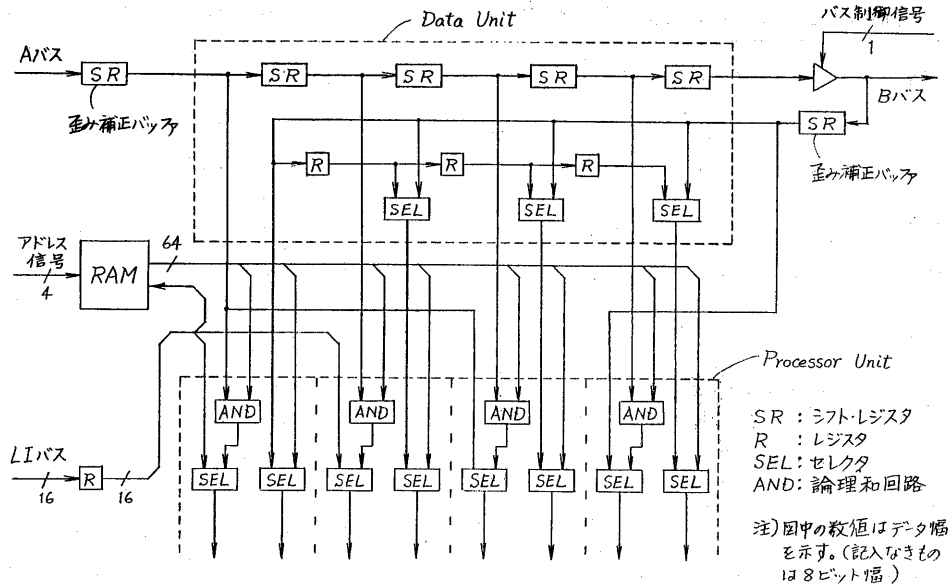


図8 画像データと演算オペランドの制御構成

この結果を踏まえ、さらに他の画像演算の実行を考慮して、三つの機能を担う、プロセッサユニットのPEヤリンゲージユニットのALUの演算回路構成を決定することにした。

4. ISPのアーキテクチャ

4. 演算データの制御構成

3.2節の検討を踏まえて決定した画像データと演算オペランドの制御構成を図8に示す。

図8には二つの歪み補正バッファがある。Aバスのものは、LSI間のパイプライン処理を可能にするものであり、Bバスのものは、Aバスとの時間歪みを補正するものである。Bバスの歪み補正バッファにより、各種の一次微分オペレータの実行が可能になっている。

メモリユニットは、8bit×64wordとし、1アドレス8バイトの並列読み出し構成とした。それぞれのPEには、2バイトのデータが供給されることになり、1バイトは演算オペランドで、もう1バイトは、2値画像処理におけるカーネル指定用である。カーネル指定データは、2値画像処理の際、データユニットからのデータをマスクすることになる。

Bバスだけはトライステートとなるが、このBバスの入出力方向を制御する信号、およびメモリア

ドレス信号だけは外部端子から与え、その他のすべての制御信号は、コントロールユニット内のプログラマブル制御レジスタより供給される。

4.2 演算回路の構成と機能

3.3節の検討を踏まえて決定した、ISPのプロセッサユニットとリンゲージユニットの演算回路構成を図9に示す。また、各演算回路の機能を表4に示す。

図8に示すように、各PEには、データユニットやリンゲージユニットなどから、合計5バイトの演算データが与えられる。それらは、結局2バイトに選択(および結合)されて、PEの前段のALU(A)に入力される。ALU(A)は、加減算の他、ビット単位での論理演算機能を有している。

ALU(A)の出力は、PEの後段のALU(B)に入力される。ALU(B)は、乗算の他、絶対値算出や“High”レベルのビット数をカウントする機能などを有している。ALU(B)の演算結果は16ビットでリンゲージユニットに出力される。カーネル形成に必要なとしないPEに対しては、ALU(B)の出力はキャンセルされ、リンゲージユニットでの演算に影響を与えないデータが出力される。

図5に示すリンゲージユニットの4入力ALU

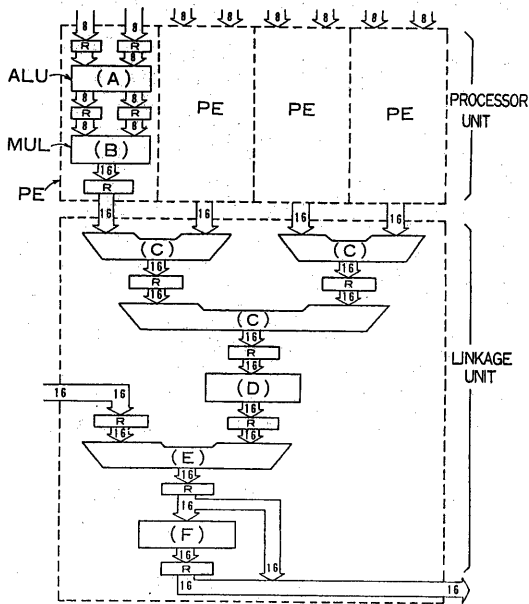


図9 プロセッサユニットとリンケージユニットの演算回路構成

表4 各演算回路の機能

Stages	Functions
A	ADD SUB AND OR NOR ENOR NOP
B	MUL MAX MIN ABS* NEG** CNT*** NOP
C	ADD SUB MAX MIN
D	ABS* DIV NOP
E	ADD SUB MAX MIN
F	ABS* DIV NOP

* ABS : Absolute value
 ** NEG : Negative value
 *** CNT : High-level-bit counting

表5 ISPの処理機能一覧

画像	演算
2値画像	<ul style="list-style-type: none"> 画像間論理演算 (AND, OR, EOR, ENOR) 膨張/収縮 パターンマッチング
濃淡画像	<ul style="list-style-type: none"> 画像間算術演算 (Addition, Subtraction) 空間積和演算 (平滑, ラフレーション, etc.) 非線形近傍演算 $\begin{bmatrix} a & b \\ c & d \end{bmatrix}$ <ul style="list-style-type: none"> $a-d + b-c$ $(a-d)^2 + (b-c)^2$ $\frac{ a-b+c-d + a+b-c-d }{2}$ $A+B+C-G-H-I + A+D+G-C-F-I$ $E-A + E-C + E-G + E-I$ $E-B + E-D + E-F + E-H$ $A+2B+C-G-2H-I + A+2D+G-C-2F-I$ $\max(A, B, C, D, F, G, H, I) - E$ etc. <ul style="list-style-type: none"> 4点線形補間演算 9点2次補間演算 16点 cubic 補間演算 残差検定法 固定2値化処理 浮動2値化処理 擬似メディアンフィルタリング $\max[\min(A, B, C), \min(D, E, F), \min(G, H, I)]$ $\min[\max(A, B, C), \max(D, E, F), \max(G, H, I)]$
色彩画像	<ul style="list-style-type: none"> 原色間演算 (ex. $R-G + G-B + B-R$) 濃度変換 ($\alpha R + \beta G + \gamma B$) 色彩系変換 $\begin{bmatrix} R \\ G \\ B \end{bmatrix} = \begin{bmatrix} M \\ Y \\ Z \end{bmatrix}$ 色彩距離演算 <ul style="list-style-type: none"> $R-\alpha + G-\beta + B-\gamma$ $(R-\alpha)^2 + (G-\beta)^2 + (B-\gamma)^2$

は、図9では、三つのAU(C) (Arithmetic Unit C)とAU(D)に分割されている。AU(C)は、加減算の機能を有し、AU(D)は、絶対値算出の他、 2^n (nは0から8の整数)による除算の機能を有する。

図5に示すリンケージユニットの2入力ALUは、図9では、AU(E)とAU(F)の二つ演算回路に分割されている。それぞれの機能は、AU(C)とAU(D)に同じである。SQRT機能は、チップ面積などの理由により削除した。

以上述べた各演算回路は、図9に示すようにレジスタで分離されており、それぞれが一つのパイプラインステージを構成している。即ち、プロセッサユニットとリンケージユニットで構成されるパイプライン段数は8段になる。

4.3 ISPの処理機能

以上の検討を踏まえて決定したアーキテクチャにより、可能となったISPの処理機能の一覧を表5に示す。また、ISPのチップ写真と基本仕様を、それぞれ写真1と表6に示す。

5. おわりに

256階調を有する濃淡画像に対して、種々の局所近傍演算を、ビデオレート(167ナ)秒/画素)で高速処理する画像処理用LSI-ISPを開発した。ISPの基本アーキテクチャは、高速処理とカーネルの拡張性を考慮して決定した。

基本アーキテクチャを決定した後、演算データの制御構成と、各演算回路の機能についてさらに検討し、2値・濃淡・色彩画像の種々の画像演算を実行できるアーキテクチャを決定した。

本稿では、ISPのアーキテクチャについて論じたが、今後の課題は、ISPの特長を十二分に活かした効果的な画像処理システムの構築法の開発である。

謝辞 本研究をご支援下さった(株)日立製作所大みか工場 桑原洋副工場長、有益なご討論を戴いた同社中央研究所江尻正員主管研究員、同社生産技術研究所秦清治主任研究員、およびLSI開発にご協力戴いた諸氏に深く感謝する。

[参考文献]

- 1) Fukushima T., Kobayashi Y., Hirasawa K., Bandoh T., Ejiri M. and Kuwahara H.: An Image Signal Processor, ISSCC Digest of Technical Papers, pp. 258-259 (1983)
- 2) 福島, 小林, 平沢, 坂東, 江尻: 画像処理用LSI-Image Signal Processorのアーキテクチャ, 電子通信学会論文誌C分冊「LSI特集号」掲載予定(1983)
- 3) 長尾: 画像認識論, コロナ社(1983)

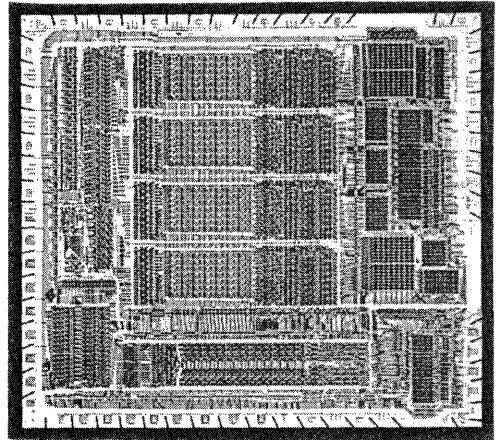


写真1 ISPのチップ写真

表6 ISPの基本仕様

Technology	3 μ m CMOS
Number of transistors	~61,000
Chip size	7.72 \times 8.64 mm
Power supply	5V
Execution cycle time	167 ns
Power dissipation	~400 mW
Package	64 pin DIP