

## 解説



## ファジィハードウェアシステム†

## —ディジタル方式とアナログ方式のファジィ推論チップ—

山 川 烈†

## 1. はじめに

人類は、蓄積プログラム方式という概念に基づき、電子回路技術を駆使して、電子計算機（ディジタルコンピュータ）という今世紀最大の道具を、この世に創り出した。その計算能力は、人間のそれをはるかに越えるために、時には、コンピュータが出力する結果・情報は絶対視すらされる。数値計算のために考案されたコンピュータは、そのすぐれた拡張性、汎用性から、大規模な論理処理にも利用されるようになった。すなわち、“IF～, THEN～”形式で表現された、“条件と結論のペア”に、外部から入力された情報を照合（データ・マッチング）し、マッチングの成立したルールから結論を得る。このデータ・マッチングを考えるとき、すべての情報が0と1の組合せで表現されていることはきわめて都合のよいものである。

しかし、ディジタルコンピュータを論理処理に用いれば用いるほど、その“しわざ”は人間のそれから離れてゆく。囲碁を例にあげると、終盤戦（詰め碁）では、ある限られた範囲内の選択肢の中から答を導き出すことは従来のやり方でよいにしても、序盤戦については選択肢の数が多すぎて、すべてをチェックすることができない。したがって、「理論的には可能なはずだ！」と言っても、一つのデータ検索に有限の時間を要するハードウェアを使用するかぎり、<sup>3361</sup>通りの局面から一つを選び出すのは少なくとも現時点では不可能と言ってもよい。にもかかわらず人間は、いとも簡単に答を導き出す。その答は、決定論的なものではなく、「この辺が良からう」という程度の“あいまいさ”をともなった、柔らかい判断結果である。人間の右脳

のなせるわざと言えるかも知れない。

このことは、決してディジタルコンピュータの処理能力が人間の判断能力にはるかに及ばないことを意味しているのではない。取り扱う情報の質と、その処理のし方が相異なるだけである。これまでの情報処理技術は、確定的な情報をもとに、データ・マッチング（アドレス・アクセス方式）に基づいて発展してきた、いわば人間の“左脳”に相当する。そこで“右脳”に相当する情報処理技術を確立する必要がある。すなわち、厳密に定義されえない言葉や情報を、人間のもつ短絡的な直感で処理する方式が望まれている。そして、これら二つの技術が融合することによって、新しい情報処理が展開でき、これまで棚上げになっていた問題も解決されることになるだろう。

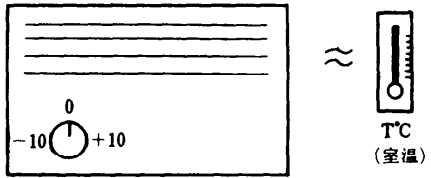
この“右脳”に相当する情報処理方式の一つとしてファジィ推論<sup>1)</sup>があげられる。ファジィ推論は、従来の人工知能と同様に IF-THEN 形式で表現された知識ベースに事実情報を照合して、結論を導き出すわけであるが、従来の人工知能と異なる点は、知識ベースで使用されている言葉が厳格に定義されることなく、その輪郭がぼやけている点である。したがって厳密なデータ・マッチングによる結論の導出は不可能である。また、従来の人工知能が単なる記号処理に終始しているのに対して、ファジィ推論は意味的な処理も付加している。すなわち、記号としての言葉（ラベル）にメンバシップ関数<sup>2)</sup>という特性関数で定量的な意味づけを行っている。

ファジィ推論のメカニズムを、図-1 に示す簡単な例で説明する。室温の設定温度からのずれと、その時間変化から、エアコンのダイヤルを調整して、室温を設定値へ近づける場合を考える。今、 $\Delta T = T - T_0$  ( $T$ : 室温,  $T_0$ : 設定値),  $TC$  (室温の時間変化) および  $Z$  (ダイヤル目盛) について、

$$\Delta T = ZR \quad \& \quad TC = PL \rightarrow Z = NL \quad (1)$$

† Fuzzy Hardware Systems—Fuzzy Inference Chips in Digital and Analog Modes— by Takeshi YAMAKAWA (Department of Computer Science & Control Engineering, Kyushu Institute of Technology).

† 九州工業大学情報工学部



Z

(ダイヤル目盛)

$$\Delta T = T - T_s$$

$$\frac{d\Delta T}{dt} = TC$$

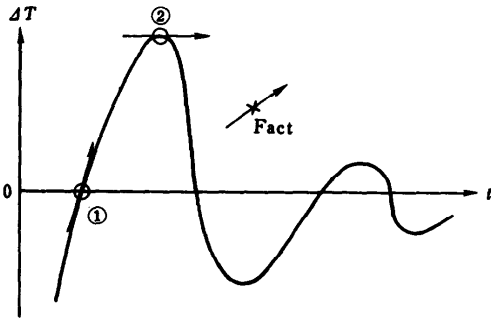
T, °C  
(設定温度)

- Rule ① IF  $\Delta T$  IS ZR AND  $TC$  IS PL, THEN  $Z$  IS NL  
 Rule ② IF  $\Delta T$  IS PL AND  $TC$  IS ZR, THEN  $Z$  IS NM  
 Fact  $\Delta T$  IS PM AND  $TC$  IS PS

Z IS?

NL: Negative Large, NM: Negative Medium,  
 NS: Negative Small, ZR: Approximately Zero,  
 PS: Positive Small, PM: Positive Medium,  
 PL: Positive Large,

(a)



(b)

図-1 (a) エアコンによる室温制御と (b) 典型的な過渡応答

$$\Delta T = PL \ \& \ TC = ZR \rightarrow Z = NM \quad (2)$$

という三つの推論ルールを仮定し、今、部屋の温度に関して、

$$\Delta T = PM \ \& \ TC = PS \quad (3)$$

という情報を得たとする。このとき、エアコンのダイヤル目盛を、どのように設定すればよいかを考える。

推論ルール(1), (2)および事実情報(3)はすべて輪郭のぼやけた言葉(記号)で表現され、それらの言葉は図-2に示すようにメンバシップ関数によって定義(意味づけ)される。ファジィ推論を、従来の人工知能と同様に記号処理としてとらえると、事実情報(3)は、推論ルール(1), (2)の前件部のいずれともデータ・マッチングは成立しないので、結論を得ることはできない。しかし、これらのぼやけた言葉を、0から1まで連続的に真理値の変化するメンバシップ関数で意味づけすることにより、事実情報と推論ルール前件部とのソフト・マッチングを認めることになる。そして、そのマッチングの度合は0~1の間の値で得られ、後件部はその度合に応じて採用される。具体的に例で説明する。ルール(1)の前件部に事実情報を照合(ソフト・マッチング)する。ZRとPM, PLとPSのそれぞれの重なり(ファジィ論理積; MIN演算)から、それぞれのソフト・マッチングの度合として、それぞれの重なった部分のピーク値(ファジィ論理和; MAX演算)0.3, 0.2が得られる。ルールの前件部はANDで結合されているので、事実情報とルール

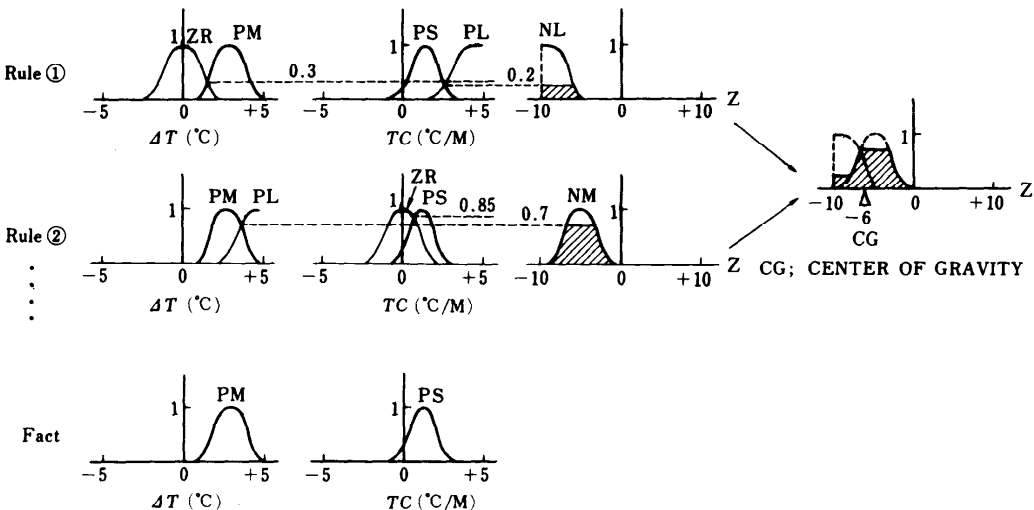


図-2 ファジィ推論のメカニズム

前件部とのソフト・マッチングの度合は、0.3 と 0.2 の小さいほうをとって (MIN 演算)、0.2 とする。この度合 0.2 と後件部 NL のメンバシップ関数とのファジィ論理積 (MIN 演算) が代数積により推論結果を得る。図-2 では、前者の場合を示している。同様にして、事実情報を他のすべてのルールに照合して、それぞれの推論結果を得る。最後にこれらの推論結果を統合 (ファジィ論理和; MAX 演算) し、図-2 右端のメンバシップ関数で示すように、最終的な推論結果を得る。そして、必要に応じて、このメンバシップ関数の重心を求め、ダイヤル目盛 Z の確定値を得ることもできる。

図-2 に示すファジィ推論は、デジタルコンピュータを用いて、ソフトウェアで実行できる。しかし、この場合、プログラムそのものがきわめて複雑になり、推論時間も長くなる。たとえば、前件部一変数、後件部一変数の一つの推論ルールに事実情報を照合する一つのファジィ推論を、FACOM M 360 で実行したところ 7 m sec かかった。変数の数を増し、ルール数を増せば、それに比例して、推論スピードも遅くなる。

この推論スピードを速くするには、ソフトウェアではなく、専用のハードウェアの開発が必要となることは言うまでもない。

## 2. ファジィ推論の高速化

### 1) モノリシック オン・チップ ハードウェア

通常のデジタルコンピュータシステムは図-3 に示すように、CPU、ROM、RAM、I/O、キーボードなどを、データ・バスで接いだ“バス結合オフ・チップハードウェアシステム”である。このようなシステムでは、個々のチップに使用されているトランジスタやゲートの応答速度よりも、データ・バスをとおして行

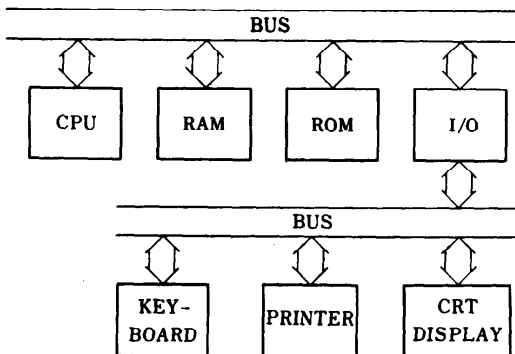


図-3 バス結合オフ・チップハードウェアシステム

われるチップからチップへのデータ転送が、システム全体の処理スピードを決定する。これは、データ・バスのもつ寄生容量(浮遊容量)とリードインダクタンスとチップの出力抵抗によるものである。したがって、このようなデジタルシステムの処理スピードをあげるには、全システムを一つのチップの中に収納する方式、すなわち、モノリシック オン・チップ ハードウェアシステムがよい。戸貝と渡辺は AT & T ベル研究所時代に、推論部、ROM 部、制御部などすべてのブロックを一つのデジタル・チップに収納し、毎秒 8 万回の推論 (推論スピード 12.5  $\mu$ sec) を実現している<sup>3)</sup>。もちろん、この推論スピードは、オン・チップ化のみで実現されたものではなく、後に述べるような並列アーキテクチャや、MIN-MAX 専用演算ブロックの開発によっても大きく前進したことは言うまでもない。

### 2) 並列アーキテクチャ

デジタルシステムでスイッチとして使用されているバイポーラトランジスタや MOSFET のスイッチングスピードは、寸法や回路方式にもよるが、n sec オーダである。また、人間の脳を形成するエレメントとしての神経細胞の信号伝送スピードは m sec オーダである。トランジスタのそれよりは 6 桁も遅い。にもかかわらず、システム全体としての処理スピードは、たとえばパターン認識の場合を考えると、人間の脳のほうがはるかに高速である。このことは、そのアーキテクチャが重要な問題であることを意味している。通常のデジタルコンピュータシステムはプログラム蓄積方式 (シリアル処理) であるのに対して、人間の脳はパラレル処理をしている。高速のファジィ推論マシンを構成するには、パラレルアーキテクチャにすべきである。戸貝、渡辺のファジィ推論チップ<sup>3)</sup>は複数のファジィ推論を並列に実行できる。ただし、個々の推論はシリアルな処理を行っている。したがって、これはラージ・グレイン・パラレルと言うことができる。一方、著者の開発したアナログ方式のファジィ推論エンジン<sup>4)</sup>は、マイクロにも信号処理が並列に行われているので、これはマッシュ・パラレルと言ってよい。

### 3) ファジィ推論専用演算ブロックの開発

並列アーキテクチャを採用すれば、当然のことながらデバイス数とデバイス間の接続数が増える。デバイス数の増加は電力消費の増大を意味する。また、デバイス数と接続ライン数の増大は、チップの機能密度の

低下と歩留りの低下を意味し、その結果コスト・パフォーマンスが悪くなる。このような問題を解決するには、新しいタイプのファジィ論理回路を考えるか、新しいタイプのデバイスを開発する必要がある。戸貝、渡辺<sup>3)</sup>は ALU の代りにファジィ論理積と論理和を実行するシリアル MIN ユニットとシリアル MAX ユニットとシフトレジスタを組み合わせ、推論プロセッシングユニットを構成した。また、山川<sup>4)</sup>は、エミッタ結合ファジィ論理ゲート (ECFL ゲート) として MIN 回路と MAX 回路を開発した。これらの回路は、エミッタホロワのカスケード接続とみなせるので、後述するような多くの特長をもつ。これらの MIN 回路と MAX 回路を直並列に接続するとマップ・パラレルのファジィ推論エンジンが構成できる。

4) ハードウェアでのデータ表現

図-2 に示すファジィ推論をソフトウェアで実行すると高速性が望めない。そこで、このファジィ推論をハードウェアで直接実行することが考えられる。このとき、図-2 で用いられたメンバシップ関数はすべて、図-4(c) に示すように  $m$  個の要素 (エレメント) からなるベクトルとして取り扱われる。すなわち、図-4(a) に示す  $A$  という輪郭のあいまいな言葉 (ファジィ集合) は、同図(b) のように  $m$  個にサンプリングされ、シングルトンの集まりとして表現することができる。このシングルトンの大きさを数値で表現すれば、

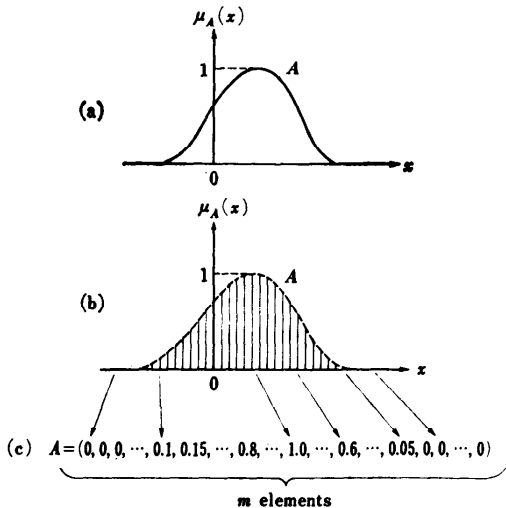


図-4 (a) ファジィ集合  $A$  のメンバシップ関数と、(b) それをサンプリングして得られたシングルトンの集合  $A$  と (c) それを  $m$  個のエレメントで表現したファジィワード  $A$ 。

同図(c)のように、各エレメントが0~1の間の値で示される  $m$  個のエレメントからなるベクトルとみることができる。これは、通常のデジタルシステムで取り扱われる情報が  $B=0110\ 1010\ 0001\ 1000$  などのように0と1のみの組合せで表現され、バイナリワードと呼ばれているのに対して、0~1の間の数値を用いてベクトルを表現しているのが、ファジィワード<sup>5)</sup>と呼ぶことにする。このファジィワードの各エレメントをデジタル信号 (バイナリワード) で表現するか、あるいはアナログ信号で表現するかによって、デジタル・ファジィハードウェアシステムとアナログ・ファジィハードウェアシステムに分けることができる。

いずれの場合も、ファジィワードのもつ特長としてデータ構造の頑健性があげられる。すなわち、図-5(a) に示すファジィワード  $A$  のエレメント一つが、デバイスやリード線の破損、外来ノイズなどなんらかの原因でハードウェア的に欠落した場合、同図(b) のようなファジィワードとなるが、それらの重心の位置はほとんどずれることはない。なぜならば、0ではない多くのエレメントによって重心の位置が決められているからである。したがって、同図(c)のように、もしファジィワード  $A$  から、意味の異なるファジィワード  $B$  へ変更しようとするれば、それらのクロスポイント以外の多くのエレメントの大きさを同時に変更しな

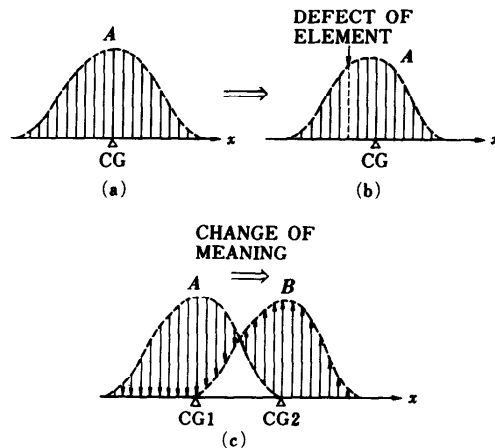


図-5 ファジィワードの頑健性。ファジィワード  $A$  (a) において一つのエレメントに欠陥が発生した場合 (b) でも重心の位置 (CG) はほとんどずれない。ファジィワード  $A$  からファジィワード  $B$  へ意味を変更する場合 (c) には、クロスポイント以外の多くのエレメントを変化させる必要がある。

なければならない。このようなことは、ハードウェア上の不測の事故では起こりようがないのである。この点は、ファジィワードがバイナリワードと本質的に異なる点である。

### 3. デジタル的手法によるファジィハードウェアシステム<sup>3)\*</sup>

戸貝と渡辺は AT & T ベル研究所時代に、前件部一変数、後件部一変数のファジィ推論チップをデジタルシステムで構成した。16 個の IF-THEN ルールをチップ内の RON に格納し、16 個の推論を並列に実施する。ただし、おのおのの推論はシリアルに実行される。これらの推論を実行するのに外部とのデータの出し入れはまったく不要であり、モノリシックオン・チップハードウェアを構成している。

#### 3.1 データ構造

このファジィ推論チップは、それ自身で次のように 16 の推論を実行できる。

ルール 1	$A_1 \rightarrow B_1$
ルール 2	$A_2 \rightarrow B_2$
	⋮
ルール $i$	$A_i \rightarrow B_i$
	⋮
ルール 16	$A_{16} \rightarrow B_{16}$
事実入力	$A'$
	$B'$

すなわち、16 個のルールに事実入力  $A'$  をソフトマッチングさせ、結論  $B'$  を得る。  $A_1 \sim A_{16}$ ,  $B_1 \sim B_{16}$ ,  $A'$ ,  $B'$  のいずれもメンバシップ関数で表されるものである。実際には図-4(b)に示すようにシングルトンの集合として表現される。戸貝らのファジィ推論チ

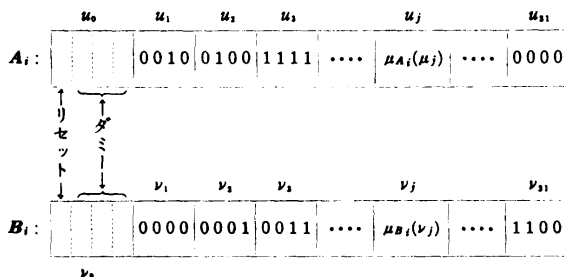


図-6 戸貝・渡辺のファジィ推論チップ内でのファジィワード  $A_i$ ,  $B_i$  のデータ構造

\*ここで述べるデジタル方式のファジィ推論チップは 1985 年に開発されたものであり、現在はこれを原流として戸貝、渡辺はそれぞれ別々のシステム構築へ向けて研究を進めている。

ップでは、メンバシップ関数のグレード (0~1) を 4 ビット (16 値) で表現し、各ファジィワードのエレメント数を 31 とした。したがって一つのファジィワードは図-6 に示すように  $4 \times 31 = 124$  ビットのバイナリワードで表現されるが、実際には、この 124 ビットワードの頭に 1 エレメント分 (4 ビット) を付加し、このうちの先頭ビットはチップ内のレジスタのリセットに使用され、残りの 3 ビットはダミービットになっている。したがって、1 ルールを表現するのに 256 ビットを使用する。チップ内に  $A_i$  用と  $B_i$  用の二つの ROM モジュールがあり、おのおの 128 (ビット)  $\times$  16 (ルール) = 2048 (ビット) からなる。ROM を使用しているので占有面積は小さく、ルールの高速読み出しが可能である。

#### 3.2 アーキテクチャと動作原理

このファジィ推論チップは、通常のデジタルコンピュータのようにメモリアドレスレジスタや、インストラクションレジスタや、アキュムレータや、ALU などのいわゆる蓄積プログラム方式に必要なブロックを必要としない。すなわちファジィ推論を実行するのに必要な最小限度のブロックのみで構成されているため、きわめてコンパクトにまとめあげられている。

このシステムで用いられている基本ブロックは図-7 (a), (b) に示す、シリアル MIN ユニットとシリアル MAX ユニットである。グレードに対応する二つの 4 ビットワードがシリアルに入力されると出力もシリアルに出てきて、4 クロックごとに MIN あるいは MAX 演算結果が得られ、同時に MIN ユニット中のレジスタもリセットされる。

これらの基本ブロックを用いて、一つのファジィ推論をシリアルに実行するファジィ推論エンジンを図-8 に示す。この図には示していないが、互いに重ならない 2 相のクロックを用いてファジィワードをとり込む。第 1 相は  $A_i$  と  $A'$  をとり込むときに用いられ、第 2 相は、 $B_i$  をとり込むときに用いられる。MAX ユニットと 3 ビットシフ

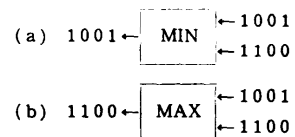


図-7 (a)シリアル MIN ユニットと(b)シリアル MAX ユニット

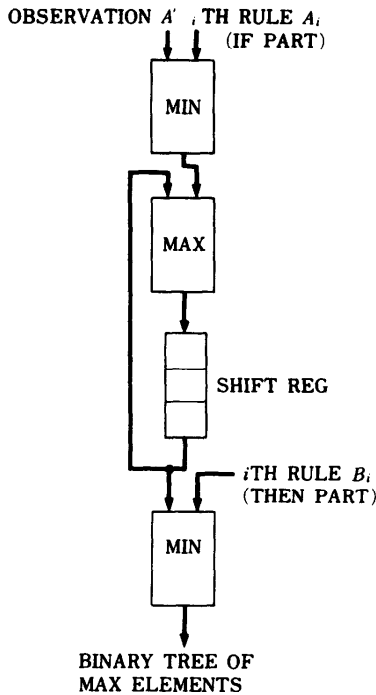


図-8 ファジィ推論エンジンの単一データパス

トレジスタは両相でドライブされており、推論が終わるごとに自動的にリセットされる。まず第1相目で、 $i$  番目のルールの前件部ファジィワード  $A_i$  と事実情報を示すファジィワード  $A'$  (各 128 ビット) がエレメント (4 ビット) ごとにシリアル MIN ユニットの比較され、その小さなほうのエレメントがシリアル MAX ユニットに入力され、大きなエレメントだけが 3 ビットシフトレジスタの中をトコロテンのように押し出されていく。 $A_i$  と  $A'$  のソフトマッチングの度合、すなわちこれら二つのメンバシップ関数の重なった部分の最大値 (“適合度”) は、4 ビットワードとして 3 ビットシフトレジスタと MAX ユニットに残っている。次に第2相目で、ファジィワード  $B_i$  をシリアルにとり込み、“適合度” との MIN 演算を行った結果が出力からシリアルに送り出される。この間、“適合度” はシリアル MAX ユニットと 3 ビットシフトレジスタの中を巡回している。このようにして、256 クロックサイクルで単一の推論が終了する。

このようにして 16 個の推論が、16 個のファジィ推論エンジンで同時に実行される。そしてそれらの結果は統合されるために、MAX 演算 (ファジィ論理和) を施されなければならない。ここで使用している

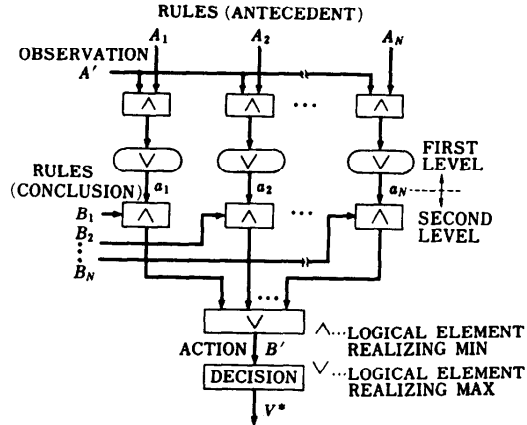


図-9 ファジィ推論チップのアーキテクチャ

シリアル MAX ユニットは 2 入力に限られるので、16 個の推論結果  $B_1', B_2', B_3', \dots, B_{16}'$  の MAX をとるためには、4 段の MAX ツリーが必要となる。したがって、図-8 の出力は 4 段 MAX ツリーへ入力され、MAX ツリーの出力から最終的な推論結果  $B'$  がシリアルに押し出されてくる。以上が、戸貝・渡辺のファジィ推論チップの動作原理である。図-9 にチップ全体のアーキテクチャを示す。ただし、二つの ROM ブロック  $A, B$  (各 16 個) とコントロールユニットは図では省略されている。また、最終的な推論結果  $B'$  から、その重心を求める回路 (図-9 の DECISION の部分) は、このチップには含まれておらず、この操作はホストコンピュータに委ねられる。

### 3.3 性能

実際のチップは、 $2.5 \mu\text{m}$  CMOS 技術を用い、ROM 部に 2,300 個、推論部に 6,000 個のトランジスタを集積している。クロックは 20.8 MHz を用い、1 回のファジィ推論に 256 クロックサイクルを必要とする。すなわち毎秒 80,000 回のファジィ推論を可能にする。

## 4. アナログ的手法によるファジィハードウェアシステム<sup>(4)-(7)</sup>

図-2 のファジィ推論を実行するのに、山川はアナログシステムを採用した。すなわち、図-4 (b) または (c) のファジィワードを、アナログ電圧の集まりで表現し、MIN 演算、MAX 演算もアナログ信号によって実行する。

### 4.1 データ構造

ファジィ推論に用いるファジィワードの各エレメン

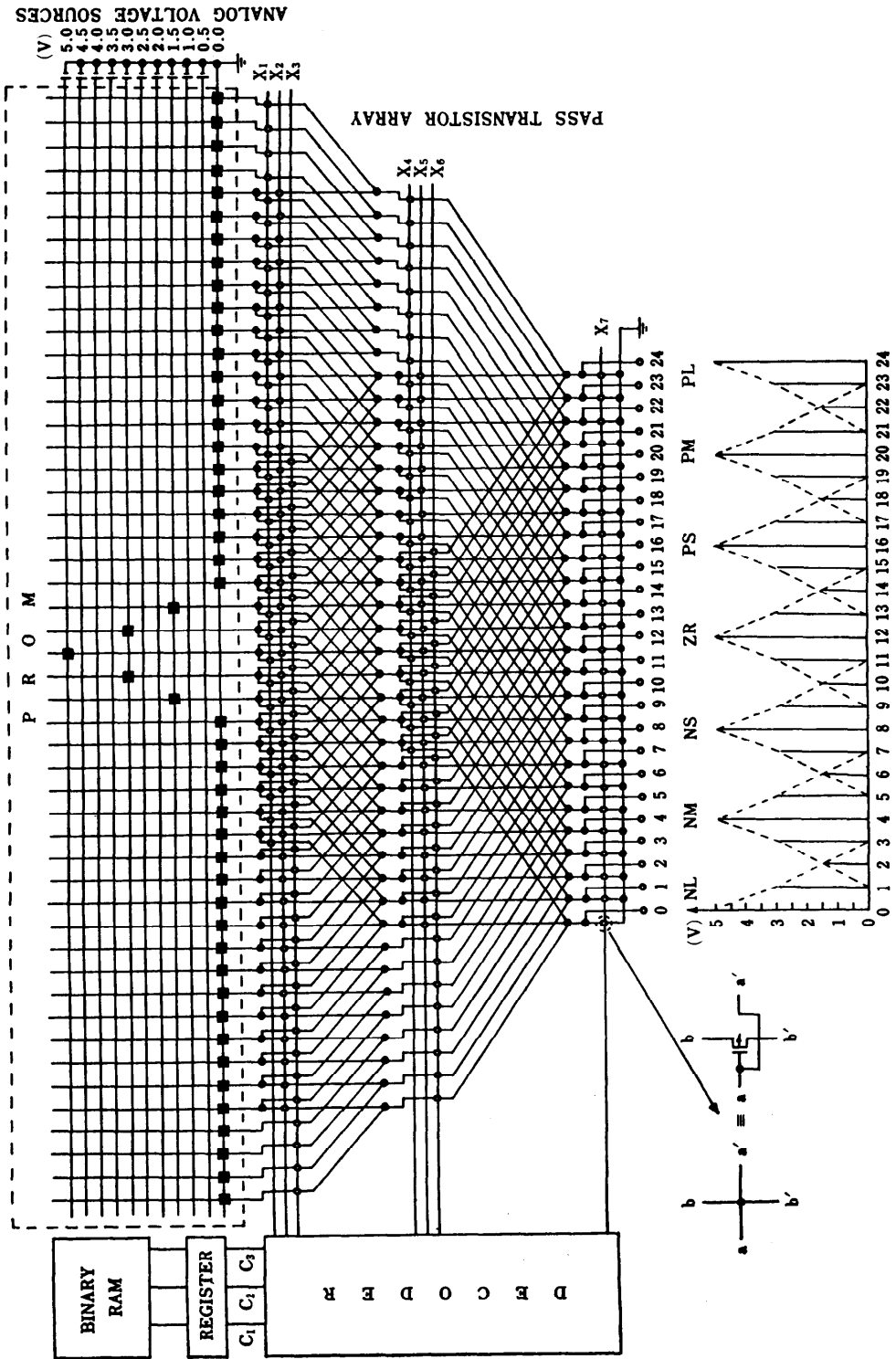


図-10 ファジィメモリの構成

トのグレード0~1をハードウェアでは0V~5Vで表現する。ファジィワードを構成するエレメントの数(カージナル数)は25としている。すなわち、25本の信号ラインの上に、図-4(b)に示すようなメンバシップ関数の形に電圧を分布させて、ファジィワードを表現する。このファジィワードを記憶するファジィメモリ<sup>6)</sup>について述べる。図-10にその構成を示す。ファジィメモリはPROM、パスタランジスタアレイ、アナログ電圧源、デコーダ、レジスタ、バイナリRAMからなる。PROM部の格子点の■はローとコラムの結接点を示す。アナログ電圧源は0Vから5Vまで0.5V間隔で11レベル用意されており、結接点をとおしてコラムに供給される。したがって、コラムには結接点の分布に相似した電圧分布が得られる。この電圧分布を、バイナリワードC<sub>1</sub>C<sub>2</sub>C<sub>3</sub>で指定されるパスタランジスタアレイをON、他をOFFにすることによって、左右にシフトして出力端子0~24に出力する。たとえば、C<sub>1</sub>C<sub>2</sub>C<sub>3</sub>=110の場合、パスタランジスタアレイX<sub>2</sub>およびX<sub>6</sub>のみがONとなり、他はすべてOFFとなるのでPROMで指定されたメンバシップ関数は8エレメント右方へシフトして、出力端子0~24にPM(Positive Medium)のメンバシップ関数を発生する。このようにしてC<sub>1</sub>C<sub>2</sub>C<sub>3</sub>=001, 010, 011, 100, 101, 110, 111に対してファジィワードNL(Negative Large), NM(Negative Medium), NS(Negative Small), ZR(Approximately Zero), PS(Positive Small), PM(Positive Medium), PL(Positive Large)を出力する。また、C<sub>1</sub>C<sub>2</sub>C<sub>3</sub>=000のときは、パスタランジスタアレイX<sub>7</sub>のみがONとなり他はすべてOFFとなるので全出力が0Vとなり、これはNG(Negation)を示す。

図-11に、pMOSプロセスで試作したファジィメモリデバイスの顕微鏡写真を示す。これは、pMOSに

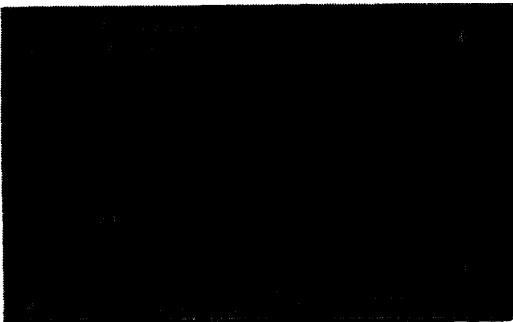
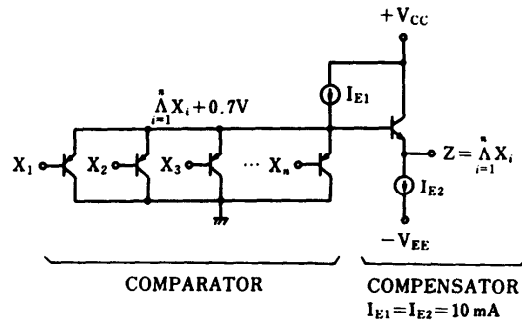


図-11 ファジィメモリデバイス

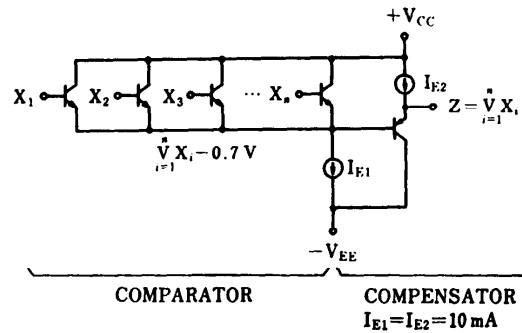
もかかわらず、回路に工夫がしてあるので、CMOSと同じように高速で、低消費電力である。さらにpMOSであるため、フォトマスクの枚数も少なく済み、したがって低コストである。

4.2 アーキテクチャと動作原理

アナログ方式のファジィ推論エンジンの基本となる回路は図-12(a)および(b)のMIN回路とMAX回路である。これらは、入力段コンパレータのトランジスタがすべてエミッタで結合されているので、エミッタ結合ファジィ論理ゲートと呼ぶことにする。これらは、通常のECLとはまったく動作が異なるものである。このMIN回路とMAX回路は、エミッタホロワのカスケード接続とみなすことができるので、エミッタホロワの特長、すなわち、高入力抵抗、低出力抵抗、電源電圧不感性などを示し、また、いくつかの入力端が開放になっても他が影響を受けない。また、3.2で述べたシリアルMINユニットやシリアルMAXユニットが4クロックサイクル(20MHzクロックの場合、200nsec)で演算を実行するのに対して、ECFLゲートの応答スピードは、個別トランジスタを用いた



(a)



(b)

図-12 エミッタ結合ファジィ論理ゲート(ECFLゲート)。(a)MIN回路と(b)MAX回路



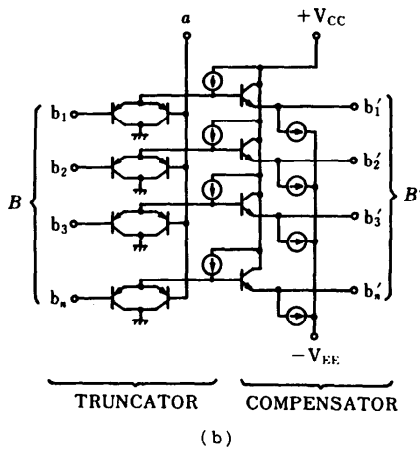
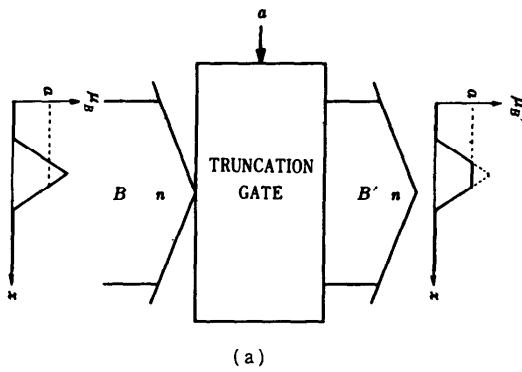


図-13 トランケーションゲート。(a)記号と(b)回路

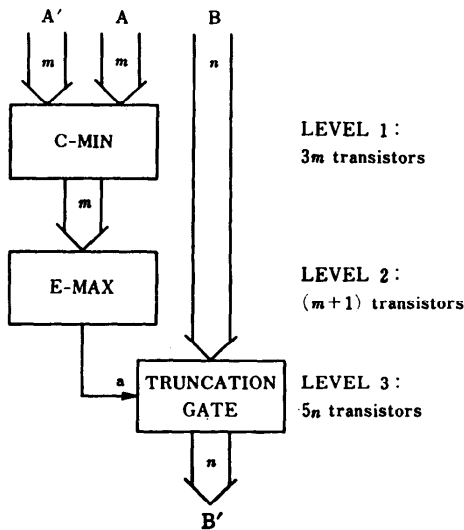


図-14 ファジィ推論エンジンのブロック図

場合でも 10 nsec 程度と高速である。

$n$  個の 2 入力 MIN 回路の片方の入力をすべて共通とし、この端子にアナログ電圧  $a$  を入力し、他方の 25 個の端子  $b_1 \sim b_n$  にファジィワード  $B$  を入力すれば、ファジィワード  $B$  の“頭切り”を実行するトランケーションゲートが得られる。図-13 にその記号と回路を示す。MIN 回路、MAX 回路、トランケーションゲートを図-14 のように組み合わせると、前件部一変数、後件部一変数のファジィ推論エンジンが構成できる。同図で C-MIN は、 $m$  個の 2 入力 MIN 回路を並列に並べたものであり、E-MAX は  $m$  入力

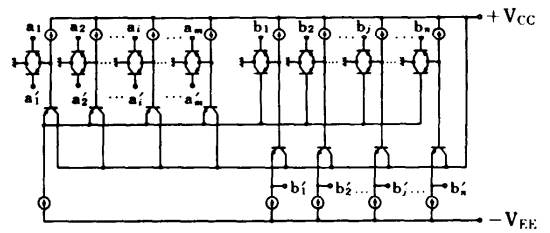
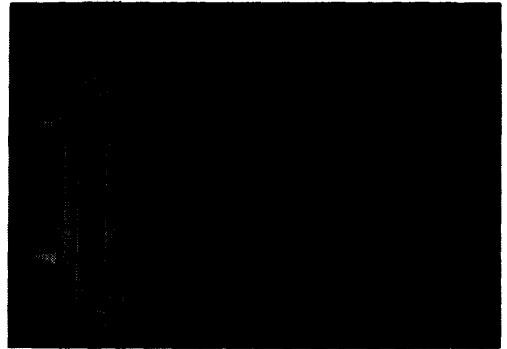
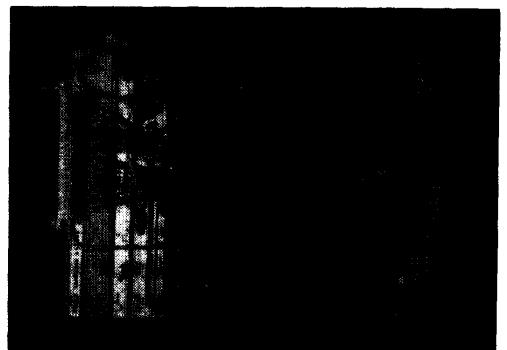


図-15 ファジィ推論エンジン回路



(a)



(b)

図-16 ファジィ推論エンジンの表(a)と裏(b)

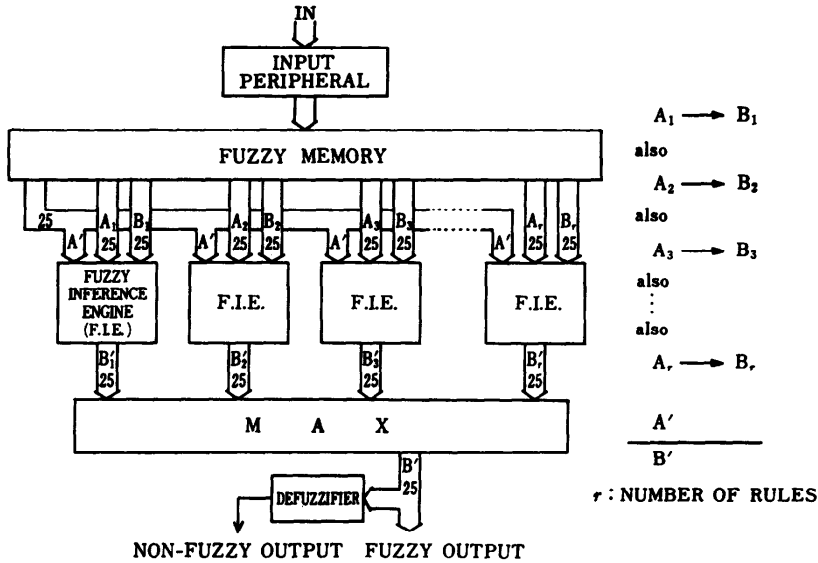


図-17 ファジィコンピュータのアーキテクチャ

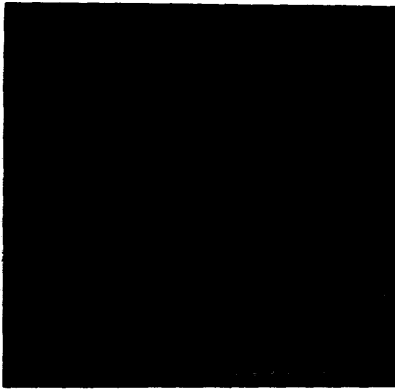


図-18 前件部3変数、後件部1変数のファジィ推論チップの顕微鏡写真

MAX 回路のことである。

ファジィ推論エンジンの具体的な回路とそのボードの写真を、それぞれ図-15、図-16 に示す。228 個(うち、2 個は電流設定用)のトランジスタを用いて構成されている。

このファジィ推論エンジンを  $r$  個並列に接ぎ、それぞれの出力  $B_1' \sim B_r'$  を C-MAX ( $r$  入力 MAX 回路アレイ) に通すと最終的な推論結果  $B'$  が得られる。必要に応じて、デフuzziファイアをとおせば、確定値が得られる。各ファジィ推論エンジンに供給されるファジィワードは、4.1 で述べたファジィメモリに蓄えられている。このようにして、図-17 に示すファ

ジィコンピュータが構成される。

ファジィ推論を制御に利用することもできる。この場合、コントローラの入力と出力は確定値信号である。すなわち、センサからコントローラへ送られる信号は確定値であり、これをコントローラ内の IF-THEN ルールで記述された推論ルール(制御ルール)に照らし合わせて得る。アクチュエータへの出力もまた確定値である。したがって、この場合の推論メカニズムは図-2 において、事実情報をメンバシップ関数ではなく一つのシングルトンにおきかえればよい。こうすることによってハードウェアは格段に簡単になる。前件部3変数、後件部1変数の推論ルールに三つの確定入力を照合して、一つのファジィ推論結果をメンバシップ関数として出力する、ファジィ推論チップの顕微鏡写真を図-18 に示す。このファジィ推論チップでは、ファジィワードの選択やメンバシップ関数の形はバイナリ信号で指定できる。一つのチップで一つのファジィ推論を実行し、その結果は25本の信号ラインにアナログ信号として出力される。製造プロセスは Bi CMOS プロセスであり、8mm 角のチップに約600個のトランジスタと約800個の抵抗を埋め込んでいる。

### 5. 今後の展望

ディジタル方式、アナログ方式のいずれの場合も、次のような特長をもつ。

ファジィハードウェアシステムは通常のディジタル

コンピュータに比べて、はるかに高速にファジィ推論を実行できる。

非線形システムや複雑なシステムは、数式による記述よりは、“IF~THEN~”形式で、しかも輪郭のぼやけた言葉を使うほうが、はるかに容易である。また数式による記述は、状況やパラメータの変化に対応できないが、あいまいな言葉による記述は、そのあいまいさのゆえに、状況の変化に対応できる。

ファジィワードは、本質的にバイナリワードよりも頑健であり、ハードウェアの信頼性を格段に高める。フェイルセーフという観点からきわめて重要である。

ファジィ推論専用のハードウェアからは、通常のデジタルコンピュータと違って、汎用性を確保するための回路が排除されているのでシステム自体がコンパクトにできるし、価格も安くできる。

このような特長を考えると、ファジィハードウェアシステムの今後の応用は、スペースシャトルやロケットなど航空機の姿勢制御、画像や音声の効率的な認識、生体内埋込用人工臓器のコントロール、高速カメラ追尾装置、複雑な社会システムや経済システムのモデリングのためのコプロセッサ、人間の感性を機械に入力するためのインタフェースなど広範囲に広がっていくことであろう。

最後に一言つけ加えたい。ファジィ情報処理が、これまで長年にわたって構築されてきた科学（数理科学や人工知能）に完全にとって代わるものではない。むしろ、これまでの科学では不備な点を、ファジィ科学が補う、という観点に立つべきである。そして、時間的、経済的制約の中で、与えられた仕様を満たす品物を開発しようとする場合、従来の技術で無理があるときには、ファジィ的手法を採用してみると、うまく解決できる場合が多いのもまた事実である。

## 参 考 文 献

- 1) Zadeh, L. A.: A Theory of Approximate Reasoning, Hayes, J. Michie, D. and Mikulich, L. I. Eds., Machine Intelligence, Vol. 9, New York: Halstead Press, pp. 149-194 (1979).
- 2) Zadeh, L. A.: Fuzzy Sets, Information and Control, Vol. 8, pp. 338-353 (1965).
- 3) Togai, M. and Watanabe, H.: A VLSI Implementation of a Fuzzy-Inference Engine: Toward an Expert System on a Chip, INFORMATION SCIENCES, Vol. 38, pp. 147-163 (1986).
- 4) Yamakawa, T.: A Simple Fuzzy Computer Hardware System Employing MIN & MAX Operations—A Challenge to 6th Generation Computer —, Preprints of Second IFSA Congress, Tokyo, July 20-25, pp. 827-830 (1987).
- 5) 山川 烈: FUZZY コンピュータの発想, 講談社 (1988).
- 6) Yamakawa, T. and Sasaki, K.: Fuzzy Memory Device, Preprints of Second IFSA Congress, Tokyo, July 20-25, pp. 551-555 (1987).
- 7) Yamakawa, T.: Fuzzy Microprocessors—Rule Chip and Defuzzifier Chip—, Proceedings of the International Workshop on Fuzzy System Applications, IZUKA, FUKUOKA, JAPAN, AUGUST 20-24, pp. 51-52 (1988).
- 8) Togai, M. and Chin, S.: A Fuzzy Logic Accelerator and a Programming Environment for Real-Time Fuzzy Control, Preprints of Second IFSA Congress, Tokyo, July 20-25, pp. 147-151 (1987).

(平成元年6月15日受付)