

## 解説



## 機能メモリのアーキテクチャとその並列計算への応用

## 2. 集積回路技術からみた 機能メモリの現状と展望†

山田 八郎†† 本村 真人†† 榎本 忠儀††

### 1. はじめに

記憶素子に単純な演算機能を付加し、記憶機能以外にメモリ上での論理操作を並列に行えるようにした機能メモリの研究が古くから行われている<sup>1)~3)</sup>。初期の機能メモリの研究は主に磁気や光を利用したデバイスに基づいていたが、最近では集積回路技術を用いた機能メモリの研究に焦点が絞られている。

機能メモリを記憶機能以外に論理機能をもつメモリとして広くとらえると、さまざまな形態のメモリが機能メモリの範疇にはいる。たとえば、画像メモリやキャッシュメモリなどのようにメモリアレイの周辺に、応用に必要な論理を組み込んだASICメモリも機能メモリの一種となる<sup>4)</sup>。ここでは並列処理による高性能化に注目し、1個あるいは数個のメモリセルごとに論理機能をもたせた機能メモリLSIを取り上げる。このような機能メモリの中でも最も歴史が古く、実用化されているのが連想メモリである<sup>5),6)</sup>。連想メモリは記憶機能のほかに記憶データと入力データを照合する機能をメモリセルがもつ。最近では、メモリセルにAND論理機能をもたせたタイムスロット制御プロセッサ、インバータ2段の遅延機能をもたせたタイムメモリ、8値による照合機能をもたせた多値連想メモリ、センスアンプに論理機能をもたせたストリング・サーチ・エンジンなど多数の機能メモリLSIが開発されている。このようなLSIの記憶手段は、一般的にSRAMセルで実現されているが、リフレッシュ動作を許すならばさらに約4倍高密度なDRAMセルを利用できる。

近年の集積回路技術の飛躍的な進歩により、0.4  $\mu\text{m}$  設計ルールを用いて64 MbitのDRAM、0.6  $\mu\text{m}$  ルールで16 Mbitの不揮発性メモリ(EPROM)、同じ0.6  $\mu\text{m}$  ルールで4 MbitのSRAMなどの大容量半導体メモリを設計できるようになった。これは主に微細加工技術の進展や新しいデバイス構造の開発に負うところが大きい。その結果、それらのセルサイズはおのおの約2  $\mu\text{m}^2$ 、4  $\mu\text{m}^2$ 、20  $\mu\text{m}^2$ と小さくなっている。SRAMを主体とする機能メモリも同様に大容量化されてきているが、SRAMに比べて1桁小さい記憶容量にとどまっている。これは、機能メモリのセルの回路構成がSRAMに比べ複雑であることと、最先端プロセス技術やデバイス技術が活用されていないためである。

本稿では現在までに集積回路技術で実現された機能メモリLSIを取り上げ、そのアーキテクチャ、回路構成ならびに動作を概説する。最後にメモリLSI技術の進展を含めて機能メモリLSIの今後の展望について述べる。

### 2. 機能メモリLSIの構成

機能メモリLSIの代表例である連想メモリ(associative memory)は内容アドレスメモリ(CAM: content addressable memory)とも呼ばれ、その概念と有用性は古くから知られている。通常のメモリでは、そこに記憶されたデータをアクセスするためにそのデータの記憶位置を指定する。すなわち、番地(アドレス)を指定して記憶データの読み出し/書き込みを行う。これに対し、連想メモリでは、通常のメモリ(RAM)機能のほかに、入力した検索データと同じかまたは類似の記憶データを見つけ、そのデータに付随する残りのデータやアドレスなどの情報を取り出すことが最大の特徴である。

† Reviews and Prospects of Functional Memory LSI by Hachiro YAMADA, Motomura MASATO and Enomoto TADAYOSHI (System ULSI Research Laboratory, Microelectronics Research Laboratories, NEC Corporation).

†† 日本電気(株)マイクロエレクトロニクス研究所システムULSI研究部

連想メモリのハードウェアの研究は、1956年に発表されたクライオトロンを用いた研究に始まり、磁気コア、磁気バブルメモリなどの多くのデバイスによる試みが続いた。しかし、これらのデバイスを用いた通常のメモリ自身が価格性能比の点で磁気ディスクや半導体メモリに比べ優位性を維持できなかったため、連想メモリへの適用も途絶えた。現在では、半導体集積回路による研究に絞られている。

半導体素子による最初の連想メモリは、1963年に E. S. Lee により、ダイオード、トランジスタ、抵抗などの個別素子を用いて試作された<sup>7)</sup>。9W 8b 構成で 2.5MHz で動作する。集積回路技術を用いた連想メモリは、1966年の R. Igarashi らによる p 形 MOS トランジスタの高抵抗負荷形 SRAM セルを基本とする 1ビットセル回路が最初である<sup>8)</sup>。彼らは翌年 4ビットの連想メモリ IC を用いて、100 ns サイクルで動作する 128ワード 48ビット構成の 6Kbit 連想メモリシステムを報告している<sup>9)</sup>。以来、連想メモリに関する多くの論文が報告されているが、キャッシュメモリのアドレス変換テーブルへの応用以外にはほとんど実用化されていない。しかし、近年の集積回路技術の飛躍的進歩により、1Kbit から 288Kbit の大規模な連想メモリが実現されるようになり<sup>10)~13)</sup>、LAN のアドレスフィルタリングなどの通信分野にも実用化され始めた<sup>20)</sup>。

2.1 連想メモリ LSI の機能

集積回路による一般的な連想メモリの概念を図-1 に示す。この連想メモリは、 $m$ ワード 6ビットの CAM セルアレイ、マスクレジスタ、照合レジスタ、デコーダ、プライオリティエンコーダなどで構成される。検索動作では、検索データを CAM セルアレイに入力し、検索データと各ワードの記憶内容とを並列に照合する。この際、検索データの一部の照合を無視させるマスク機能がある。マスクしたいビット位置はマスクレジスタのビットパターンで指定する。図-1 の例では左から 3ビット目をマスクし、検索データの 3ビット目を照合しない。この結果、検索データ “101001” に完全に一致する第 3ワードだけでなく、3ビット目が異なる第 1ワードも一致を示

す。この照合結果は、“1”(一致)、“0”(不一致)として照合レジスタに格納される。複数のワードが一致すると、これを分離するためにプライオリティエンコーダが、ワードの小さい順などの優先順位をつけて一致アドレスを出力する。

一般に、連想メモリは検索機能とともに RAM 機能も合わせもつ。RAM 機能では、通常の RAM と同様にアドレスをデコーダに入力して記憶データの読み出し・書込みを行う。また、代表的な一致検索以外に大小関係などの検索機能も実現されている<sup>13)</sup>。

2.2 連想メモリセルの構成と動作

今までに実現されている連想メモリの代表的なメモリセル回路を図-2 に示す。通常の SRAM セル回路に EXNOR 回路を付加した図-2(a) に示す構成が最も一般的である<sup>13)</sup>。検索動作では、ワード線  $W$  を低レベルにしておき、検索データをビット線  $B$ 、 $\bar{B}$  に印加する。記憶データ  $D$  とビット線  $B$  上の検索データが異なると、トランジスタ  $T7$  と  $T8$  あるいは  $T9$  と  $T10$  が導通し、高レベルにプリチャージしておいたマッチ線はディスチャージされ、低レベルとなる。一方、記憶データと検索データが一致すると、トランジスタ  $T7$  か  $T8$ 、及び  $T9$  か  $T10$  が非導通となり、マッチ線は高レベルを保持する。複数ビットの連想メモリでは、同じマッチ線に複数のメモリセルが接続される。検索不要のマスクする検索ビットに対しては、ビット線対  $B$ 、 $\bar{B}$  を共に低レベルに

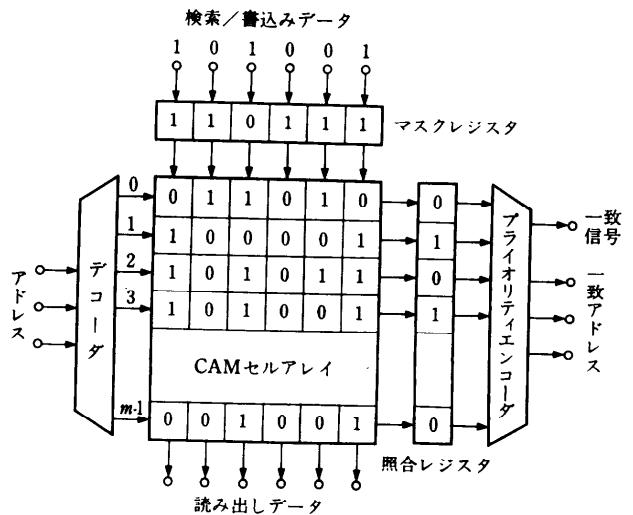
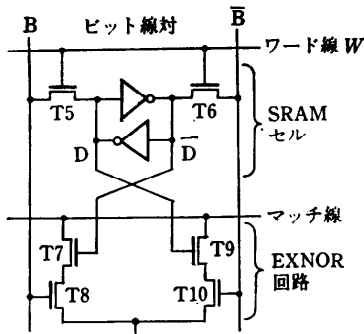


図-1 連想メモリの概念図

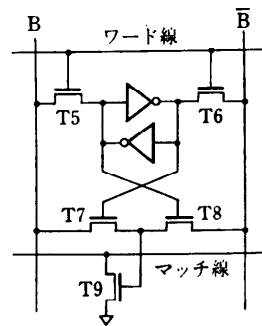
する。このため、トランジスタ T8 と T10 は共に非導通となり、マッチ線は記憶データに関係なく高レベルを保持し、一致を示す。その結果、このビットは検索対象から除外されることになる。

図-2 (b)は EXNOR 回路を同図 (a) より 1 個少ない 3 個のトランジスタで構成でき、最近の主流である<sup>12),20),24)</sup>。T5 及び T6 と直列に設けたトランスファゲートを選択的に導通させることにより、特定のビットのみデータを書き込む機能(部分書き込み機能)を付加した連想メモリセルも実現されている<sup>20)</sup>。図-2 (c)は同図 (a) にマッチ線と EXNOR 回路を接続するトランジスタ T11 とその開閉を制御する SRAM セルが追加されている<sup>16)</sup>。トランジスタ T11 を開放することにより、記憶データに関係なく一致を示す don't care の記憶状態を実現できる。インパータに各 2 個を要するので、素子数は 17 トランジスタである。

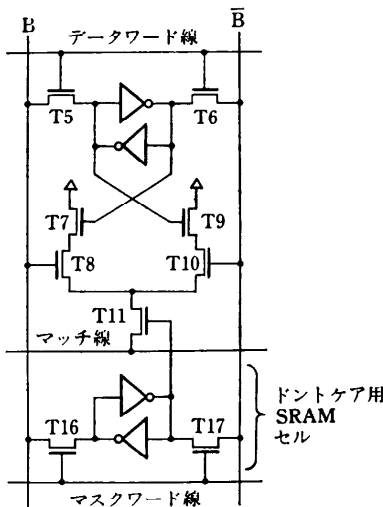
これらのメモリセルは全て SRAM によるものであるが、図-2 (d) は DRAM を用いている<sup>14)</sup>。ビット線 B1 と B0 から供給される書き込みデータは、ワード線を高レベルにすることによりトランジスタ T4, T5 を介してトランジスタ T2 と T3 のゲートに電荷として記憶される。この T2 と T3 のゲート電位 (1,0) が記憶 "0", (0,1) が記憶 "1", (0,0) が don't care を表す。ビット線 B0, B1 に与えた検索データと記憶データが不一致の場合に T2 か T3 のいずれかが導通し、マッチ線が不一致を示す低レベルとなる。最近報告されたダイナミック連想メモリでは、データを蓄積する 90 fF ( $fF=10^{-3}$  pF) のスタックキャパシタを T2 と T3 のゲートに設け、0.8  $\mu$ m CMOS プロセスで 1 ビット当たり 8.8  $\times$  7.5  $\mu$ m<sup>2</sup> という小さいセルサイズを実現している。また、T2, T3 に 2 重ゲートを用いて部分書き込み機能を



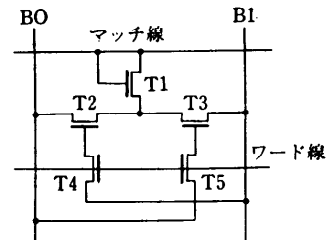
(a) 代表的な連想メモリセル<sup>11)</sup>



(b) 素子数が少ない連想メモリセル<sup>12),20),24)</sup>



(c) ドントケア機能をもつ連想メモリセル<sup>16)</sup>



(d) ダイナミック記憶の連想メモリセル<sup>14)</sup>

図-2 連想メモリ LSI の各種メモリセルの構成

実現した例もある<sup>17)</sup>。

表-1 は今までに開発された連想メモリ LSI の諸特性を示す。2 $\mu$ m NMOS デバイスにより 1 Kbit 連想メモリ<sup>10)</sup>が 1980 年に開発された後、1990 年には 0.8 $\mu$ m CMOS デバイスにより 160 Kbit の辞書検索プロセッサ<sup>22)</sup>が開発されている。最近では、ダイナミック方式によるセルサイズ 66 $\mu$ m<sup>2</sup> で 8K ワード 36 ビット構成の 288 Kbit のきわめて大容量な連想メモリ<sup>25)</sup>や、レスポンスタイム 1.9 ns の非常に高速なゲートアレイ用 64 ワード 32 ビット連想メモリマクロ<sup>24)</sup>が開発されている。

### 3. SRAM で実現された機能メモリ

前章に述べた連想メモリセルは、SRAM のメモリセルに比べ複雑であるため、SRAM 並みの大容量化が困難である。このため論理機能をセンスアンプにもたせ、SRAM セルを利用できるように工夫した機能メモリが開発されている。このような機能メモリとして、ストリング・サーチ・エンジンと辞書検索プロセッサを取り上げ、その構成と機能について述べる。

#### 3.1 ストリング・サーチ・エンジン (SSE)

ストリング・サーチ・エンジン (SSE) LSI<sup>18), 19)</sup> は、テキストなどの文字列の検索に威力を発揮する機能メモリである。SSE は図-3 に示すように文字情報を一文字ごとにシリアルに入力しながら、SSE の中に登録しておいた複数の登録単語と照合する。いずれかの登録単語に一致する文字情報を入力したときに、一致信号と登録単語を示すアドレスとを LSI は出力する。SSE は 528 文字を

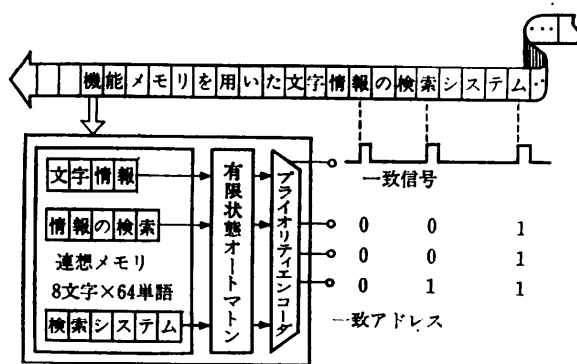


図-3 SSE (String Search Engine) の概念図

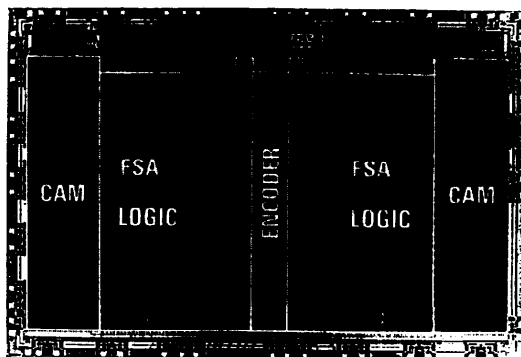


図-4 SSE のチップ写真<sup>19)</sup>

格納できる連想メモリをもち、そこに 512 文字以下の種々の長さの単語を混在させて登録できる。8 文字以下の単語ならば 64 個登録可能である。登録単語と照合するために SSE に与える文字情報の入力速度は最高 10 M 文字/秒である。この際、一文字の違いを許す曖昧文字列検索や、固定長/可変長ドントケア文字列を含む単語検索が可能である。図-4 にチップ写真を示す。この LSI では単語の照合を、文字とその文字の並び方とに分け

表-1 各種連想メモリ LSI の諸元

記憶容量 (bits)	1K	4K	8K	20K	2K	8K	16K	160K	2K	288K
記憶構成 (W)	64W	128W	256W	512W	64W	528ch	256W	10KW	64W	8K
(bit)	18b	32b	32b	40b	32b	16b	64b	16b	32b	36b
素子数/セル	10	11	10	11	5	6	9	6	9	7
配線数/セル	8	8	4	8	4	5	4	5	6	
セルサイズ ( $\mu$ m <sup>2</sup> )		5968	1080	578			760		1393	66
デバイス	nMOS	CMOS	CMOS	CMOS	CMOS	CMOS	CMOS	CMOS	BiCMOS	CMOS
設計ルール	2.0	3.0	2.0	1.2	3.0	1.6	1.3	0.8	0.5	0.8
素子数	34K	71.3K	99K	284K	30K	217.6K	234K	1209K		
チップサイズ (mm <sup>2</sup> )	20.3	86.5	34.1	41.9	23.9	110	71.5	162.9	5.1	123.6
消費電力 (W)	1.07	0.25	0.5	0.25	0.1	0.5	1.2	0.8	0.035	0.052
サイクルタイム (ns)	100	140	100	85	200	50	80	30		150
レスポンスタイム (ns)							40		1.9	85
発表年	1980	1983	1985	1987	1987	1987	1988	1990	1991	1991
参考文献番号	10)	11)	12)	13)	14)	18)	20)	22)	24)	25)

て行う。文字は連想メモリで比較し、文字の順序は連想メモリからの文字照合結果に応じて状態が遷移する有限状態オートマトンで調べる。

連想メモリは、ペアビット CAM (Pair-Bit Content Addressable Memory) セルで実現している。ペアビット CAM セルは通常の SRAM セルで構成した2ビットの連想メモリである。図-5は通常の4ワード×1ビットのRAMが2ビットの連想メモリとして働くことを示す。ペアビット CAM セルには16ビット文字コードの中の2ビットを入力する。書込みや検索のために、この2ビット・データをデコーダに入力する。RAMの内容を全てクリアした後に、入力データで指定したメモリセルにのみ“1”を書き込むことでデータの登録を行う。すなわち、2ビットの記憶データを4ビットのビット・パターンで表現して、RAMに格納する。図-5のビット・パターン“0100”は、記憶データ“10”を示す。この記憶データと同じデータ“10”をデコーダに入力すると、RAMは“1”の読取り信号を出力する(一致)。ほかのデータに対しては“0”を出力する(不一致)。読取り信号は、入力データと記憶データとの一致結果を示す。ペアビット CAMは2ビットの照合機能を有する。

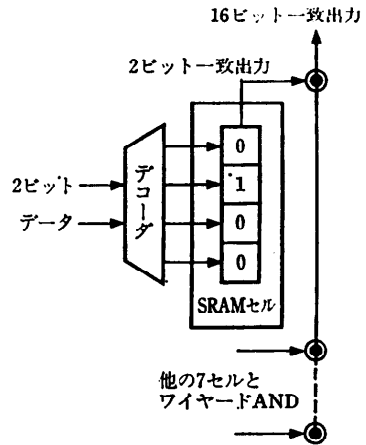


図-5 ペアビット CAM の原理. 4ワード1ビット RAM が2ビット連想メモリとして働く

表-2 RAM の記憶内容とペアビット CAM の記憶データの関係

RAM の記憶内容	0	0	0	1	0	1	0	1	1	0
	0	0	1	0	0	1	1	0	1	0
	0	1	0	0	1	0	0	1	1	0
	1	0	0	0	1	0	1	0	1	0
ペアビット CAM の記憶データ	0	0	1	1	0	1	?	?	?	x
	0	1	0	1	?	?	1	0	?	

ペアビット CAM セルは4ビットのメモリセルを用いて表-2に示す10種類の2ビットデータを記憶できる。“?”はドントケア・ビットを示し、“x”はデータを記憶していないクリア状態を示す。原理的には $2^n$ ビットのRAMでnビットの連想メモリを実現できるが、センスアンプの面積を考慮すると4ビットのRAMで2ビットの連想メモリを構成するのが最も効率が高い。なお、16ビットの文字コードの照合を行うために、8個のペアビット CAM セルのおおのこのマッチ信号(読取り信号)を互いにワイヤードANDで接続する。このように、ペアビット CAM セルは通常の CAM セルに比べ多くの素子を必要とするが、高密度化が可能な SRAM セルを利用でき、ドントケア状態やクリア状態を記憶できるなどの特長をもつ。

### 3.2 辞書検索プロセッサ (DISP) LSI

辞書検索プロセッサ (Dictionary Search Processor; DISP)<sup>22), 23)</sup>は、図-6に示すように部分選択型の160Kbit大容量DCAM (Data CAM)とインデックス検索用の1KbitのC<sup>2</sup>CAM (Control Code CAM)を搭載している。DCAMは、最大

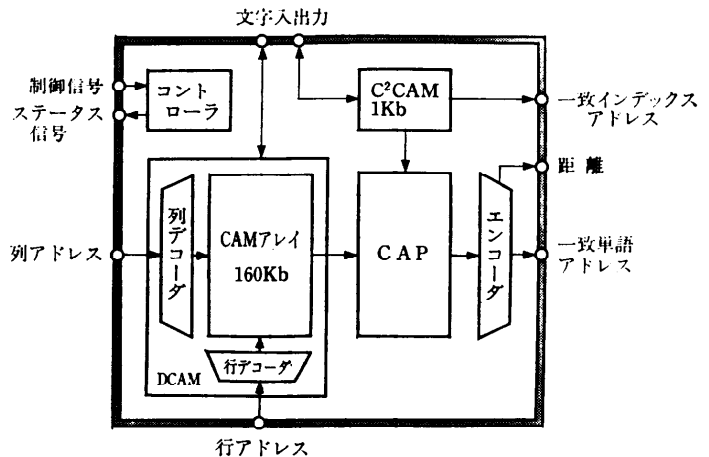


図-6 辞書検索プロセッサ (DISP) の構成<sup>21)</sup>

2048 単語を 16 のカテゴリに分類して記憶する。C<sup>2</sup> CAM は、各カテゴリにつき二つのインデックス (16 ビットコード) を記憶する。照合時には、まず、入力単語が上位階層の小容量の C<sup>2</sup> CAM により 16 のうちのどれかのカテゴリに分類され、照合の範囲をある程度絞り込む。その後、下位階層の大容量の部分選択型 DCAM が、そのカテゴリに属する 128 単語と入力単語とを文字単位で並列照合し、文字一致信号を出力する。全体の照合回数は 2 サイクルで済むので、数 10 サイクル必要なビットシリアル型 CAM よりも高速である。

図-7 に DCAM の詳細なブロック構成図を示す。DCAM は、20 個の CAM アレイからなっており、おのおのの CAM アレイは 512 行×16 列である。各行は、16 個の SRAM セルと、読取り

回路、書き込み回路、及び照合回路とで構成される。それぞれの列は、一つのカテゴリに属する単語を記憶する。また、1 文字は、各 CAM アレイの同じアドレスに位置する 20 個のメモリセル (たとえば、図-7 中の黒いセル) に記憶される。この 20 ビットは 2 バイトコードで表現される 1 文字と 4 ビットの制御用フラグからなる。単語は 1 文字ずつ続けて各列内に記憶される。4 文字分のメモリで 1 ブロックを構成し、各ブロックで 4 文字以下の 1 単語を記憶する。4 文字より長い単語に対しては隣接した複数のブロックを続けて使用する。1 列内には最大 128 単語を記憶できる。

図-8 に CAM アレイの 1 行分の回路構成を示す。ここでは、照合回路を 16 個の SRAM セルで共有してハードウェア量を減らしているにとど

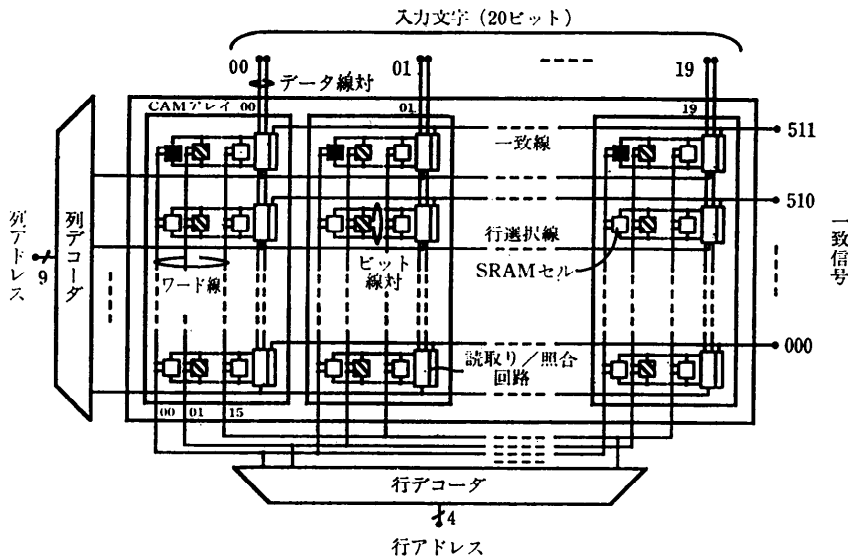


図-7 DCAM のブロック構成

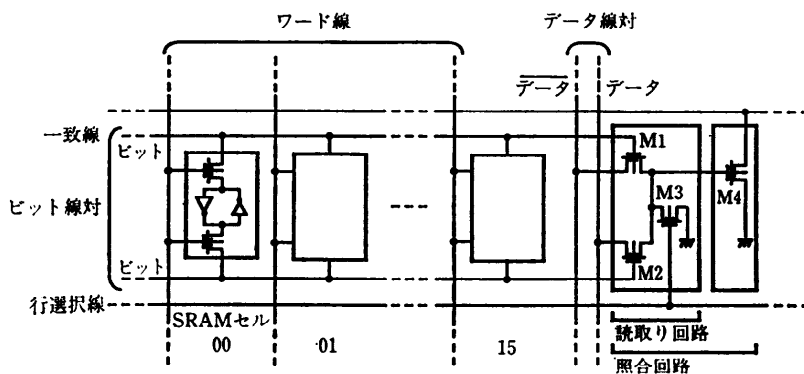


図-8 CAM アレイ 1 行の回路構成

まらず、照合回路を読取り回路と一体化することで、さらにトランジスタ数を削減している。その結果、図-8の回路は、トランジスタ M4 と一致線を除くと汎用 SRAM とまったく同じ構成になる。読取り回路の差動対 (M1, M2) は照合回路の EXOR ゲートとしても機能

する。書込み、読取り動作においては、1文字分の20個のSRAMセルを列及び行アドレスを指定してワード線、行選択線により選択し、文字データをデータ線 00-19 を通して読み書きする。照合動作においては、512文字を記憶した1列を列アドレスを指定してワード線により選択する。たとえば、4ビットの行アドレス“0001”は、図-7中の斜線で示された  $512 \times 20$  のSRAMセルを選択する。次に、照合回路において、ビット線に読み出された512記憶文字が、データ線 00-19 を通して入力された1文字と並列に照合される。この照合は図-8に示した照合回路で行う。照合回路はデータ線対に供給された入力データとビット線対に読み出された記憶データとを照合し、不一致の場合に一致線をディスチャージする。

このように汎用SRAMを利用できる構成にすることで160Kbの大容量連想メモリを実現している。

#### 4. 最近の機能メモリ LSI

今まで述べた連想メモリは各セルが記憶機能のほかに記憶データと入力データを照合する機能をもつ。最近では、メモリセルにAND論理機能をもたせたタイムスロット制御プロセッサ、インバータ2段の遅延機能をもたせたタイムメモリ、8値による照合機能をもたせた多値連想メモリなど多数の機能メモリLSIが開発されている。

##### 4.1 タイムスロット制御プロセッサ

ATM (非同期転送モード) 交換システムでは、図-9に示すように、同じ出力回線に2個以上のデータパケットが同時に転送され、衝突しないようにデータパケットの転送順序を制御する必要がある。この制御を行うのが図-10に構成を示すタイムスロット制御プロセッサ (TSCP) LSI である<sup>26)</sup>。記憶セルは検索データと記憶データとのAND結果をマッチ線に出力させる。32ワード64ビット機能メモリ (4ブロックで8Kb) は、そ

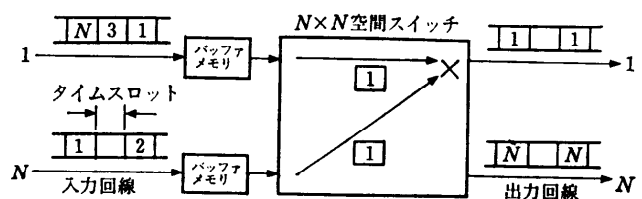


図-9 ATM交換機におけるデータパケットの衝突

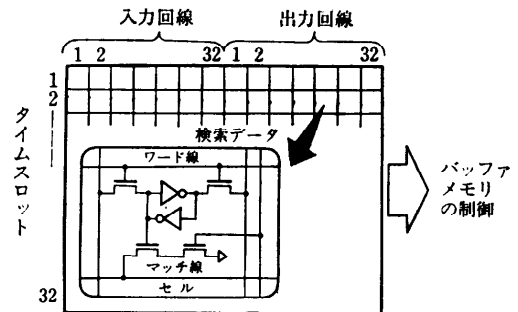


図-10 タイムスロット制御プロセッサの概略構成

の各ワードにタイムスロット番号を、各ビットに回線番号を割り当て、各ビットに特定のタイムスロットにおける回線の使用状態 (使用中を“1”) を記憶させる。検索データとして接続したい入力回線と出力回線のみ“1”となるビットパターンを与えると、その入出力回線が空いているタイムスロット (時刻) がマッチ線上に出力される。この出力が示す時刻でバッファメモリからのデータ転送を制御すれば、データパケットの衝突が避けられる。複数のタイムスロットに空きがあり、多重マッチになると、LSIは最も早期のタイムスロットを割り当てる。LSIが指定するタイミングにデータパケットを転送すれば、回線の衝突や衝突を避けるためのデータパケットの破棄が減少し、回線のスループットが著しく向上する。製造プロセスは  $1\mu\text{m}$  CMOS、動作周波数は 19.44 MHz、チップサイズは  $10.1 \times 9.6\text{mm}$  である。

##### 4.2 タイムメモリ

タイムメモリ<sup>27)</sup>は信号の変化タイミングをナノ秒の時間分解能で高精度に測定するためのツールとして、提案された機能メモリである。 $n$ ワード  $m$ ビットのメモリアレイの書込みデータとして測定したい入力信号を全メモリセルに与え、書込みタイミングをメモリセル当り  $\Delta t$  だけずらして書き込むと、メモリの記憶内容は入力信号のタイミングチャートを  $\Delta t$  の分解能で示すことになる。このタイムメモリの構成を図-11に示す。メモリ

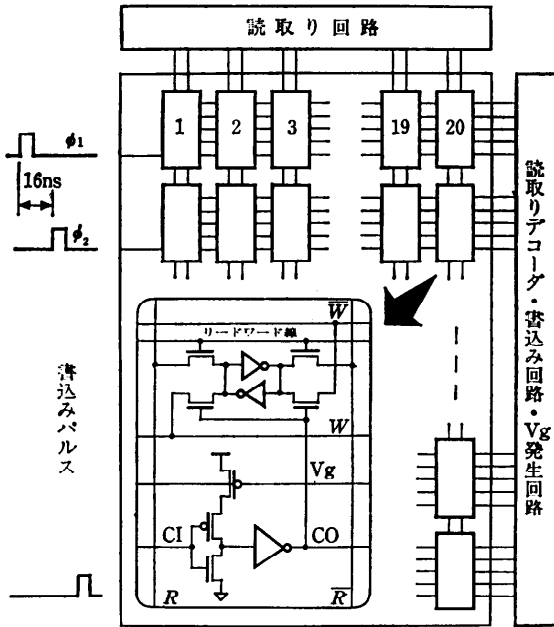


図-11 タイムメモリの構成

アレイの1行は20セルで構成される。各行には20  $\Delta t$  ずつ遅延させた書き込みパルスが供給される。書き込みパルスはメモリセル内のインバータ2段を介して隣接メモリセルに供給されるので、隣接メモリセルの書き込みタイミングはインバータ2段分の遅延時間(約0.8 ns)ずつずれる。

4.3 多値連想メモリ

多値記憶による連想メモリも提案されている<sup>28)</sup>。多値連想メモリのブロック構成は、入力パターンと記憶パターンとの類似度を求められる点が2値による通常の連想メモリと異なる。図-12は多値連想メモリの構成を示す。各メモリセル  $W$  は記憶値に近い入力データ  $X$  が与えられるほど大きな出力電流を発生する。 $W_1$  から  $W_n$  の出力電流和が域値  $\theta$  を越えた場合にその出力電流和から一定値  $B$  だけ減少させた電流を最大値検出回路に送る。したがって、入力パターン  $(X_1, X_2, \dots, X_m)$  に類似するパターンを  $W_1$  から  $W_n$  に記憶しているワードから大きな電流が発生する。最大値検出回路は最大の出力電流を発生するワードを求める。多値(8値)の記憶データはフローティングゲート MOS デバイスに記憶させている。このデバイスは、ドレインに高電界を印加

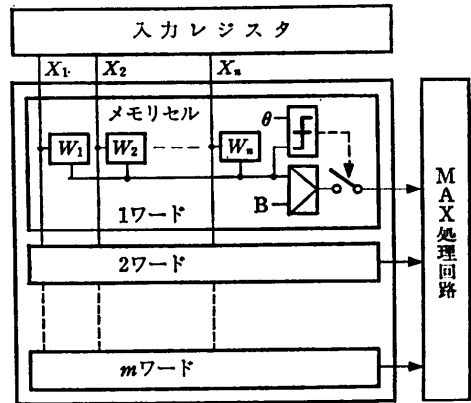


図-12 多値連想メモリの構成

し、 $\text{SiO}_2$  で絶縁された第1層ポリシリコンゲート上に電荷を蓄積させる。この蓄積された電荷がスレショルド電圧  $V_t$  をシフトさせ、多値を記憶する。

2.0  $\mu\text{m}$  CMOS プロセスで6ワード18桁(8値/桁)の8値連想メモリを0.9 $\times$ 2.0 mm で設計できている。3ビットの2進数に比べ、4倍高速でサイズを約1/30にできる。

5. 機能メモリの今後の展望

図-13にこれまでのSRAM, DRAM, 連想メモリ(CAM)の記憶容量の年次推移を示す(学会発表時期をプロット)。当初, SRAM には、高抵抗

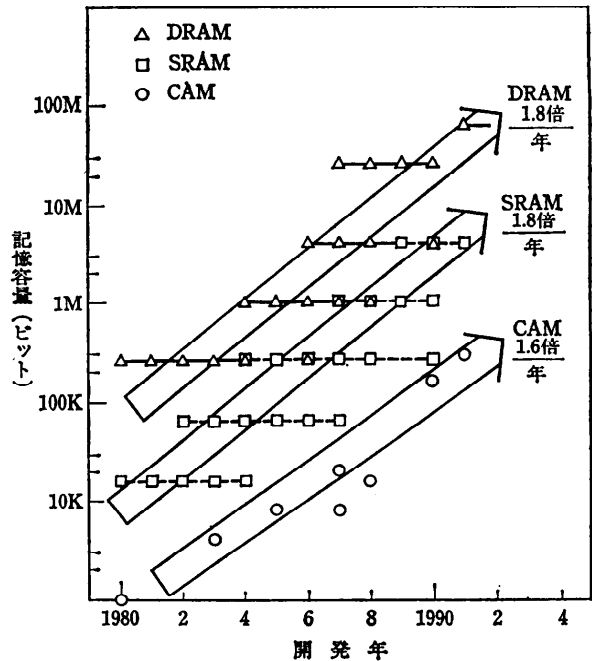


図-13 記憶容量の年次推移



負荷型と CMOS 型のメモリセルが使われてきた。16Kb SRAM から使われてきた高抵抗負荷型セルに代わり、4Mbit SRAM からは高密度化、低スタンバイ電流特性、ソフトウェア耐性に優れる pMOS の薄膜トランジスタ (TFT: thin film transistor) セルが用いられ始めた。SRAM はこのようなデバイス構造の進展とともに、世代ごとにチップ面積を約 1.5 倍大きく、メモリセル面積を約 1/3 に縮小して、年率 1.8 倍の大容量化を達成してきた。今後は 0.3~0.4  $\mu\text{m}$  及び 0.2~0.25  $\mu\text{m}$  技術により、セルサイズ 7  $\mu\text{m}^2$  及び 2  $\mu\text{m}^2$  程度の 16Mbit 及び 64Mbit の SRAM が実現されると考えられる。また、集積回路技術を牽引している DRAM は SRAM と同程度の微細プロセス技術を用いて、SRAM より 4 倍大きい 64Mbit や 256Mbit を期待できる。

連想メモリはメモリセルに SRAM セルを用いているので、記憶容量は SRAM と同程度の年率 1.6 倍で大きくなっているが、記憶容量は SRAM との素子数比 (約 1/2) で決まる容量より小さく、SRAM の 1/10 程度に留まっている。この原因として考えられるのは、汎用メモリが繰り返し作り込むことでプロセス、デバイス技術の完成度を高めているのに対し、機能メモリはデバイス構造よりも LSI アーキテクチャの研究に重点をおき、最先端でなく確実に動作する完成度の高いデバイス、プロセス技術で作られる点である。

マイクロプロセッサに搭載する RAM は 6 トランジスタの完全 CMOS 形 SRAM セルを用いているため、高抵抗負荷形セルを使う汎用 RAM に比べセルサイズが 3 倍近く大きい。このため、キャッシュメモリなどのオンチップメモリの大容量化が要求されているプロセッサ LSI では、高密度な高抵抗負荷形 SRAM セルや薄膜トランジスタ形 SRAM セルの利用が要望されている。この要望が満たされていけば機能メモリの大容量化が進展する。

今後は、1) 最先端 SRAM や DRAM 技術 (回路、デバイス、プロセス) の活用や、書換え頻度が低い辞書検索などへの応用に適した EEPROM を用いることによる連想メモリの大容量化、2) 連想メモリマクロを埋め込んだゲートアレイのシステムへの適用、などが進展すると考えられる。また、具体的な応用を意識して、周辺 LSI とのイン

タフェースを考えて必要な機能を取り込むことが必要となる。

## 参 考 文 献

- 1) 飯塚: 論理メモリ, 情報処理, Vol. 16, No. 4, pp. 274-285 (Apr. 1975).
- 2) Kohonen, T.: Content-Addressable Memories, p. 368, Spring-Verlag (1980).
- 3) 古谷: 応用指向メモリ, 情報処理, Vol. 27, No. 6, pp. 601-606 (June 1986).
- 4) 山田, 小倉: 機能メモリ, 信学誌, Vol. 74, No. 4, pp. 392-397 (Apr. 1990).
- 5) 小倉, 山田: 連想メモリ, 情報処理, Vol. 27, No. 6, pp. 593-600 (June 1986).
- 6) 小倉, 山田: 連想メモリ LSI の現状と今後, 信学誌, Vol. 69, No. 7, pp. 745-751 (July 1986).
- 7) Lee, E. S.: Associative Techniques with Complementing Flip-flops, Proceeding Spring Joint Computer Conference, pp. 381-394 (May 1963).
- 8) Igarashi, R., Kurosawa, T. and Yaita, T.: A 150 nanosecond Associative Memory Using Integrated MOS Transistor, IEEE ISSCC Dig. of Tech. Papers, pp. 104-105 (Feb. 1966).
- 9) Igarashi, R. and Yaita, T.: An Integrated MOS Transistor Associative Memory System with 100 ns Cycle Time, IEEE Spring Joint Computer Conf., pp. 499-506 (1967).
- 10) 小倉, 二階堂, 宮原: 1K ビット連想メモリ, 信学技法, EC 80-44, pp. 13-21 (1980).
- 11) Ogura, T., Yamada, S. and Nikaido, T.: A 4-kbit Associative Memory LSI, IEEE J. Solid-State Circuits, Vol. SC-20, No. 6, pp. 1277-1282 (Dec. 1985).
- 12) Ogura, T. et al.: A 20-kbit Associative Memory LSI for Artificial Intelligence Machines, IEEE J. Solid-State Circuits, Vol. 24, No. 4, pp. 1014-1020 (Aug. 1989).
- 13) Kadota, H. et al.: An 8 Kb Content-Addressable and Reentrant Memory, IEEE J. Solid-State Circuits, Vol. SC-20, No. 5, pp. 951-957 (Oct. 1985).
- 14) Wada, J.P. and Sodini, C.G.: A Ternary Content Addressable Search Engine, IEEE J. Solid-State Circuits, Vol. 24, No. 4, pp. 1003-1013 (Aug. 1989).
- 15) Mundy, J. L. et al.: Low-Cost Associative Memory, IEEE J. Solid-State Circuits, Vol. 7, No. 5, pp. 364-369 (Oct. 1972).
- 16) Chae, S. et al.: Content-Addressable Memory for VLSI Pattern Inspection, IEEE J. Solid-State Circuits, Vol. 23, No. 1, pp. 74-78 (Feb. 1988).
- 17) Herrmann, F.P. et al.: A Dynamic Three-State Memory Cell for High-Density Associative Processors, IEEE J. Solid-State Circuits, Vol. 26, No. 4, pp. 537-541 (Apr. 1991).

- 18) Yamada, H. et al. : A High-Speed String Search Engine, IEEE J. Solid-State Circuits, Vol. 22, pp. 829-834 (Oct. 1987).
- 19) 山田他 : あいまい検索が可能な文字列検索 LSI, 日経エレクトロニクス, No. 422, pp. 165-181 (1987-06).
- 20) Yamada, H. et al. : Real-time String Search Engine LSI for 800-Mbit/sec LANs, in Proc. CICC '88, pp. 21.6.1-4 (May 1988).
- 21) 山田他 : LAN のアドレスフィルタリングを超高速に処理する 16 K bit スtringサーチエンジン LSI, 信学論, J72-C-II, 5, pp. 391-397 (1989-05).
- 22) Motomura, M. et al. : A 1.2-Million Transistor 33 MHz 20-bit Dictionary Search Processor with a 160 Kb CAM, IEEE ISSCC Dig. of Tech. Papers, pp. 90-91 (Feb. 1990).
- 23) 本村他 : 120 万トランジスタ辞書検索プロセッサ—あいまい単語検索プロセッサの構成と機能—, 信学技法, ICD 90-2, pp. 7-14 (Apr. 1990).
- 24) Nagamatsu, T. et al. : A 1.9 ns BiCMOS CAM Macro with Double Match Line Architecture, in Proc. CICC '91, pp. 14.3.1-4 (May 1991).
- 25) Yamagata, T. et al. : A 288-kbit Fully Parallel Content Addressable Memory Using Stacked Capacitor Cell Structure, in Proc. CICC '91, pp. 10.3.1-4 (May 1991).
- 26) Akata, M. et al. : A Scheduling Content Addressable Memory for ATM Space-Division Switch Control, IEEE ISSCC Dig. of Technical Papers, pp. 244-245 (Feb. 1991).
- 27) Arai, Y. and Baba, T. : A CMOS Time to Digital Converter VLSI for High-Energy Physics, Symp. VLSI Circuits Dig. of Tech. Papers, pp. 121-122 (Aug. 1988).
- 28) Hanyu, T. Ishii, H. and Higuchi, T. : A Design of a High-Density Multi-Level Matching Array Chip for Associative Processing, IEICE TRANS. Vol. E 74, No. 4, pp. 918-928 (Apr. 1991).

(平成 3 年 9 月 2 日受付)



山田 八郎

1978年静岡工業高等学校卒業。同年、日本電気(株)に入社。1983年日本電気工専卒業。記憶階層システム、磁気バブルメモリ、知能メモリ LSI、超高速大規模プロセッサ LSI の研究開発に従事。現在、同社マイクロエレクトロニクス研究所システム ULSI 研究部研究課長。電子情報通信学会会員。



本村 真人

1987年京都大学理学部修士課程修了。同年日本電気(株)に入社。知能メモリ LSI、辞書検索プロセッサ LSI、並列処理 VLSI アーキテクチャの研究開発に従事。現在、同社マイクロエレクトロニクス研究所システム ULSI 研究部に所属。電子情報通信学会会員。



覆本 志健

1968年日本大学理工学部電気工学科卒業。同年日本電気(株)入社。1975年オハイオ州立大学大学院博士課程修了。Ph. D. 以来 NEC 研究開発グループにてアナログ LSI, デジタル LSI, メモリ LSI の研究に従事。1986年システム ULSI 研究部長, 1991年研究開発グループ副技師長。IEEE 会員, 電子情報通信学会各会員, 電子情報通信学会集積回路研究専門委員会副委員長。