

解説



マルチプロセッサスーパーコンピュータ PHI の研究開発

マルチプロセッサスーパーコンピュータ PHI  
における拡張記憶システム†

西直樹†† 妹尾義樹††

1. はじめに

本稿では、通産省スーパーコンピュータプロジェクト<sup>1)</sup>の一環として研究開発された大容量高速記憶装置 LHS (Large-capacity High-speed Storage)<sup>2),3)</sup>を中心に、拡張記憶装置の用途/現状技術について解説する。はじめに、商用システムも含めた拡張記憶装置の現状技術を紹介したのち、LHS を具体的に説明し、今後の技術について考察する。ついで、HPP-LHS を結合した PHI システム<sup>4)</sup>上に関連したアプリケーションについて解説し、拡張記憶装置の有用性を説明する。

2. 拡張記憶装置

まず拡張記憶装置の構成であるが、メモリ素子として DRAM を用い、8~32GB の容量と 1~2 GB/sec の転送率を有するのが一般的である。図-1 から分かるように、記憶階層上、拡張記憶は主記憶装置のすぐ下位に位置する。CPU からみた場合、拡張記憶へのアクセスをデータ転送命令だけに限定し、主記憶に転送後に目的の演算を行う方式が一般的である。DRAM を用いた他の記憶装置としては、ディスクキャッシュや半導体ディスクなども存在するが、拡張記憶装置はこれらの記憶装置と比べ、より高速かつ汎用である。以下、拡張記憶装置の機能/用途について説明する。

(1) 高速ファイル装置

この使用法が最も基本的であり、Cray 社のシステムをはじめ、日本においても第一世代のスーパーコンピュータから広く採用されている。ハードウェアの特徴として、半導体ディスクや

ディスクキャッシュで使われている入出力プロセッサを介した I/O ではなく、CPU 命令として拡張記憶—主記憶間の転送命令を用意し、転送完了までのターンアラウンドを優先した高速化設計が採られる場合が多い。また、半導体ディスクやディスクキャッシュでは、ディスクとの装置互換のためにソフトウェア (OS) においてディスク装置固有のトラックやセクタといった構造や、シークといった動作をシミュレートしている。これに対し、拡張記憶上の一時ファイルではファイル・レコードを直接拡張記憶上のアドレスにマップすることでソフトウェア・オーバーヘッドを削減し、一層の高速化を実現している。スーパーコンピュータ上のファイルにはユーザ入出力ファイルとジョブ・

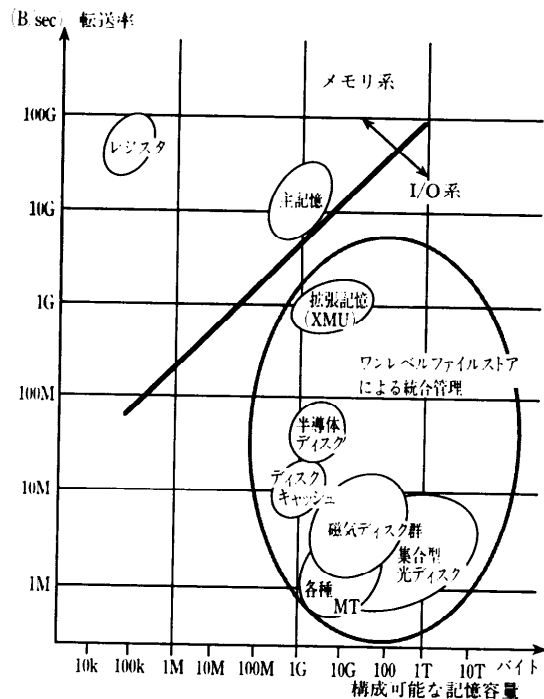


図-1 スーパーコンピュータの記憶構成

† Extended Memory System for Multi-Processor Supercomputer PHI by Naoki NISHI and Yoshiki SEO (C&C Systems Research Labs., NEC Corporation).

†† 日本電気(株) C&C システム研究所

スワップ・ファイル (BKST) の 2 種類が存在する。この違いの使い分けを図っている拡張記憶装置もある。たとえば S820 における拡張記憶 (ES)<sup>9), 10)</sup> では、同期転送命令をユーザファイル入出力に用いるほか、スワップ用には非同期転送命令を使用している。非同期転送実行中に同期転送命令の発行が行われると、非同期転送を一時中断して同期転送を優先実行させることにより、CPU 上のジョブの実行速度を犠牲にすることなく、システムレベルでの拡張記憶利用率向上を図っている。

拡張記憶装置 LHS の特徴は、これら従来型拡張記憶に対し、装置構成を半導体メモリ部と磁気ディスク群からなる階層構造にしたことである (図-2)。スーパーコンピュータ本体からみた場合には、この二階層メモリが単一記憶空間としてみえる「ワンレベルファイルストア方式」も新たに開発しており、記憶階層間の転送/配置制御もスーパーコンピュータ本体の CPU とは独立に行う。世の中の進展は速く、LHS 開発以降、階層記憶構成を採用する動きが広がっている。S820/汎用大型機用拡張記憶 ES の機能強化<sup>7)</sup>、UNIX を本格的に採用した SX-3 での SFS ファイルシステム<sup>8)</sup> などで階層記憶構成が採用されている。これらのシステムは、後述する LHS の目的の一つである、「入出力速度/容量の向上」を狙ったものと考えられる。

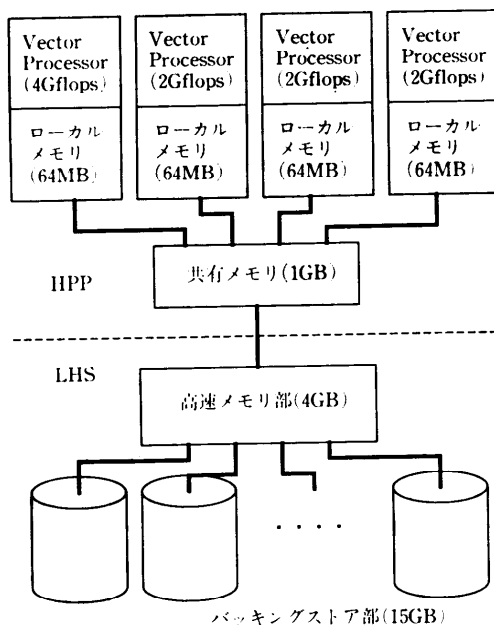


図-2 HPP-LHS システムの構成

## (2) 主記憶装置の延長

主記憶に入りきらない大規模配列を拡張記憶に配置し、メモリ装置として利用する。PHI システム上のアプリケーションとして開発した SPIN, LU 分解プログラム<sup>9), 10)</sup>での拡張記憶 LHS の使用法がこれにあたる。

## (3) マルチプロセッサ共有記憶

半導体メモリは高速である。マルチプロセッサ間の共有記憶装置に拡張記憶を用いることはごく自然であろう。LHS の研究開発当初においてもマルチプロセッサの接続に用いることを検討したが、目標性能であった 10GFLOPS 実現に拡張記憶経由でのマルチプロセッサ構成を必要としなかったため、LHS での採用は見送っている。LHS 以後の動きとして VP2000/汎用大型機の拡張記憶であるシステム記憶<sup>11)</sup>においてマルチプロセッサ接続が採用され、今後はこのような用途も増してくるものと考えられる。

## (4) フレームバッファ (グラフィックス)

この機能は S820 用拡張記憶 ES を利用した動画像出力システム<sup>12)</sup>として実現されているものであり、スーパーコンピュータ用拡張記憶としてはユニークな機能である。一画面を 650×484 ドット、RGB 各 8bit のデータを毎秒 30 こま出力する能力を備え、ES の最大容量 12GB を使用すると約 4 分のアニメーションがリアルタイム録画できると報告されている。将来的には、ネットワークやグラフィックスワークステーションの性能向上にともない、分散環境に移行していく可能性も高いと考えられるが、現時点における拡張記憶を利用した動画像システムはユーザにとって魅力的である。

以上、拡張記憶装置の現状技術を概観したが、大容量高速記憶装置 LHS ではさらに今後を見据え、特に OS の構造/OS が提供する機能の在り方を研究課題としている。次章からは LHS の設計思想である「ワンレベルファイルストア」と、実験システム LHS の詳細について説明する。

## 3. ワンレベルファイルストア

OS 設計者からみた記憶階層は、メモリ系とファイル系が大きな分れ目になる。ほとんどの計算機 OS はメモリとファイルを異なるものとして利用者プログラムに提供している。他方、OS にお

いてメモリとファイルを統合した環境として multics<sup>13)</sup> に端を発するワンレベルストアがあり、IBM 社のシステム<sup>14)</sup> で用いられている。ワンレベルストアには技術的な革新性があるものの、メモリ系とファイル系を分離したシステムの歴史的な重みには勝てず、なかなか世の本流にはなれないのが現状である。

LHS が提唱するワンレベルファイルストアはこのような現状を踏まえ、メモリとファイルは別ものとして捉えるが、ファイル系に関してより統合された環境をサポートすることを狙ったものである。LHS の基本構想を定めるにあたって認識した問題点/目標を以下に示す。

(1) 入出力速度/容量の向上

I/O 性能は、入出力装置自身の特性に依存するところが大きい。半導体ディスク、磁気ディスク、光ディスク、磁気テープなど、転送速度と容量、記憶特性の異なるさまざまな記憶装置が存在する。この特性の差異をできるだけ吸収し、実効的により高速、かつ大容量のファイルシステムを実現することが LHS の目的である。

(2) ファイルシステム設計の階層化

一般に OS が異なるとファイルシステムも異なる。新しい OS には新しいファイルシステムを構築する必要があるが、ファイルシステムを実現するプログラムの下位層モジュールは、異種 OS であっても同等機能である場合が多い。図-3 にワンレベルファイルストアを用いたファイル管理法を示す。従来、ファイルシステムは実入出力装置に対するドライバの上位に構築され、基本的には2階層の構造となっている。ワンレベルファイル

ストアでは、これを3階層に広げ、ワンレベルファイルストア管理を中間層として設ける。ワンレベルファイルストアが実現する機能は、データ管理中の物理バッファ I/O 機能と、ファイル管理における名前と実体との対応を保持する機能である。これにより、異なるファイルシステムや装置ドライバの構築を標準化し、かつ実現を容易にすることが可能となる。大型計算機では、ファイル/データ管理層として、通常ファイル、仮想記憶の BKST(Bac King STore: 仮想記憶のページアウト用二次記憶装置)、データベース管理など、目的に応じた複数のファイル管理システムが同時に動作しており、これらの構築も容易になる。また、最上位のファイル/データ管理をネットワーク上に分散させることも可能である。今回試作した LHS では、ファイル管理/データ管理層が動作する計算機をワンレベルファイルストア以下のファイル記憶システムから分離し、両者を専用ハードウェア・インタフェースで結合している。

(3) 多種/多様な半導体記憶装置の一元化

現在、汎用大型計算機やスーパーコンピュータには3種類の半導体記憶装置が存在する(ディスクキャッシュ、半導体ディスク、拡張記憶)。これらの装置本体は、比較的安価な DRAM をインターリーブして構成しているものの、ハードウェアの細部や、ソフトウェア上での取り扱いが異なり、ユーザからみた場合には別な装置となっている。LHS ではこれらの統一を図る。

前記の目的を考慮し、ワンレベルファイルストアは高速な半導体記憶装置とその他の入出力装置を階層接続した構成を基本としている。また、論理的には上位のファイル管理/データ管理とのインタフェースを以下のように定めている。

(1) アドレス空間

図-4 にワンレベルファイルストアのアドレス空間を示す。ワンレベルファイルストアは 2<sup>68</sup>B (256 EXA バイト) の論理記憶空間を有し、1MB 単位でアドレッシング可能である。この空間サイズは世界初と言える超弩級である。アドレス空間 (48 bit) は、32 bit の空間 ID (SPID: SPace Identifier) と 16 bit の空間内ブロックアドレス (BID: Block Identifier) からなる。ファイル管理層からの空間取得要求に際して、アドレス空間を確保し、32 bit の空間番号 (SPID) を引き渡す。

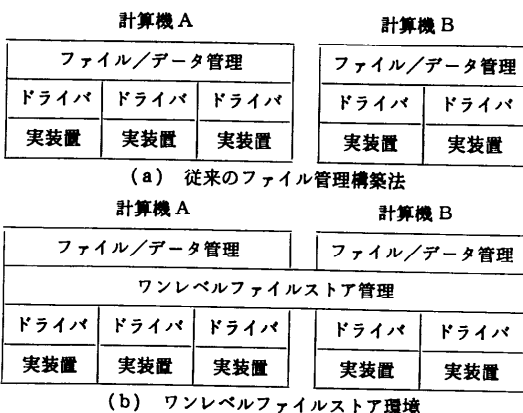


図-3 ワンレベルファイルストアによる I/O 系の分離

ファイル/データ管理層は、空間へのアクセスに先立ち、空間の使用をワンレベルファイルストアに通知する。LHS は OPEN 要求された空間に対して、16 bit の一時的な空間番号 (CSPID: Current SSpace Identifier) を割り当てる。ブロックの転送、ステージングなど以降のアクセスは、この CSPID と空間内ブロックアドレス BID の 32 bit のアドレスにより行われる。すなわち、ファイル/データ管理層は同時に 64 K 個までの空間に対してアクセスすることが可能である。

このアドレッシング方式は、基本的にセグメンテーションを用いたものであり、セグメントの最大サイズは 64 GB に制限される。64 GB を越える大空間取得要求に対しては、ワンレベルファイルストア側が連続した SPID を割り当てることで、大空間の使用を可能としている。

(2) 記憶空間管理コマンド

上記のアドレス空間に対して施すことが可能な操作には以下のものがある。

-空間管理コマンド

- 空間の取得/開放
- 空間の OPEN/CLOSE
- ステージイン/ステージアウト
- (+その他の制御用コマンド)

-空間アクセスコマンド

ブロックへの READ/WRITE

ステージング・コマンドはプリフェッチによるターンアラウンド短縮を狙ったものである。ここでワンレベルファイルストアにおける空間の考え方について説明する。ワンレベルファイルストアにおいて、空間は属性を備える。この属性には以下のようなものがある。

- 性能属性 (低速/中速/高速)
- 記憶属性 (パーマネント/テンポラリ)

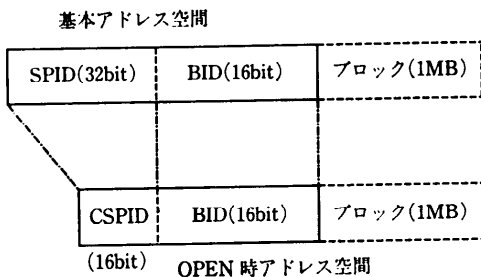


図-4 ワンレベルファイルストア LHS のアドレス空間

- アクセス属性 (シーケンシャル, ランダム)
- 信頼性属性 (ジャーナル, 二重化など)

ワンレベルストア管理は、この記憶属性を用いてよりの確な実データの配置制御を行うことが可能である。後述する実験システムではアクセス属性に基づくデータ配置制御を試みており、また、アクセス属性に応じた空間管理テーブルを用意することで、空間管理テーブル参照のローカリティ向上や、空間管理テーブルサイズの削減を図っている。

4. 大容量高速記憶装置 LHS

図-5 にワンレベルファイルストアの実験システムとして構築した LHS の構成を示す。LHS は HPP (High-Speed Parallel Processor) 側の共有記憶装置に接続される。LHS の記憶装置は半導体記憶部 (4GB) とディスク装置群から構成されている。半導体記憶部は 8GB まで拡張可能である。HPP-LHS 間は物理的に 2 種類のパスで接続している。第一のパスは空間管理系コマンドパスで、9,600 bps の無手順回線を用いている。通常、空間の作成/削除などのコマンドはアプリケーションプログラム中の出現頻度が少なく、実験システムでは簡便な接続法を用いている。本来は次に述べる第二のパスと共用するのが自然である。第二のパスは、空間アクセス系コマンド (read/write) の要求パスであり、転送要求は頻繁に発生、かつ

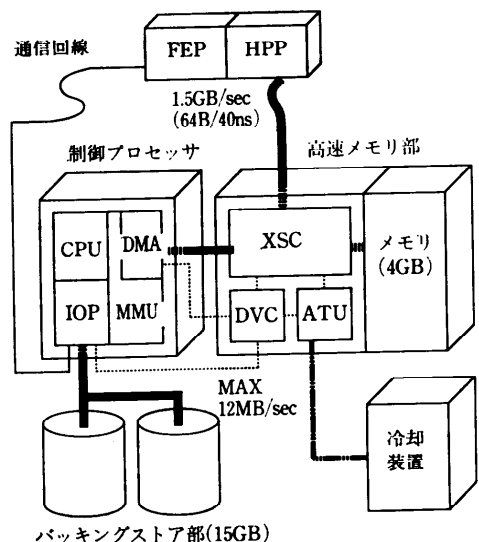


図-5 LHS のハードウェアの構成

処理遅延は性能低下を招くため、専用ハードウェアインタフェースを用いている。この第二のパスは 1MB のブロックのデータ転送パスと共用しており、64B のデータバス幅を備える。

LHS のような仮想ファイルシステムでは、ある論理アドレスに対応するデータが高速メモリ部に存在するのか、ディスク装置部に存在するのかをきわめて高速に判定する必要がある。この目的のため、ハードウェア・アドレス変換ユニットを備えて、高速メモリ部に存在するデータに対しては、制御プロセッサを介入させることなく、直接ハードウェアでデータ転送を行うことを可能としている。このアドレス変換ユニットには液浸冷却<sup>15)</sup>や GaAs 素子<sup>16)~18)</sup>などの新実装/新 LSI テクノロジーなども使用している。

これらのハードウェア構成上に構築されたファイルシステムは、図-6 のようになっている。ファイル/データ管理層は HPP 上の OS/ライブラリで実現されている。したがってアプリケーション中の文字列で表現されているファイル名をワンレベルファイルの空間番号に対応させることは HPP 側で行われる。また、本来この層でファイルの論理レコードと物理レコードの対応をとる

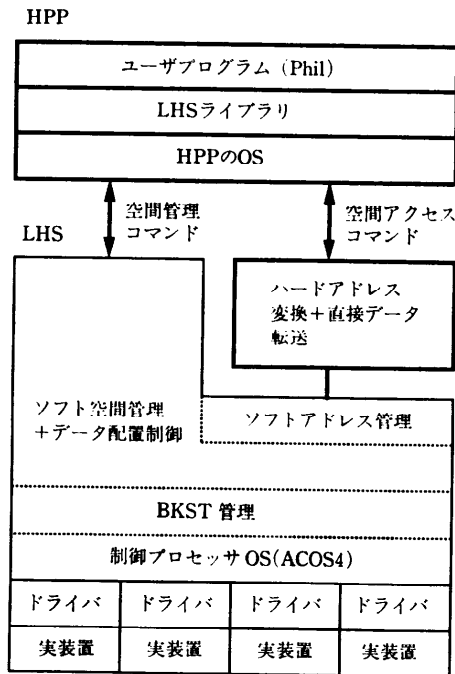


図-6 LHS のソフトウェアの構成

必要があるが、今回の実験システムでは暫定的に論理レコードと物理レコードは等しいものとし、ユーザプログラムのデータ領域と LHS 間で直接転送を行っている。ワンレベルファイルを実現する層以下は LHS 制御プロセッサ上に実現している。

### 5. PHI システム上での科学技術計算

LHS の有効性を実証するために、PHI システムのための原子力コード SPIN と大規模 LU 分解コードを開発した。ワンレベルファイル機能により、LHS 高速メモリ部と LHS BKST の間のデータ転送を明示的に記述する必要がない。LHS の巨大なメモリ空間を用いた計算が、アルゴリズムの工夫（並列化と、メモリ階層間のデータ転送最適化に共用できるローカリティの抽出）によって、HPP のマルチプロセッサを有効に利用できることを実測結果により示す。

#### 5.1 原子力コード SPIN<sup>19)</sup>

SPIN コードは物質の常磁性、強磁性、反強磁性のそれぞれの磁気特性間の相転移について解析するプログラムで、日本原子力研究所で、原子炉材料の研究に利用されている。与えられた温度、磁場での物質を構成する各原子のスピ及びその相互作用についての計算を行う。Ising モデルに基づいて、隣接スピン間相互作用だけを考え、転送行列法というアルゴリズムを用いると  $n \times n$  の 2 次元の計算に 1 次元分のスピンの全ての組み合わせ、すなわち  $2^n$  に比例するデータ領域が必要になる。PHI システムでは  $n=28$  の場合について、4GB の主要データを LHS の高速記憶部に置いて実行を行った。必要な浮動小数点演算の数は  $1.2 \times 10^{12}$  で、Tera のオーダーである。

SPIN コードは図-7 のように横方向、縦方向のトレースという処理で長さ  $2^n$  の配列 Z と ZQ を求め、内積と同形の演算により Z と ZQ の相関関

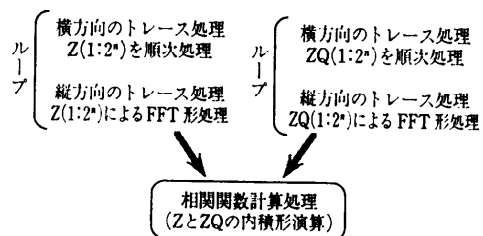


図-7 SPIN の処理フロー

数を求める。また各トレース処理の直後に、 $2^n$  個の全てのデータを、その最大値で割るノーマライズ処理を行う。

以下で並列化及びデータ転送のアルゴリズムについて述べる。

(1) 横方向トレース処理

$2^n$  個のデータ処理は全て並列に処理できる。よって、4台の各プロセッサに  $2^n/4$  ずつのデータ処理を割り当て、各プロセッサは割り当てられた処理を、ローカルメモリに入りきる処理に分割して、順次処理する。

(2) 縦方向トレース処理

データアクセスパターンは  $2^n$  点の1次元 FFT と同一である。FFT 形処理は係数変換をうまく行えば、任意の次元への FFT 再構成<sup>20)</sup>が可能であるから、図-8のように  $2^{20}$  (X方向)  $\times$   $2^6$  (Y方向)  $\times$   $2^2$  (Z方向) の3次元 FFT に再構成して考える。X方向1列が転送単位のブロックである。すると、XY平面、XZ平面ともに共有メモリに入りきるため、まずXY平面(512MB)を単位として、全データを走査すると、X方向、Y方向のFFT処理ができる。次にXZ平面を単位(32MB)として走査すると、Z方向の処理ができる。つまりLHSと共有メモリ間では全データが2往復する必要がある。共有メモリとローカルメモリ間については、上のXZ平面処理は、XZ平面がローカルメモリに入りきるために、全データ1往復で

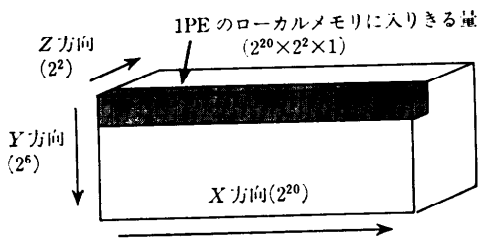


図-8 FFT型処理の3次元再構成

よい。一方Y方向の処理はXY平面の1/16(X方向4列分)しかローカルメモリにのらないために、Y方向6ステップについて、1往復で2ステップずつの計3往復の処理が必要になる。パタフライのステップとデータ転送の様子を図-9に示す。結局1回の縦方向トレース処理に必要なデータ転送はLHS-共有記憶転送が2往復、共有記憶-ローカルメモリが4往復である。これは、オリジナルプログラムにおいてオン・デマンドで実行した場合に、両方とも28往復のデータ転送が必要になることに比べて格段に効率がよい。

(3) 相関関数計算処理

データアクセスパターンは  $2^n$  点データ同士 (ZとZQ)の内積と同一である。そこで、各プロセッサで部分内積をローカルエリアに足し込み、クリティカルセクション中で、ローカル値を共有データに足し込む。

(4) ビットパターン生成処理

横方向のトレース、相関関数計算においては、 $n(=28)$  ビットの全組み合わせパターンが必要となる。一つの組み合わせを28ワードで表現するため、全体を一度に保持すると28GBにもなる。オリジナルのプログラムでは必要の都度  $n$  の2進表現を計算していたが、これに必要な  $n$  回の mod 2 計算の負荷が重く、全体の処理時間の20%以上を占めていた。そこで共有記憶に17ビット分の全組み合わせパターンをあらかじめ作成しておく ( $17 \times 2^{17} \times 4 = 8.7$  MB)、これを必要に応じてロードし、残りの11ビット分を毎回計算することにした。

(5) ノーマライズ処理

計算の精度を保つために、トレース処理の間にノーマライズ処理が必要になる。これは、 $2^n$  個のデータの最大値で全データを割る処理であり、これを単独で行うと、全データの最大値を求めるのに1度、割り算に1度と、全データがメモリ階層

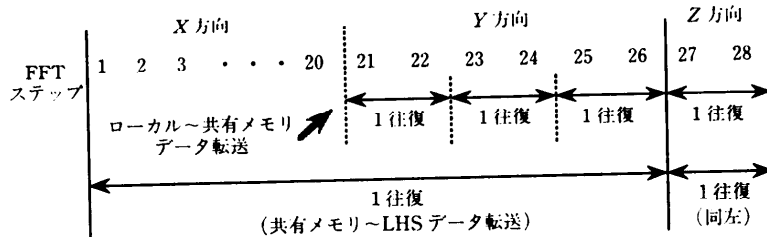


図-9 縦方向トレース処理のデータ転送

を2往復する必要がある。そこで、この処理の一つ前の処理が終了して LHS にデータを書き戻すときに、同時に最大値を計算しておき、ノーマライズ処理の次の処理でデータをロードする際に、最大値で割るようにした。これによりよけいなデータ転送なしにノーマライズ処理が実行できる。

### 5.2 大規模 LU 分解 (密行列)<sup>9),10)</sup>

PHI システムで以下の LU 分解を解く。世界最大級の問題である。

- 係数行列 : 32,768×32,768  
非対称密行列
- 行列要素 : 倍精度 (8 バイト)
- データ量 : 8GB (係数行列)
- 計算スキーム : ガウス消去法
- Floating 演算量 : 23.5×10<sup>12</sup> (23.5 Tera)

係数行列は LHS BKST に格納し、バッファ領域として LHS 高速メモリ部 4GB、共有メモリ 768 MB、ローカルメモリ 32MB×4 プロセッサの計4階層メモリを用いた。高速実行の鍵は SPIN と同様に、メモリ階層間データ転送の最適化と、並列化である。今回、新たに開発したアルゴリズムの特徴は以下のとおりである。

(1) ブロック分割ガウス消去法内積形<sup>21)</sup>の利用

京都大学で開発され、2階層メモリ間のデータ転送を最適化するアルゴリズムである。

(2) ブロック分割の再帰的適用

まず、LHS 高速メモリが主記憶であると想定し、LHS 高速メモリ-LHS BKST 間のデータ転送を(1)により最適化。次に LHS 高速メモリ上の処理に(1)を適用して、共有メモリとの間のデータ転送を最適化。さらにもう一度これを繰り返して LHS BKST からローカルメモリまでの4階層メモリ間データ転送が最適化できる。

(3) 並列化

分割されたブロック同士の処理を並列化することにより粒度が大きくなる。

### 5.3 評価結果と考察

平成2年1月に富士通(株)沼津工場において PHI システムを用いた実測を行った。SPIN の結果を図-10 に示す。n=28 の実行時間 (ELAPSE) は4PE を用いて2時間強であり LHS アクセス時間が 18% を占める。n=26 の場合には4PE の加速率が3.2倍であった。

n	PE 数	経過時間 (秒)	LHS アクセス時間 (秒)	加速率 (倍)
26	4	1854	348	3.20
	2	3182	348	1.87
	1	5936	348	1.00
28	4	7644	1415	—

図-10 SPIN コード実測結果

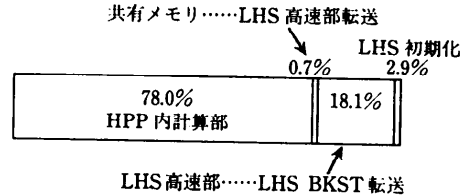


図-11 LU 分解実行時間の内訳  
(32768×32768, Total 10時間40分)

LU 分解の結果を図-11 に示す。ELAPSE 時間が10時間40分であり、LHS アクセスが22% を占める。実効性能は570 MFLOPS であり、PHI システムのピーク性能から比べると低いが、磁気ディスクを含む4階層メモリを用いた結果としては評価できる値である。また、1/4 の規模 (16384×16384) で測定した並列化加速率は4PE で2.8倍であった。

これらの加速率の値は、マルチプロセッサ構成で高めた CPU 性能に応じて必要となる大きなメモリ空間を、LHS の階層メモリで提供することが可能であることを示している。すなわち、SPIN、LU 分解を通じて、(1)シーケンシャル、(2)総和・内積形、(3)FFT 形、(4)LU 分解形の数値処理を代表するデータアクセスパターンについて、大規模問題が、階層メモリを利用して高速に解けることが示せたと考える。

## 6. おわりに

スーパーコンピュータは今後高性能実現のために、必然的に並列マシン化が進んでいく。このような環境で記憶系に関しても実効的な高速性と大容量化を実現するためには、階層化と分散化が進まざるをえない。現時点ではプログラム作成者がプロセッサのアーキテクチャ、記憶階層構造を理解したうえで、各プロセッサとローカルメモリへの処理とデータの割り当てを工夫し、これに対応した記憶階層間でのデータ転送をきめ細かく制御する必要がある。将来的には、プログラムのアー

キテクチャへの依存性を可能なかぎり少なくすることが要求され、そのためには、並列処理の記述、並列性の記述、並列性の検出などの並列処理技術とともに、記憶階層制御技術の蓄積が必要となるが、ワンレベルファイルストアは、その実現のために有力な手段といえるであろう。

### 参考文献

- 1) 田村：スーパーコンピュータプロジェクトの成果概要，電子情報通信学会誌，Vol. 73, No. 12, pp. 1318-1327 (Nov. 1990).
- 2) 西，大野，妹尾，中崎，藤原，実宝，増本：大容量高速記憶装置 (LHS) の基本方式，情報処理学会 OS 研究会，No. 47-5, pp. 1-8 (June 1990).
- 3) 西，大野，妹尾，中崎，実宝，来住野，銅谷：LHS: A One-Level File Storage for Supercomputers, 電子情報通信学会コンピュータシステム研究会，Vol. 90, No. 100, pp. 9-16 (June 1990).
- 4) 橋本，神谷，粕谷，栗林，成田：Hierarchical Memory Connected Multi-Processor, 電子情報通信学会コンピュータシステム研究会，Vol. 90, No. 100, pp. 1-8 (June 1990).
- 5) Wada, H., Kiri, Y., Maruyama, H. and Kawabe, S.: Performance Enhancement by Extended Storage on HITACHI Supercomputer S-820 System, Proc. of ICS '89, Vol. 1, pp. 271-278 (Apr. 1989).
- 6) 安部，和田，石井，河辺：スーパーコンピュータにおける記憶階層について，情報処理学会計算機アーキテクチャ研究会，No. 73-6, pp. 39-44 (Oct. 1988).
- 7) 片田，細内，新井，吉澤：拡張記憶を利用した仮想記憶制御方式ならびに性能評価，情報処理学会 OS 研究会，No. 50-1, pp. 1-8 (Mar. 1991).
- 8) Nishino, H., Naka, S. and Ikumi, K.: High Performance File System for Supercomputing Environment, Proc. of Supercomputing '89, pp. 747-756 (Nov. 1989).
- 9) Seo, Y., Shiroto, Y., Nishi, N. and Nakazaki, R.: An LU Factorization Algorithm for Parallel Supercomputers with Memory Hierarchies, Proc. of IEEE Pacific Rim Conference on Communication, Computers and Signal Processing, Vol. 1, pp. 17-20 (May 1991).
- 10) 妹尾，白戸，西：階層メモリを有するスーパーコンピュータのための LU 分解並列アルゴリズム，情報処理学会計算機アーキテクチャ研究会，No. 83-13, pp. 73-78 (July 1990).
- 11) 金子：システム記憶と複合計算機システム SCMP について，情報処理学会 OS 研究会，No. 47-4, pp. 1-8 (June 1990).
- 12) 矢島，栗原，安生，河辺，青山：スーパーコンピュータとサイエンティフィックヴァイジュアライゼーション，日立評論，Vol. 72, No. 3, pp. 83-90 (Mar. 1990).
- 13) Organick, E. I.: The Multics System: An Examination of Its Structure, Cambridge, the MIT

Press (1972).

- 14) Henry, G. G. et al.: IBM System 38 Technical Developments, General System Division, IBM Corp. (1978).
- 15) Umezawa, K., Mizuno, T. and Nishimori, H.: GaAs Multichip Package for Supercomputer, Umezawa, Mizuno, Nishimori, IEICE Transactions, Vol. E74, No. 8, pp. 2309-2316 (Aug. 1991).
- 16) Maeda, T., Miyatake, Y., Tomonoh, Y., Asahi, S., Ishikawa, M., Nakaizumi, K., Ohno, Y., Ohno, N. and Furutsuka, T.: A GaAs Buffering Circuit LSI for Ultra-Fast Data Processing Systems, in Technical Digest, IEEE GaAs IC Symposium, pp. 139-142 (1988).
- 17) Matsunaga, N., Miyazaki, M., Kagaya, O., Haga, T., Tanaka, H. and Yanazawa, H.: Half-Micron Gate GaAs MESFET Technology Using Selectively Grown N+ Layer for High Speed Static RAM Fabrication, in Technical Digest, IEEE GaAs IC Symposium, pp. 147-150 (1989).
- 18) Yanazawa, H.: New Device Technologies Developed in the Japanese National Project on Super Computer System, in Technical Digest, IEEE GaAs IC Symposium, pp. 7-10 (1990).
- 19) 横川，浅井：SPIN, AEOLUS-E1 の並列性解析日本原子力研究所報告書，pp. 1-29 (1988).
- 20) Tsuda, T. and Seo, Y.: Supercomputing External Multidimensional FFT, Journal of Information Processing, Vol. 11, No. 2 (1988).
- 21) Tsuda, T. and Okabe, Y.: Use of Semi-conductor Extended Storage as Extended Main Storage for Large-Scale Supercomputing, Proceedings of the Second International Conference on Supercomputing, Vol. 1 of three volumes, pp. 176 (May 1987).

(平成 3 年 11 月 1 日受付)



西 直樹 (正会員)

1959 年生。1982 年広島大学工学部二類 (電気系) 卒業。1984 年同修士課程修了。同年，日本電気 (株) に入社。以来，C&C システム研究所でスーパーコンピュータの研究開発，特に命令発行制御方式，並列メモリシステム，VLS アーキテクチャ等の研究に従事。現在，C&C システム研究所主任。電子情報通信学会会員。



妹尾 義樹 (正会員)

1961 年生。1984 年京都大学工学部情報工学科卒業。1986 年同修士課程修了。同年，日本電気 (株) 入社。以来，C&C システム研究所でスーパーコンピュータの研究開発に従事。特に並列アーキテクチャ，自動並列化方式，並列アルゴリズムに興味を持つ。1988 年本会論文賞受賞。