

特集「ハードウェア記述言語—新しいシステム設計環境の 実現に向けて—」の編集にあたって

安浦 寛人† 山田 輝彦†

集積回路技術の進歩により、大規模な回路を比較的安価に短時間で製造することができるようになっている。また、機能レベルの記述から論理回路やレイアウトを自動的に合成する技術の急速な進歩により、システムの動作を機能レベルで設計すればハードウェアが実現できるようになりつつある。

システムの動作を半導体技術に依存しない上位の設計モデルを用いて正確に表現できれば、新しいシステム設計の概念や構成法の評価が容易になり、また設計資産の再利用も可能となる。その結果、システム開発の大幅な期間短縮や費用削減が実現できる。

近年、ハードウェア記述言語をシステム設計者の設計ツールとして位置付け、これを基本として一貫性のある設計自動化ツールを整備する動きが活発になっている。このような新しいシステム設計環境が実現されれば、システム設計者がハードウェアの実現に重要な役割を果たす ASIC (Application Specific Integrated Circuits) の設計を容易に行えるようになる。

そこで、主として ASIC ユーザからの要望により、国内外でハードウェア記述言語の標準化あるいは普及活動が精力的に進められており、また言語を用いた設計手法の有用性についてはさまざまな議論が行われている。多くのシステム設計者が共通の言語を用いて設計を行うようになれば、ASIC ユーザの半導体メーカーや CAD ベンダに対する立場も大きく変化していくことは必至である。

本特集は、このような状況を踏まえて、システム設計者、回路設計者、CAD 技術者にハードウェア記述言語の現状と問題点を紹介し、また一般の読者にも新しいシステム設計環境の実現に向けて関心をもっていただくことを目的に企画された。

第 1 部「論理合成時代のハードウェア記述言

語」では、ハードウェア記述言語の現状と問題点および今後の言語設計の方向を議論し、言語の標準化についても概説している。さらに、言語の特徴を比較するために必要な項目を示し、第 2 部への導入をしている。

第 2 部「主要なハードウェア記述言語の特徴と標準化状況」では、現在標準化や普及活動が進められている 4 つの言語について、その特徴と活動状況を解説している。2.1 UDL/I と 2.2 VHDL は公的機関が主導して標準化が進められている言語であり、また 2.3 SFL と 2.4 Verilog HDL は CAD ベンダがその使用実績を基に普及活動を行っている言語である。各解説は、1. まえがき、2. 言語設計の基本思想、3. 言語の主な特徴、4. 処理系の開発状況、5. 標準化の状況、6. 応用例、7. あとがき という統一された章構成になっており、第 1 部に示された項目ごとに各言語の内容が比較できるようになっている。

第 3 部「ハードウェア記述言語の比較」では、言語のスコープ、意味定義、タイミングの仮定、データ型および文法を比較項目にあげ、簡単なマイクロプロセッサをベンチマークとして上記の各言語で記述し、それに基づき各言語の相違点を具体的に示している。

本特集では、対象とした各言語の優劣を論じるのではなく、それぞれの特徴と現状ができるだけ客観的に示されることを願い、記述内容を上記のように限定させていただいた。今後もいくつかの言語が提案され、淘汰されつつ、より使いやすい言語が産み出されると思われる。共通のハードウェア記述言語によるシステム設計が定着するまでには、数多くの困難な問題が解決されなければならない。この特集がそのための議論の一助となれば幸である。

最後に、ご多忙中にもかかわらず、執筆および閲読を快くお引き受けいただいた方々に厚くお礼申し上げます。
(平成 4 年 9 月 21 日)

†九州大学大学院総合理工学研究所
†† 明治大学理工学部