

解 説

情報処理機器における実装技術

1. 高密度・低コスト実装技術の開発と現状

The Development Status of High Density and Low Cost Packaging Technologies by Yutaka TSUKADA (Yasu Technology Application Laboratory, IBM Japan).

塚 田 裕¹

¹ 日本アイ・ビー・エム(株)野洲研究所

1. 高密度化の原点

今日、ダウンサイジングによりアプリケーションの末端にまで高性能の半導体チップが入り込むようになったが、半導体チップはそれ自身のみでは動作できない。チップの端子に電源線や信号線が接続されて、はじめて電源が入り回路につながり使用可能になるわけである。これらの接続を完了し最終製品の中に取りつけることができる状態にするためにプリント配線板上に関連電子部品とともに収納することを実装という。

トランジスタが発明されてから 50 年が経過し、1cm 角の IC チップに数百万個も集積して使用されるようになった。このような半導体の変化に対して、その実装も初期の 1 個のトランジスタを 1 つのパッケージに収納しプリント配線板に搭載していた形態から大きく変化してきた。商用大型コンピュータの草分けである IBM システム/360 が、図-1 に示す IC モジュールを使用したのは 1965 年である。Solid Logic Technology (SLT) と呼ばれたこのモジュールは、わずか 0.7mm 角のトランジスタ・チップ 4 個を、微小な 100 μ m 径のはんだコートした銅ボールを使用して、セラミック基板に実装した¹⁾。これはフリップチップ実装と呼ばれ、チップの機能面を上に向けて実装するワイヤボンダ実装と異なり、チップをひっくり返して機能面を下にして実装する方式である。図の右側がキャップをとった状態で、4 カ所のコーナ近くに各々 3 本の配線が出ているのがトランジスタ・チップである。この実装方式は大型コンピュータとともに進化し、その頂点を 1980 年の IBM システム/3081 で採用された大型マルチチップ・モジュール、Thermal Conduction Module (TCM) で迎えた。図-2 に示

すこのモジュールは、90mm 角、35 層のセラミック基板に最大 131 個のチップをフリップチップで搭載し、チップからの発熱をヘリウムを介して、チップ背面のアルミニウム・ピストンから最終的には冷却水に放熱した。TCM は、ピストン材料の銅への変更、ヘリウムに代わり液体を使用、さらに空冷形式も加えるなどの改良を施し、最大発熱量は 8KW にも達しているが基本的形態は今日においても変わっていない。一方、低コストの実装方式として 1970 年代後半から広く使われ始めたのが、ワイヤボンダ接続したチップ搭載部分を堅いプラスチックで固めたプラスチック・モールド・パッケージである。初期は Dual In-line Package (DIP) というモールドから出ている金属のリードが 2 列の形式であったが、ロジックチップの密度が増すにつれてリード数が増加して、図-3 のような 4 方向にリードがでる Quad Flat Pack (QFP) となった。チップとリードフレームの間は金線を使用したワイヤボンダで接続され、リードの次レベルへの接続部分を残してプラスチックでモールドされている。この方式は種々のメモ리카ードや PC を主体としたアプリケーションに使われ、今日でも低コスト領域の代表的実装技術である。

2. 新しい実装技術

次に、実装に関係した面から詳細なチップの変化をみえる。図-4 は、プロセッサチップの諸元について 1970 年から現在までの変遷を図示したものである。セル・サイズの縮小でチップあたりのトランジスタ数は大きく増加しており、それとともに入出力端子数も一定の比率で増加している。クロック周波数も密度の増加とともに上昇してきた。ウェーファでの歩留まりの改善と実

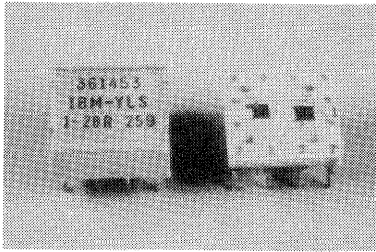


図-1 SLT module

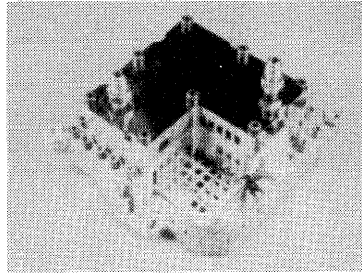


図-2 TCM

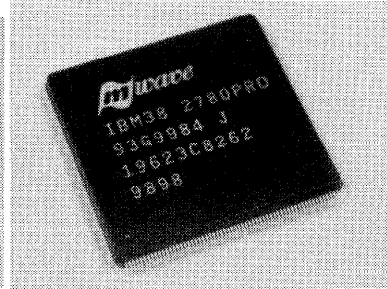


図-3 QFP module

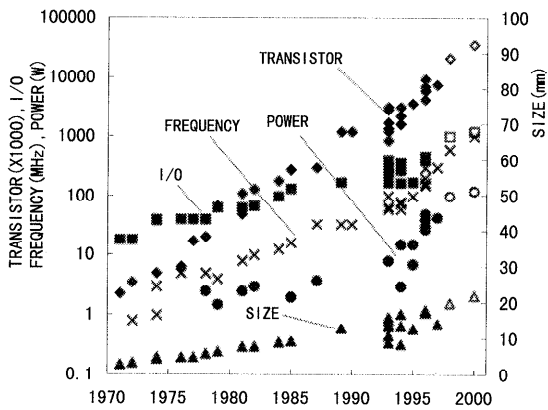


図-4 Processor chip parameters

装技術の進歩により実装できるチップサイズも大きくなっている。消費電力は密度とスピードの増加により近年著しく増加している。今日の高性能な半導体チップの実装に要求される性能は、数百MHzを超すクロック周波数で動作すること、1000を超す入出力端子を備えること、数百のドライバの同時スイッチングが可能であること、数十ワットの発熱量を放散すること、かつ、このような性能を備えながら、ダウンサイジングによる市場を支えられるように低コストであることが条件となっている。

このような多面的な要求に応えるべく開発されたのが、エポキシ系材料プリント配線板へのフリップチップによるベアチップ実装である²⁾。それまでフリップチップ実装の基板は、半導体チップに熱膨張係数が近いセラミックのアルミナが使用されていた。このベアチップ実装技術は、チップと基板の間隙をエポキシ樹脂で封止することにより、熱膨張係数がアルミナの2倍のエポキシ系基板を使用することを可能にしたばかりでなく、フ

リップチップ接合部の寿命を10倍以上に延長することに成功した。また、同時に開発されたビルドアップ・プリント配線板により、セラミック基板と同じレベルの配線密度が1/2～1/3のコストで使用できるようになった。

3. ビルドアップ配線板

図-5に、ビルドアップ配線板にフリップチップによるベアチップ実装を搭載した場合の断面図を示す³⁾。配線板の構成は、ベースに一般のガラスエポキシ配線板を使用して、その上にビルドアップ配線層を重ねている。ベースの配線板では機械ドリルで穴をあけ銅メッキを施したスルーホールをエポキシ樹脂で埋め、全面にビルドアップ層の配線領域を確保している。ビルドアップ層は感光性エポキシを絶縁層として使用する。液体状の感光性エポキシをベースに塗布した後、露光・現像工程により100 μ m径のビアホール下穴を形成する。従来の機械ドリルで開けたスルーホールの約1/3の直径である。エポキシ樹脂を硬化させた後、樹脂の表面を過マンガン酸で粗化して銅めっきの接着強度を確保する。無電解銅めっきを全面に施して通電層とし、電解銅めっきにより導体層に必要な厚みの銅をつけた後、エッチングにより配線を形成する。以上のステップを必要な回数繰り返して完成する。断面をみるとシリコンに配線層をビルドアップしている今日の半導体チップと同じコンセプトであることがわかる。ビルドアップ層数を多くしすぎると、層あたりの歩留まりが累積し最終歩留まりが急激に低下するため、4層程度までが適切である。微小のフォトビアホールの効果で、ビルドアップ層の配線密度は層あたり従来のプリント配線板の3～5倍、絶縁層も薄いため体積あたりでは10倍の密度を達成している。

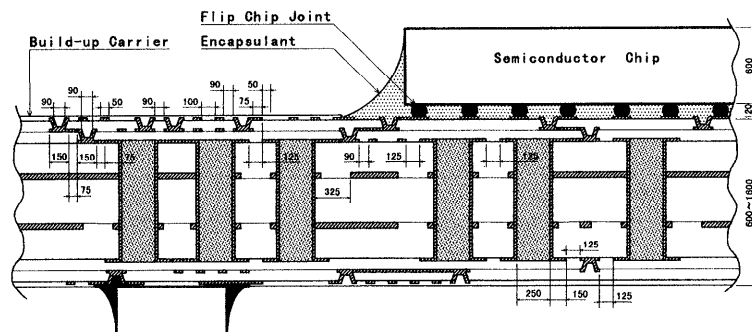


図-5 Bare chip package cross section

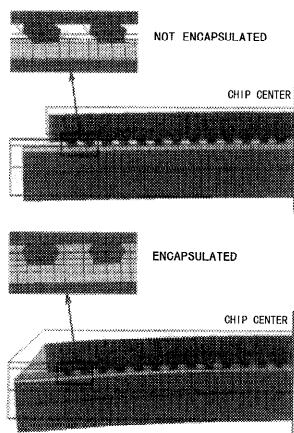


図-6 Effect of encapsulation

4. ベアチップ実装

ビルドアップ配線板は表層の高密度配線を利用して、図のように高密度の半導体チップをフリップチップ実装で搭載し、その入出力配線を行うことができる。フリップチップ実装はチップと基板を微小はんだ端子で接続するが、温度変化があると双方の熱膨張係数が違うため、チップの中心から遠い接続点では大きな寸法差が生じる。システムのオン/オフにより発熱・冷却を繰り返すので接続点の金属は疲労破壊を起こす。図-6にこの様子を有限要素法解析のモデルで示す。NOT ENCAPSULATED に示すのは、チップと基板の間にエポキシ樹脂を入れて接合部を保護していない従来の構造で、図は平衡状態から温度が 100°C 下降した状態を示している。熱膨張係数が比較的チップに近いアルミナを基板として使用した場合には(チップ： $3.5\text{ppm}/^{\circ}\text{C}$ 、アルミナ： $7\sim$

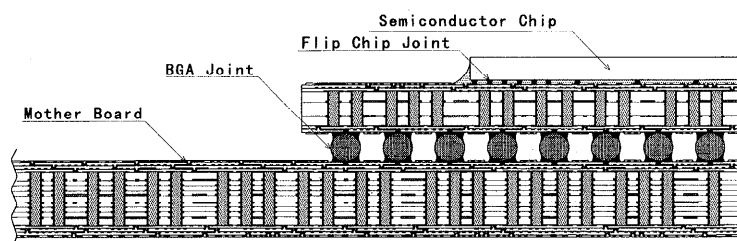


図-7 BGA package cross section

$9\text{ppm}/^{\circ}\text{C}$)、はんだ接合部の受ける歪みは比較的小さく、温度差 100°C の熱サイクル試験で 2000 サイクルほどの寿命がある。しかし、基板をエポキシ系プリント配線板にすると大きな熱膨張係数 ($15\text{ppm}/^{\circ}\text{C}$) のため、同じ温度差の試験で寿命は減少し 70 サイクルになる。このプリント配線板にベアチップ搭載を可能にした新しいフリップチップ実装は、同図の ENCAPSULATED に示すようにチップと基板の間をエポキシ樹脂で封止する。チップと基板は接着された状態になるので、それぞれの熱膨張係数の違いによる寸法差は累積せず各部位で基板内部に分散される。主材料のエポキシは弾性係数が低いので約 80% を吸収し、残りの約 20% は図に示されるように接着されたチップと基板全体のそりに変換される。この結果、はんだ接合部の歪み量は著しく減少し、 100°C 温度差の試験で 10000 サイクル以上の寿命が達成される。また接合点がチップのどの位置にあっても歪み量は一定のため、従来の寸法差が累積する方式にあったチップの大きさの制限が大きく緩和された。接合部にかかるストレスが減少しているため、従来のように接合部全体をはんだで形成する必要がなく、より堅いほかの金属でも使用でき

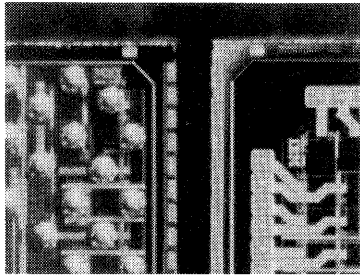


図-8 Chip design comparison

るようになり、大型コンピュータに使用されてきた高密度接合方式の低コスト化への道が開けた。

ベアチップ実装技術の開発により高密度・高性能チップの実装が低コストで実現できるようになった。また、応用として、図-7に示す Ball Grid Array (BGA) 形式の表面実装部品を構成することもできる。ビルドアップ・プリント配線板を使用した BGA 基板に前述のフリップチップ実装を行い、基板の下面にフリップチップより大きい $750 \mu\text{m}$ 径程度のはんだボールでマザーボードに搭載する。ベアチップには及ばないが従来の表面実装部品に比べると高い電気性能が得られる。

5. チップの設計

図-8は、2種類の半導体チップのコーナ部分を並べた写真である。左側がフリップチップ用に設計されたチップで、はんだのチップバンプが基板との接合のために千鳥状で面に展開して配列されている。はんだバンプをチップに形成する工程や基板と接合する工程においてチップ端子に圧力がかからないので、アクティブな回路の上に接合部を形成できる。そのため多数の接合部を配置しても、ピッチを広くしてバンプの形成や実装時の生産性を上げることができる。図のチップでは、各

バンプ間の最小ピッチは $250 \mu\text{m}$ である。一方、右側に示したチップはワイヤボンダ用設計のチップで、端子間ピッチは $125 \mu\text{m}$ である。ワイヤボンダの場合にはチップ端子への接合は超音波を使用して行われるので、端子はアクティブな回路上に置くことはできず、図のようにチップの周辺に端子専用の領域を設けねばならない。周辺しか利用できないため端子ピッチを詰める必要があるが、最近では $100 \mu\text{m}$ 以下が要求され限界に至っている。このため入出力端子数が多い場合には、チップのサイズを必要なロジックサイズではなく周辺長で選定しなければならないことがある。フリップチップ用設計のチップでは 10mm 角のチップに $250 \mu\text{m}$ ピッチで 2600 の接合部が形成できるが、ワイヤボンダ用設計のチップでは $125 \mu\text{m}$ ピッチで 300 程度である。半導体チップの密度が増加するにつれて必要な入出力端子数も増えるが、今日、数百や千を超す入出力端子数も要求されており、ワイヤボンダの技術を使用した実装方式はフリップチップに変わりつつある。現在、前述のようにワイヤボンダ設計のチップもフリップチップ実装が可能であるが、本質的にチップの設計をフリップチップ用に改めていく必要がある。

6. ベアチップ実装の製品例

図-9は、ワークステーション用の 2D グラフィックス・アダプタカードで (1994 発表)、7 個のベアチップ実装を搭載している。クロック周波数が 75MHz 、一部 150MHz 、で 128 ビットのバスが基板内の配線チャンネルを埋めつくしている。表面層は電気特性確保のためグラウンド層になっている。写真では取り外してあるが右側の 3 個のチップにはヒートシンクを装着する。配線板は全 8

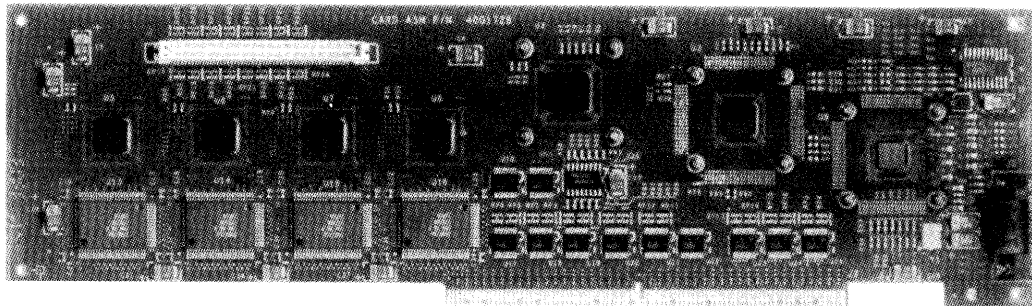


図-9 2D Graphics adapter card

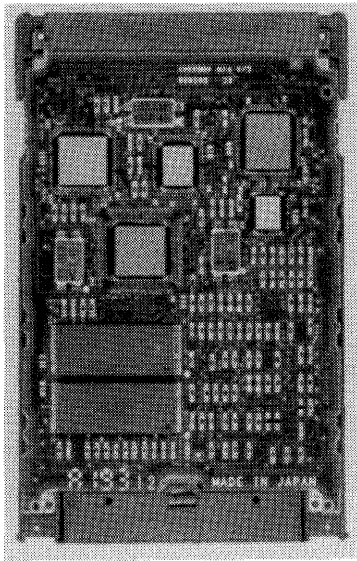


図-10 Fax/modem PC card

層のビルドアップ配線板でビルドアップ層は2層あり、ベアチップ実装の入出力端子数は最大のもので376である。図-10は、データ/ファックスモデムのPCカードで(1995年発表)、3つのチップメーカーから供給された5個のチップをベアチップ実装している。配線板は全6層のビルドアップ配線板でビルドアップ層は2層である。チップはワイヤボンド用に設計されたものなので入出力端子数は少なく、最も多いチップで243である。図-11はPC用のマルチチップモジュール(1996年発表)で、31.5mm角で全8層、ビルドアップ層は両面にそれぞれ2層の基板に4個チップをベアチップ搭載している。モジュール自体の入出力端子は316個のはんだボールで、周辺マトリクス状に配置されている。図-12は、33.5mm角740端子のBGAで(1996年発表)、基板はビルドアップ層が両面にそれぞれ3層、全10層のビルドアップ配線板である。17mm角で入出力端子数1918のチップをベアチップ実装している。以上の例に示すように、アダプタカード、PCカード、BGAのすべてがビルドアップ配線板を使用したベアチップ実装であり、最終実装形態はアプリケーションの要求による。今後の半導体チップ実装は、特殊なものを除いてビルドアップ配線板を使用したベアチップ実装により多数のチップ(マルチチップ)を実装し、アプリケーションに対していかに最適化するかが主な課題になっていく

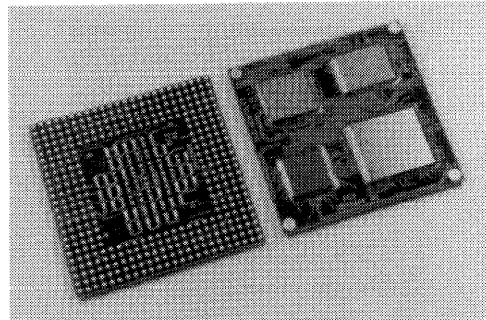


図-11 Multi chip BGA module

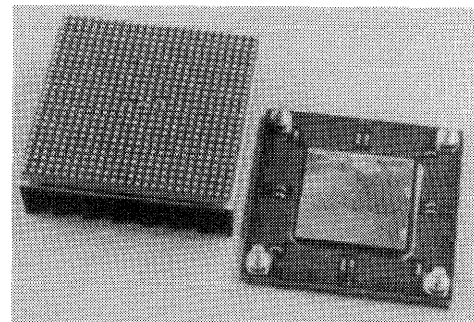


図-12 Single chip BGA module

であろう。

7. 電気性能

これまで紹介した技術を電気性能の面からみる。図-13は、実装部品のタイプによって生じるノイズをシミュレーション解析で比較したものである。半導体チップは10mm角で300の入出力端子があるワイヤボンド用に設計されたものである。解析した実装部品のタイプとしては、0.4mmピッチのQFP、電源層がないエポキシ系基板に通常のワイヤボンドでチップからの接続をしたWB-BGA、チップに金バンプをワイヤボンド装置にて形成してフリップチップ実装したSLC-BGA、BGA基板を使用せずマザーボードにベアチップ実装した4種類である。それぞれの実装部品のタイプで4個のチップをマルチチップ実装し、実装面積はそれぞれ110mm, 80mm, 60mm, 48mm角になる。表示しているノイズは、5V電源で回路のクロック周波数を100MHzで動作させた場合のグラウンドバウンスとクロストークノイズの合計である。ノイズはチップの接合部(ワイヤボンド、またはフリップチップ)、基板部分(リードフレームのモールドされている部分、ま

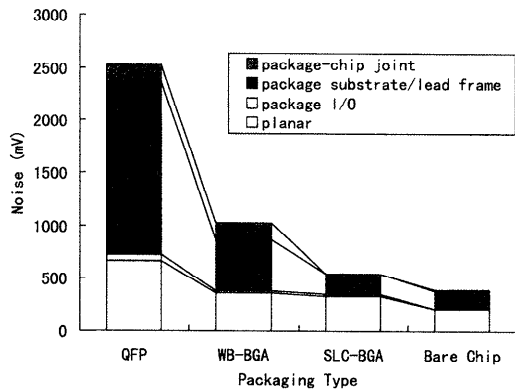


図-13 Noise comparison

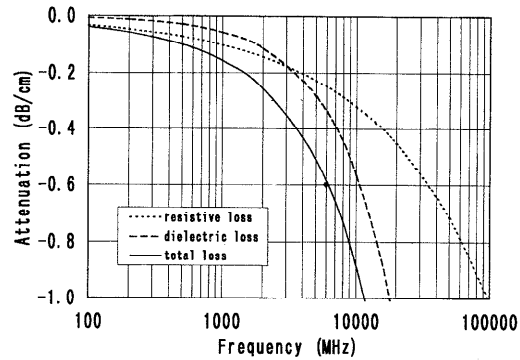


図-14 High speed clock capability

たは BGA 基板), モジュールの接合部(QFP ではモールドから外のリード, または BGA のボール), マザーボードとして使用した基板の部分によるものと, 4つの部位に分割して表示している. QFP はグラウンドなしで長い距離をもつリードフレームのため, 著しく大きいノイズが生じるので実用域(5V 電源では 1V 程度まで)を逸脱している. WB-BGA は, サイズが小さくなるためノイズが減少している. モジュール内の回路部分は, グラウンド層がないので比較的ノイズは大きい実用域に入っている. 基板内層にグラウンド層をもつ SLC-BGA では, 接合部がわずか $100 \mu\text{m}$ 程度になるため, さらにノイズが小さくなる. ベアチップをフリップチップ実装した場合がもっともノイズが小さいが, SLC-BGA もベアチップに比較的近いレベルにある. この解析はすべてのケースにおいて同一のチップで比較するため, あえてワイヤボンダ用設計のチップで行ったが, 図-8 に示したフリップチップ用設計のチップを使用するとベアチップ実装のノイズはさらに 60% 低くなり, 大型コンピュータ用の TCM に匹敵する低いノイズレベルが得られる.

図-14 は, ビルドアップ配線板のクロック周波数がどの程度まで上げられるかを示したものである. 図はクロック周波数と信号の減衰をシミュレーションの結果で示したもので, 信号線は線幅 $50 \mu\text{m}$, 厚さ $10 \mu\text{m}$, 特性インピーダンス 50Ω , 誘電損失は 0.03 とし, 抵抗損失と誘電損失を合わせた全損失を示している. 一般に CMOS チップのドライバからレシーバへの信号の伝達は 3dB 以内の減衰であればよいので, 小型のマルチ

チップ実装において信号線の最大長さを 5cm と仮定した場合には, 1cm あたりの減衰が 0.6dB 以下であることが必要で, 図から 6GHz 程度が信号伝達の限界であることがわかる. ただし, 実際のアプリケーションでは, 終端抵抗までの距離やスルーホールを使用した場合の回路設計の要因の影響を考慮する必要がある. さらにクロックスピードを改善するには絶縁層材料の誘電損失を少なくする必要があるが, 低誘電損失のエポキシ材料も開発されつつあるのでコストが下がれば 2 桁 GHz の性能を期待することができる.

8. おわりに

本文では, 軽薄短小・高密度・高性能, かつ低コストのベアチップ実装技術を紹介した. 現在, ビルドアップ配線板は十数社より商品化され, フリップチップ実装も各社開発にしのぎを削っている. これらの実装技術により, 一昔前の大型コンピュータの性能をしのぐコンピュータをわずか数個のチップで手に入れることができるようになった. しかし, 単にこのような実装技術を利用しただけでは真に高性能・低コストの製品を実現することはできない. 数個のチップを実装することがシステムを造りあげることと同じ意味をもっており, これまでのようにシステムはシステム, チップや実装などは部品を組み合わせればよいという考えではなく, システムの設計時点から半導体チップ設計, 実装設計までを考えたトータル設計のセンスと実行力が必要になってくる. また, 複数のチップを使用する時に生じる個々のチップの品質レベルの問題など, 業界としてのインフラ・

ストラクチャの問題も解決していかなければならない。これらのことが実行・解決されてはじめて、「半導体チップ間を最短・最低コストで接続する。」という高密度・低コストの実装が実現されるであろう。

参 考 文 献

- 1) Norris, K. C. and Lansberg, A. H.: Reliability of Controlled Collapse Interconnections, IBM Journal of Research and Development, 13, pp.266-271(1969).
- 2) Tsukada, Y., Mashimoto, Y., Nishio, T. and Mii, N.: Reliability and Stress Analysis of Encapsulated FLip Chip Joint on Epoxy Base Printed Circuit Board, Proceedings of ASME/JSME Advanced in Electronics Packaging, Vol.2, pp.827-835(1992).

- 3) 野洲研究所, 日本アイ・ピー・エム(株): SLC 基板設計ルール, 第 3 版, p.31(1996).
(平成 9 年 10 月 1 日受付)



塚田 裕

1946 年生。1970 年北海道大学大学院工学研究科修士課程修了。日本アイ・ピー・エム(株)理事, 野洲研究所実装技術開発担当, IBM フェロー。大型コンピュータの実装技術に携わった後, 本稿に紹介のビルドアップ・プリント配線板・樹脂封止フリップチップ実装などベアチップ実装テクノロジーを開発。その開発により, 1996 年に日本人として江崎玲於奈氏に続いて 2 人目の IBM フェローに任命される。日本機械学会, 回路実装学会, SHM 各会員。