

動作マージンを確保可能な デジタルLSIの製造後クロック調整手法の提案

諏佐達也[†] 村川正宏^{††} 高橋栄一^{††}
古谷立美[†] 樋口哲也^{††} 古市慎治^{†††}
上田佳孝^{†††} 和田 淳^{†††}

製造ばらつきにより発生するクロック・スキューの問題を解決するための手法として、遺伝的アルゴリズムを用いたデジタルLSIの製造後クロック調整技術が提案されている。しかし、調整後のチップの一部で不安定な動作が確認されるという問題点がある。これは電源電圧や温度などの環境変動が原因と考えられる。そこで本研究では、動作想定条件よりも厳しい条件で調整することによりタイミング余裕を確保し、更に、GAの終了条件を段階的に厳しくすることで限られた調整時間内で環境変動に対する頑健性を向上させるデジタルLSIの製造後クロック調整手法を提案する。実用的回路の設計データを用いた調整シミュレーション実験の結果、タイミング余裕を確保した上で歩留を向上させることに成功した。

Post-fabrication Clock-timing Adjustment for Digital LSIs Ensuring Operational Timing Margins

TATSUYA SUSU[†], MASAHIRO MURAKAWA^{††}, EIICHI TAKAHASHI^{††},
TATSUMI FURUYA[†], TETSUYA HIGUCHI^{††}, SHINJI FURUICHI^{†††},
YOSHITAKA UEDA^{†††} and ATSUSHI WADA^{†††}

As LSI devices are increasingly implemented with finer patterns (below 100nm) and operating at faster clocks, the problem of fluctuations in clock timing (also known as the “clock skew” problem) becomes even more crucial. In order to solve the problems associated with clock timing, our group has proposed a Genetic Algorithm (GA) based clock adjustment method. Although the GA successfully adjusted the clock timing of the test chips, some of the adjusted chips were found to operate at lower levels of accuracy. This is because the clock timings were adjusted to the very margins of feasible timings to pass the function tests. To overcome this difficulty, we propose an improved GA-based clock adjustment method which ensures that the adjustment results are sufficiently robust to cope with fluctuations in the LSI environment. Adjustment experiments using the developed simulator demonstrate that our method can enhance the operational yield while maintaining adequate operational timing margins.

1. はじめに

近年、デジタルLSIの高速化や微細化に伴い、クロック信号の伝播時間のずれであるクロック・スキュー (Clock Skew) の問題が深刻になってきている¹⁾。この結果、デジタルLSIの動作歩留 (設計通りのスペックで動作できるチップの比率) が低下し、チップ価格の上昇を招いている。クロック・スキューの主な発生原因の一つに製造ばらつきがあり、これにより個々のトランジスタの遅延時間や駆動能力、配線の抵抗や寄生容量が変動してしまう。このデジタルLSIのクロック・スキュー問題を解決するために、半導体MIRAIプロジェクトでは、チップのクロックラインに

クロックの入力タイミングを微調整可能にするプログラマブル遅延回路を複数個挿入し、製造後にそれら遅延回路の調整値を遺伝的アルゴリズム (Genetic Algorithm; GA)²⁾ を用いて調整する方式を提案している³⁾⁴⁾。中規模LSIでの調整実験⁴⁾の結果、歩留を大幅に向上させることに成功している。しかしながら、実チップによる調整実験の結果、調整後のチップの一部で不安定な動作が観測されている。この不安定な動作の原因として、チップ動作時の電源電圧の降下や温度変化等の環境の変動が引き起こすチップ内回路の遅延が考えられる。この遅延により、正常に動作するように調整されたはずのチップに誤動作が生じると推定される。

そこで本稿では、動作想定条件よりも厳しい条件で調整することによりタイミング余裕を確保し、更に、GAの終了条件を段階的に厳しくすることで限られた調整時間内で環境変動に対する頑健性を向上させるデジタルLSIの製造後クロック調整手法を提案する。提案手法の有効性を

[†] 東邦大学大学院 理学研究科

Graduate School of Science, Toho University

^{††} 産業技術総合研究所 情報技術研究部門

National Institute of Advanced Industrial Science and Technology (AIST)

^{†††} 三洋電機株式会社

Sanyo Electric Co., Ltd.

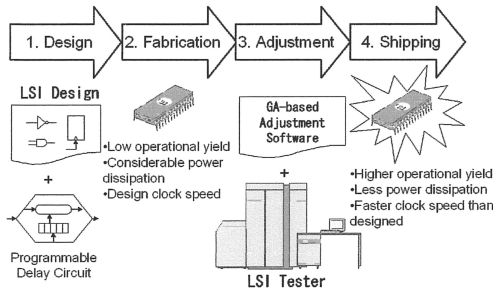


図1 LSIの製造後クロック調整技術
Fig. 1 Post-fabrication clock-timing adjustment for digital LSIs

示す前にまず、環境変動がGAを用いた調整に大きな影響を与えるのかどうかを文献5)で提案した専用シミュレータにより確認した。次に、実用的規模のチップの設計データを用いて、提案手法の有効性を示すためのシミュレーション実験を行った。調整実験の結果、タイミング余裕を確保した上で歩留を向上させることに成功した。

2. デジタルLSIの製造後クロック調整

デジタルLSIには、クロック・スキューによる動作歩留の低下の問題がある。この問題を解決するために、チップを製造後に調整することによりクロック・スキューを補正する方式が提案されている[図1]。この方式では、チップの設計段階でクロックタイミングに対するマージンが少ないことがわかっている場合、その部分にクロック信号の到達タイミングを微調整することができるプログラマブル遅延回路を、あらかじめ複数挿入した上でチップを製造する。そしてチップの製造後に、遺伝的アルゴリズムを用いて、挿入したプログラマブル遅延回路を最適に調整する。

2.1 従来調整手法の課題

この方式を用いることにより、動作歩留の向上のみならず、設計よりも速いクロックスピードの実現、動作電源電圧を低下させることによる低消費電力化が実現されている⁴⁾。しかし、実チップにおける調整実験において、調整後のチップの一部では不安定な動作が観測されるという問題がある。この不安定な動作の原因として、調整後のチップが十分な動作マージンを持って調整されていない場合に、電源電圧や温度などの環境に変動が生じた結果、調整が成功したにもかかわらず動作が不安定になっていることが推定される。

3. 動作マージンを確保可能な調整手法の提案

本論文では、調整時に十分な動作マージンを確保可能な製造後クロック調整手法を提案する。提案手法は、(A)調整時の動作周波数を想定動作条件よりも厳しく設定して調整をかけることで動作マージンを確保し、さらに(B)調整時のGAの終了条件を段階的に厳しくしていくことによって限られた調整時間内で環境変動に対する頑健性を向上させる、2つの特徴を持つ。以下でそれぞれの特徴につ

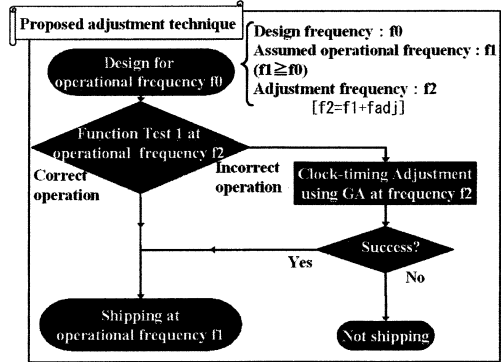


図2 動作マージンを確保可能な提案調整手法
Fig. 2 Proposed adjustment technique to ensure operational timing margins

いて説明する。

3.1 厳しい動作条件での調整

提案調整手法では、図2に示したような手順で動作マージンを確保する。初めに、想定動作周波数 f_1 よりも f_{adj} だけ大きく設定した調整動作周波数 f_2 ($f_2 = f_1 + f_{adj}$) で動作確認(機能テスト)を行い、安定した動作をするか調べる(動作確認1)。ここで f_{adj} は f_1 に対して固定値とする。この動作確認1において正常動作するチップであれば、想定動作周波数 f_1 ($f_1 \geq f_0$) で出荷可能なチップと判断する。また、動作確認1で正常動作しなかったチップに対しては、調整動作周波数 f_2 においてGAを用いた調整を行う。ここで、調整動作周波数 f_2 において調整に成功したチップに対しては、想定動作周波数 f_1 において環境の変動時に発生する遅延を吸収する動作マージンを有している出荷可能なチップと判断できる。なお、調整が成功しなかったチップは出荷不可能なチップと判断する。この手法を用いることで、想定動作周波数 f_1 に f_{adj} 分の動作マージンを確保した上で、チップの歩留を向上させることが可能となる。

3.2 GA終了条件の段階的な引き上げ

提案手法では、限られた調整時間内に環境変動に対する頑健性を向上させるため、GAの終了条件を段階的に厳しくしながら調整を行う。具体的には、GA開始時には従来と同じ終了条件を設定しているが、一度でもその条件を満たした場合は、より厳しい終了条件に更新し、以後のGAではその終了条件を用いる。厳しく設定した終了条件も満たした場合は、さらに厳しい終了条件に更新する。このようにして、段階的にGAの終了条件を厳しいものに引き上げていく。

これにより、限られた時間内での調整において、GAの序盤では大域的な探索を粗く行い、GAの終盤では解候補に近い空間で環境変動に影響されないように時間をかけて局所的な探索を行うことができる。

3.3 GAを用いた調整手順

以下では提案調整手法の詳細について説明する。まず、

評価値 fit は、 R 回繰り返される機能テストにおいてチップの実際の出力と期待の出力を比較し異なった値の個数 $errorN$ から算出する。1 回の機能テストに対する出力数を $outN$ とすると、評価計算は次式で表される。

$$fit = \frac{outN \times R - errorN}{outN \times R}$$

全て期待通りの出力値であれば評価値 fit は 1.0 となり、チップは正常に動作すると判断する。また、 $errorN$ が多ければ多いほど評価値 fit は下がり、全ての比較値が異なっていれば評価値 fit は 0 となる。よって、この GA では評価値 fit が高いほど良い個体と判断する。 R の値が小さい場合は、変動の影響を受けてたまたま $errorN$ の値が小さくなることもあり、 fit の信頼性が低くなる。それに対し R の値が大きい場合は、 fit の信頼性が高くなるが、その分調整に時間がかかってしまう。そこで、 R の大きさを段階的に引き上げるために、以下の手法を用いる。

- R_i は i 段階目の機能テストの繰り返し回数である。初めは繰り返し回数 R_1 で評価値を計算する。
- R_i は集団中の全個体に同一の値が適用される。また、 R_i は GA の途中で減ることはない。
- 集団中で fit が 1.0 になる個体が一つでも現れた時点で、 R_1 を R_2 ($R_2 \geq R_1$) に変更し個体の再評価を行う。
- 増加させた R_2 での評価計算で、集団中で fit が 1.0 になる個体が一つでも現れた場合、同様に R_2 を R_3 ($R_3 \geq R_2$) に変更し個体の再評価を行う。
- 以下同様に R_i を R_{i+1} ($R_{i+1} \geq R_i$) に変更し個体の再評価を行う。
- 定めた引き上げ段階数に達したらその個体の fit は 1.0 とする。

段階が上がる度に R の回数が引き上げられ、より環境変動の影響を受けにくい染色体を発見する必要があるため、より厳しい終了条件を課していることになる。

4. シミュレーション実験による提案手法の有効性確認

4.1 実験環境

本研究では、実用的な回路を基に、プログラマブル遅延回路を組み込んだチップを新たに設計した。この実用的な回路は低消費電力用に作りこまれた画像圧縮伸長処理に用いる DCT 演算回路である⁶⁾。プログラマブル遅延回路はチップ内の 1031 箇所全てのフリップフロップのクロック入力ラインに挿入されている。この設計したチップの規模は約 3 万ゲートであり、設計動作電源電圧 1.0V、設計動作周波数 f_0 が 200MHz で設計された。この回路の STA の結果を基に、文献 5) で開発したシミュレータ上で仮想的なチップを 100 チップ作成し、それぞれのチップに対し調整動作周波数 f_2 を 165MHz から 195MHz まで 1MHz 刻みで増加させて各周波数ごとに歩留を調査する。このシミュレータを用いることで現実的な時間で調査を終了できる。

さらに、本研究では環境変動を反映できるようにシミュ

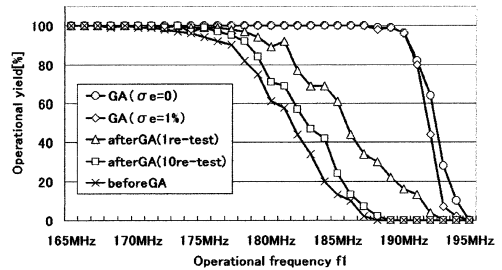


図 3 環境変動を反映した調整シミュレーション結果

Fig. 3 Adjustment simulation results with the fluctuations in the LSI environment

レータを改良した。具体的には、フリップフロップ i, j 間のパス遅延時間 D'_{ij} は評価の度に以下の式で求める。

$$D'_{ij} = D_{ij} \times \left\{ 1 + \sigma_p \times N(0, 1) + \sigma_e \times N(0, 1) \right\}$$

D_{ij} は設計データを基にしたフリップフロップ i, j 間のパス遅延時間である。 σ_p は製造ばらつきに相当する遅延を正規乱数 $N(0, 1)$ で生成する際に使用する相対値であり、仮想チップ生成毎に 1 回だけ計算される。また、 σ_e は環境変動に相当する遅延を正規乱数 $N(0, 1)$ で生成する際に使用する相対値であり、評価計算時の機能テストごとに計算される。

調整シミュレータにおける製造ばらつき σ_p は 5%、環境変動 σ_e は 1% とした。また、GA の終了条件を段階的に引き上げる提案手法では、終了条件を 2 段階とし、機能テストの繰り返し回数 R をそれぞれ $R_1=1, R_2=10$ とした。実際の LSI では 1 回の機能テスト時間に 1 ミリ秒程度要すると見積もっているため⁴⁾、1 チップあたりの調整時間を実用的な限度である 5 秒程度に抑えるために、GA の打ち切り機能テスト回数を 5000 回に設定した。

4.2 予備実験

提案手法の有効性を検証する前に、環境変動によって GA を用いた調整にどのような影響が出るかを調査するために、環境変動の全く無いチップ ($\sigma_e=0$ とする) と、環境変動を設定したチップ ($\sigma_e=1\%$) の 2 種類について従来手法による調整シミュレーション実験を行ったところ、 $\sigma_e=1\%$ を用いた調整において、調整終了後のチップに対し機能テストを繰り返す度に歩留が減少しているのがわかった [図 3]。このように従来 GA 終了条件では、十分な動作マージンが確保できないことがわかった。

4.3 実験結果

図 4 に従来手法と提案手法、比較手法による調整実験の結果を示す。比較手法として、終了条件を 1 段階とし、 $R_1=10$ とした手法を用いた。また、提案手法や比較手法と同一の比較条件にするため、従来手法では調整成功後の仮想チップに 10 回の追加の機能テストを行い、全て正常に動作した仮想チップの歩留を調べた。このグラフを見ると、従来 GA による調整後の歩留は無調整のものとは比べて

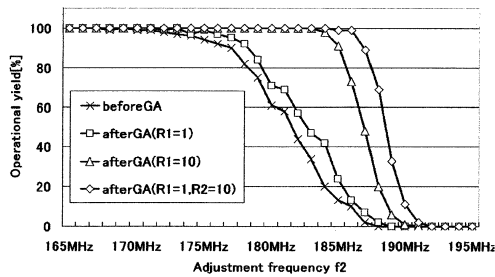


図 4 各手法における調整シミュレーション結果
Fig. 4 Adjustment simulation results with the each adjustment technique

表 1 提案手法において降下させた動作周波数

Table 1 Reduced operational frequency using the proposed method

	周波数 [MHz]
最大	4.0
最小	0
平均	1.9
標準偏差	1.1

ほとんど上がっていないのがわかる。それに対して、提案手法による調整後の歩留は、大幅に向上しているのがわかる。また、常に 10 回機能テストを行う比較手法による調整の歩留は、従来手法による調整よりは上がっているが、提案手法ほど高くない。これは、調整の序盤で大域探索に時間をかけすぎてしまい、限られた回数での調整では十分な局所探索が出来ないことが理由と考えられる。これらの結果から、提案手法である段階的に GA の終了条件を引き上げることの有効性が確認できた。

提案手法ではすでに説明したように、厳しい条件で調整を行う手法を組み合わせることで、最終的に十分な動作マージンを確保する。この場合、厳しくする周波数の f_{adj} の分だけ図 4 の歩留カーブが左の方向へ平行移動することになる。

4.4 値 f_{adj} の決め方について

f_{adj} の値の決め方については、与えられた環境変動に対して調整後のチップにどの程度の動作マージンが存在するかで決める必要がある。そこで、GA の終了条件を段階的に厳しくした提案調整手法において、調整後の仮想チップにどの程度の動作マージンが存在するかを調査した。具体的には GA による調整が終了した 100 仮想チップに対し、調整終了時の遅延回路の状態のまま、動作周波数を 0.5MHz ずつ下げて 1000 回の繰り返し機能テストを行った。これを、環境変動による影響を受けなくなる、すなわち 1000 回全てにおいて正常動作するまで繰り返し、それまでに降下させた動作周波数を調査した。この結果を表 1 に示す。

この表を見ると、提案手法による調整では 1000 回全て正常動作するまでに必要な周波数は平均 1.9MHz であつ

た。この仮想チップにおいては、 6σ 分のばらつきを考慮し、 $1.9 + 6 \times 1.1 = 8.5\text{MHz}$ 程度動作マージンを確保、即ち f_{adj} の値は 8.5MHz とすることで 1000 回の機能テストを合格するのに十分な動作マージンを確保することが出来るといえる。

5. おわりに

本研究では、動作マージンを確保可能なデジタル LSI の製造後クロック調整手法を提案した。具体的には、より厳しい条件での調整と調整時の GA 終了条件の段階的引き上げの組合せである。まず環境変動を反映できるように改良した調整シミュレータを用いた予備実験では、環境変動が調整結果に大きな影響を与えており、調整後のチップに十分な動作マージンが確保されていないことを確認した。次に、実用的なチップの設計データを用いた提案手法のシミュレーション実験においては、十分な動作マージンを確保した上で、歩留を向上させることに成功した。さらに比較実験により、GA の終了条件を段階的に引き上げることで、限られた調整回数を有効に使えたことを確認した。

今後の課題として、温度や電源電圧など実際の環境変動の大きさをどのように調整シミュレータに反映させるのかが挙げられる。また、実際に LSI を試作し、上記シミュレーション実験の効果を実証していく予定である。

本研究の一部は半導体 MIRAI プロジェクトの一部として、NEDO (新エネルギー・産業技術総合開発機構) からの委託により実施した。

参考文献

- 1) J.Rabaey, A.Chandrakasan, and B.Nikolic: Digital Integrated Circuits, 2nd ed., Englewood Cliffs, NJ:Prentice-Hall, (2003).
- 2) D. E. Goldberg, Genetic Algorithms in Search, Optimization, and Machine Learning, Addison Wesley, (1989).
- 3) E.Takahashi, M. Murakawa, K.Toda, and T. Higuchi: An evolvable-hardware-based clock architecture toward gigaHz digital systems, Proceedings of AAAI Genetic Algorithm and Evolutionary Computation Conference. (GECCO' 99), pp.1204-1210, (1999).
- 4) E.Takahashi, Y. Kasai, M. Murakawa, and T. Higuchi: Post-Fabrication Clock-Timing Adjustment Using Genetic Algorithms, IEEE JSSC, vol.39, no.4, pp.643-650, (2004).
- 5) 諏佐 達也, 村川 正宏, 高橋 栄一, 古谷 立美, 樋口 哲也, 古市 慎治, 上田 佳孝, 和田 淳: デジタル LSI の製造後クロック調整技術の高速化手法, 情報処理学会論文誌 数理モデル化と応用, Vol.48, No.SIG 15 (TOM 18), pp.78-87, (2007).
- 6) H.Yamauchi, et. al.: An 81MHz, 1280 x 720pixels x 30frames/s MPEG-4 Video/Audio Codec Processor, ISSCC Digest of Technical.Papers, pp.130-131, (2005).