

## 2 系統電源の平面配線手法

田中 博 佐藤 政生 大附 辰夫

早稲田大学理工学部

〒169 東京都新宿区大久保3-4-1

LSIの2系統電源ネット配線の目的は電氣的制約を満たしつつ最小面積の配線を実現することである。通常、電源配線は配線経路決定(トポロジカル配線)と配線幅決定の2つの処理段階からなる。後者は数理最適化問題として定式化する解法が確立されている。前者は電源ネットがメタル層でのみ配線されることから、その平面性に重点を置いており、占有面積の考慮は副次的になされるにすぎない。本稿では、面積最小化を陽に考慮した2系統電源ネットの平面トポロジカル配線手法を提案する。本手法はラバーバンド逐次配線手法に基づくもので、配線面積に注目した動的計画法によって、モジュールを点とみなした場合に最適解の導出が保証される配線順序を決定する。本手法を計算機上に実装し、例題に対して適用した結果について報告する。

## A planar topological routing algorithm for power and ground nets

Hiroshi TANAKA, Masao SATO and Tatsuo OHTSUKI

School of Science and Engineering, Waseda University  
3-4-1 Okubo, Shinjuku, Tokyo 169, Japan

An important purpose of routing for power and ground nets in LSI circuits is to minimize routing area satisfying electrical constraints, while conventional routing algorithms mainly focus on only planarity of routing results. In this paper, a planar topological routing algorithm for power and ground nets is proposed. The proposed algorithm consists of two phases. First, routing order guaranteeing minimum routing area is determined based on dynamic programming. Second, power and ground nets are routed topologically in the determined order. The algorithm is implemented and applied to several examples.

# 1 まえがき

LSI の 2 系統電源ネットは、電気的制約が厳しいため、主に電気的特性の優れたメタル層で配線される。メタル1層の場合は勿論、メタル多層の場合にも安定性を考慮すると電源専用の1つの層に平面的に埋め込むことが望まれる。従って、電源配線は平面配線問題として扱われるのが一般的である。また、電源ネットは流れる電流量が多いため、電圧降下を低く抑える必要があるため、配線幅がかなり大きくなる。そのため、電源ネットの占有面積がチップ面積を左右するので、電源配線の目的関数は電気的制約を満たす配線占有面積の最小化となる。

通常、電源配線はネットの概略経路を求める配線経路決定と、与えられた概略経路に面積最小の幅を割り付ける配線幅決定の2つの段階に分割される。前者としてはモジュールの端子位置に制限を課す手法 [5],[6] や逐次配線に基づく手法 [7]-[9]、一括配線に基づく手法 [10],[11]、分割統治に基づく手法 [12] がある。しかし、これらの手法は電源ネットの平面性のみ注目して概略経路を決定するもので、占有面積の考慮は副次的になされるか、もしくは全くなされていない。後者は数理最適化問題として定式化する解法が確立されている [1]-[4]。しかし、本来これらは同時に考慮されるべきものである。

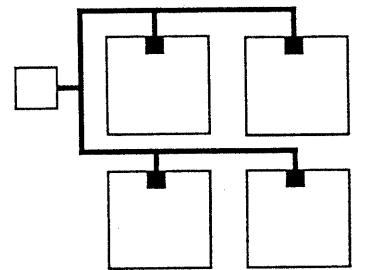
一方、2 系統電源ネットの配線トポロジーについてツリー・トポロジーとグラフ・トポロジーのどちらが占有面積最小化という意味で最適であるか議論されてきた。しかし、最近、並走する配線間に生じる無効領域を考慮しない場合、ピンとパッドの直接接続でしかも2系統のパッドがそれぞれ1個であるツリー・トポロジーが最適であることが証明されるに至った [13]。これより、ピンとパッドを結ぶネットを独立に扱った場合に占有面積が最小化されることになる。

以上のような背景のもと、我々は配線長により配線面積を見積もり占有面積最小化を陽に考慮する2系統電源ネットの逐次的な平面トポロジカル配線手法を提案する。これは、モジュールが大きさを持たない電源配線問題に対して面積最小化を保証する配線順序を求め、その配線順序に従ってラバーバンド表現 [14][15] に基づいた逐次配線 [16][17] を行うという2つの段階から構成される。さらに、モジュールが大きさを持つ実際の問題に対して、配線順序を求める最適アルゴリズムに基づいた発見的手法を提案し、計算機による実験結果を報告する。

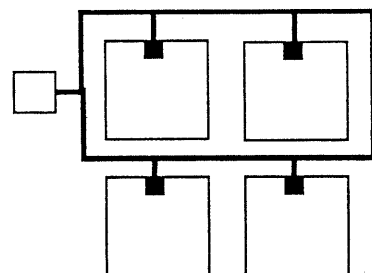
## 2 2 系統電源ネットの配線トポロジー

占有面積最小化の意味で最適な2系統電源ネットの配線トポロジー、及び本稿で扱う問題を定義する。

2 系統電源ネットの配線トポロジーは大別してループのないツリー・トポロジーとループを含むグラフ・トポロジーがある (図 1)。占有面積最小化という意味では経験的にツリー・トポロジーよりもグラフ・トポロジーが [2]、またツリー・トポロジーに関してはピンとパッドの直接接続が最適である [3] とされていた。しかし、並走する配線間に生じる無効領域を無視し、電気的制約として後述するメタル・マイグレーション制約と電圧降下制約を課した場合、面積の増加なしに次の変換ができることが証明された [13]。それは、グラフ・トポロジーからツリー・トポロジーへの変換、ツリー・トポロジーからピンとパッドを直接接続したツリー・トポロジーへの変換、及び複数の等電位パッドを持つ複数のツリー・トポロジーから単一パッドのツリー・トポロジーへの変換である。つまり、ピンとパッドの直接接続で、単一の2系統のパッドを持つツリー・トポロジーが占有面積最小の意味で最適である。そこで、本稿では2系統電源ネットの配線トポロジーとしてパッドとピンを直接接続したツリー・トポロジーを採用する (図 2)。



(a) ツリー・トポロジー



(b) グラフ・トポロジー

図 1: 配線トポロジー

本稿で扱う問題は、パッドとピンを結ぶネットを独立に考えられるので、2 点間ネット群の平面配線問題に帰着できる。以降、矩形のレイアウト領域を単に領域、パッドとピンを直接接続した2点間ネットを枝と呼びその集合を  $B$  で表す。枝  $b_i$  の長さ ( $L_i$  距離を仮定) を

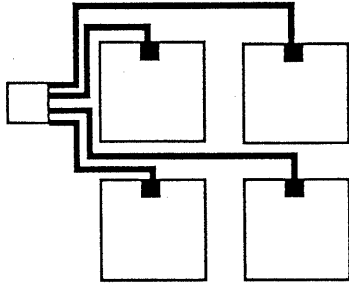


図 2: 採用する配線トポロジー

$l_{bi}$ , 幅を  $w_{bi}$  とすると, 枝  $b_i$  の面積は  $w_{bi}$  と  $l_{bi}$  の積で表され,

$$Area(w_{bi}, l_{bi}) = w_{bi} \cdot l_{bi}$$

となる. このとき枝  $b_i$  には,

$$\begin{aligned} \frac{l_{bi}}{w_{bi}} &\leq \sigma && (\text{メタル・マイグレーション制約}) \\ \frac{\rho l_{bi} l_{bi}}{w_{bi}} &\leq Vmax_{bi} && (\text{電圧降下制約}) \end{aligned}$$

の電気的制約が課せられる. 但し,  $I_{bi}[mA]$  は枝  $b_i$  に流れる電流値,  $\sigma[mA/\mu]$  は導体の許容最大電流密度,  $\rho[\Omega/\square]$  は導体の面抵抗率 (以降簡単のため 1 と仮定する),  $Vmax_{bi}[mV]$  は枝  $b_i$  の許容最大電圧降下値である. いま, 各ピンに流れ込む電流値がすべて最大値 (最悪評価値  $Imax_{bi}[mA/\mu]$ ) を取っているものと仮定すると, 上記の電気的制約を満たす範囲で面積を最小化する配線幅  $w$  は,

$$\begin{aligned} \cdot w_{1 bi} &= \frac{Imax_{bi}}{\sigma} && (\text{メタル・マイグレーション制約}) \\ \cdot w_{2 bi} &= \frac{\rho Imax_{bi} l_{bi}}{Vmax_{bi}} && (\text{電圧降下制約}) \end{aligned}$$

$$w = \max(w_{1 bi}, w_{2 bi}) = \begin{cases} \frac{Imax_{bi}}{\sigma} & (l_{bi} \leq \frac{Vmax_{bi}}{\rho \sigma}) \\ \frac{\rho Imax_{bi} l_{bi}}{Vmax_{bi}} & (l_{bi} > \frac{Vmax_{bi}}{\rho \sigma}) \end{cases}$$

となり, 配線幅  $w$  は配線長  $l_{bi}$  により一意に表される. このような幅  $w$  は常に電気的制約を満たし, 枝  $b_i$  の面積は次のように配線長の関数で表現することができる.

$$Area(l_{bi}) = w(l_{bi}) \cdot l_{bi}$$

### [ 2 系統電源ネットの平面トポロジカル配線問題 ]

領域の外周辺上に配置された 2 個のパッド  $P, G$  と領域内にある全てのモジュール (境界上に電源・グラウンドのピン  $p_{pi}, p_{gi}$  を持つ)  $m_1, m_2, \dots, m_n$  の各ピンとを平面上に交差なく (頂点や線分の共有は許して) トポロジカルに配線する. ここでトポロジカル配線とは, 後述するラバーバンド表現により平面に配線径路を埋め込むことである. 目的は, 電気的制約を満たしながら配線占有面積を最小化することである.

$$\begin{aligned} &\text{minimize } \sum_{bi \in B} Area(l_{bi}) \\ Area(l_{bi}) &= \begin{cases} \frac{Imax_{bi} l_{bi}}{\sigma} & (l_{bi} \leq \frac{Vmax_{bi}}{\rho \sigma}) \\ \frac{\rho Imax_{bi} l_{bi}^2}{Vmax_{bi}} & (l_{bi} > \frac{Vmax_{bi}}{\rho \sigma}) \end{cases} \end{aligned}$$

## 3 2 系統電源ネットの平面トポロジカル配線

～モジュールが大きさを持たない場合の最適アルゴリズム～

2 系統のパッドとピンを結ぶ 2 点間ネットは独立に扱えるので, 各モジュールの 2 系統のネットをまとめて逐次配線すれば, 2 系統電源ネットが平面に埋め込まれる. しかし, 問題は平面性を満たすために生じた迂回による配線占有面積の増加量が, 配線順序により変化することである.

本節では, この占有面積の増加量を正確に見積もるために, 前節で定義した電源配線問題においてモジュールが大きさを持たない場合 (以降これを抽象化問題と呼ぶ) について考える. この抽象化問題に対して占有面積最小化 (最適化と呼ぶ) を保証する 2 系統電源ネットの平面トポロジカル配線手法を提案する. これは, ラバーバンド表現 [14] による逐次的な平面トポロジカル配線手法に基づくものである. この前段階として, 動的計画法に基づいて最適化を保証する配線順序 (以降これを最適な配線順序と呼ぶ) を求める. これは, すべてのモジュール  $m_i$  に対して, 配線順序としてその前となるモジュール  $m_k$  を列挙し,  $m_k, m_i$  の順序で配線したときに次にどのモジュールのネットを配線すべきかを記憶するというものである.

次に, 最適な配線順序を求める段階と逐次的な平面トポロジカル配線の段階について詳述する.

### 3.1 占有面積最小化を保証する配線順序

2 系統のパッドの位置関係としては, 対面する辺上, 隣接する辺上, および同一辺上の 3 つの場合がある. 図 3 のようにパッドが対面する辺上に存在する場合, 最適な配線順序は自明である.

そこで, 図 4 のように領域の左端と下端に電源パッド  $P$ , グラウンドパッド  $G$  が存在する場合に限定して考える. パッドが同一辺上に存在する場合も同様の議論が成り立つので, ここでは割愛する. 領域をパッドの位置で図 5 のように分割すると, 領域 I のモジュールは他の領域のモジュールとは独立に扱うことができる. これは, 領域 I のネットはパッドが対面する辺上に存在する場合に帰

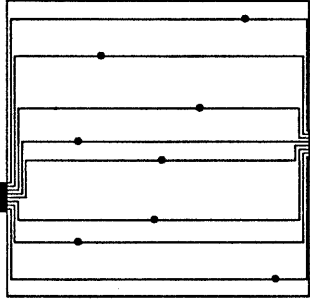


図 3: パッドが対面する辺上に存在する場合

結でき(図 3), この領域の内部にすべての径路が収まり, 他の領域のネットに迂回を強いることはないからである。そこでこれ以降, 領域 I にモジュールがない場合について考察する。簡単のため,  $x$  (あるいは  $y$ ) 座標が等しいモジュールはないと仮定する (これにより一般性を失うことはない)。

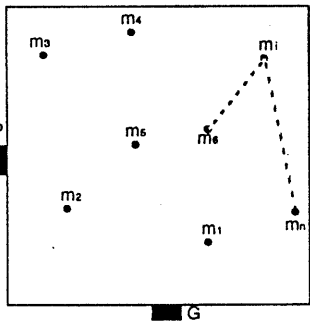


図 4: パッドが隣接する辺上に存在する場合

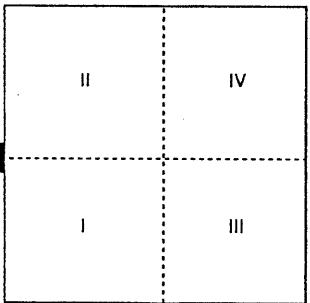


図 5: パッドの位置による領域の分割

### 3.1.1 用語の定義

モジュール  $m_i$  上の 2 つのピンに接続するネットをモジュールネット (M-ネットと略す)  $n_i$  と呼ぶ。M-ネット  $n_i$  の形状が図 7(a) のように電源・グランドのパッド P, G と  $m_i$  に接する長方形の外周の一部であるとき, そ

のジオメトリーは凸形であるという。M-ネット  $n_i$  のジオメトリーを凸形と仮定して, 配線面積を見積もりジオメトリーを仮に与えることを,  $n_i$  を仮想配線すると表現する。M-ネット  $n_i$  の配線面積の下限は他のネットとの交差を無視した場合のものであり, それを  $n_i$  の固有面積と呼ぶ。M-ネット同士を比較するときは, 左下端点に近いほど内側, 右上端点に近いほど外側にあるという。凸形ジオメトリーにおける内側からの順序をそのトポロジーの配線順序と定義すると, 後述する性質 1 によりその順序はネット群のトポロジーに対して一意に定まる。

領域内に  $n$  個のモジュール  $m_1, m_2, \dots, m_n$  が存在し, 左下端点を原点としたときのモジュール  $m_i$  の  $x, y$  座標を各々  $x(m_i), y(m_i)$ , 電源パッド P の  $y$  座標を  $y_{pad}$ , グランドパッド G の  $x$  座標を  $x_{pad}$  と記す。点  $(x_{pad}, y_{pad})$ , 及び領域の右上端点に仮想的に各々モジュール  $m_0, m_{n+1}$  を配置すると, M-ネット  $n_0$  を最初に  $n_{n+1}$  を最後に仮想配線することになる。また, モジュール  $m_i$  に注目したとき, 既に仮想配線されたモジュール群の最外郭ネットを支持する 1 つ (あるいは 2 つ) のモジュールを直前の候補,  $m_i$  の次に仮想配線されるモジュールを直後の候補と呼ぶ。  $m_i$  のネットを含めた最外郭ネットの右上端の点の座標を  $(x_b, y_b)$  と記す (図 6)。

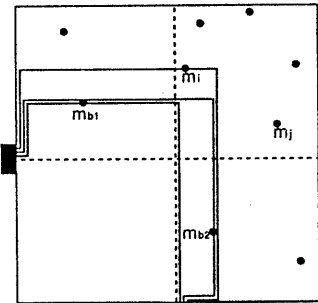


図 6: 直前, 及び直後の候補

### 3.1.2 最適なトポロジーの性質

最適な 2 点間ネット群のトポロジーに対して, そのトポロジーにより定まる占有面積の下界値を持つように各ネットに最も外側のジオメトリーを与える (図 7)。図 7(b) の場合, M-ネット B と C を入れ換えることにより占有面積が減少する。つまり, 最適なトポロジーは同図 (b) のような不必要な迂回がなく, 同図 (a) のような凸形ジオメトリーとホモトピックである (同じトポロジーを持つ)。

性質 1 抽象化問題に対する最適な 2 点間ネット群は凸形ジオメトリーにホモトピックに変換できる。

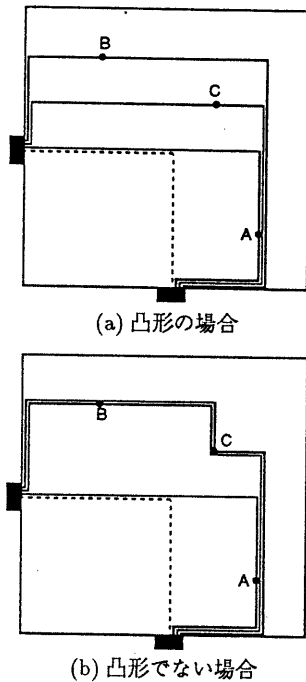


図7: ネットのジオメトリー

逆に, 3.2. で述べるが, 我々の提案しているラバーバンド表現 [14][15] に基づいた逐次配線手法 [16][17] により, 最適な配線順序が与えられたときに, 最適なトポロジーを生成することができる (性質2).

### 3.1.3 アルゴリズムの概要

最適な2点間ネット群のトポロジーを求めるには, 凸形ジオメトリーを仮定して面積の総和を見積もり最適な配線順序を求めて, その順序に従って逐次配線を行えばよい。但し, 総配線面積の下限は各M-ネットの固有面積の和であるので, 以下ではこの下限値からの増加量を考える。次に最適な配線順序を求める方法の概要を示す。

凸形ジオメトリーを仮定することにより, あるモジュール  $m_i$  に注目したとき  $m_i$  の前後に仮想配線され得る候補が限定される。これを利用して, 直前の候補に対して直後の候補の中でどれが最適かを,  $m_i$  以降に仮想配線する全てのモジュールのコスト (後述) により判断する。このコストは各々のM-ネットの固有面積に対する増加量の総和を表すものである。これを全モジュールのすべての直前の候補について調べることで, 最適な配線順序を求める。

### 3.1.4 コスト

M-ネット  $n_i$  の仮想配線により, それ以降に仮想配線されるM-ネット  $n_j$  に迂回が生じ面積が固有面積より増加することがある。さらに,  $n_j$  がそれ以降のM-ネットに迂回を強いる可能性もある。このように  $n_i$  以降のM-ネットの迂回によって生じた固有面積に対する増加量の総和を  $m_i$  のコストとする。これにより, 問題はモジュール  $m_0$  のコスト最小化を目的とした配線に帰着される。

次に, モジュール  $m_i$  のコストの求め方を説明する。これは既に仮想配線されたモジュール群, 直後の候補  $m_j$ , 及びその状況で  $m_j$  から  $m_{n+1}$  までのコストが特定されてはじめて計算可能である (図6)。仮想配線されたモジュール群は直前の候補  $m_{b1}, (m_{b2})$  で代表させることができる。モジュール  $m_j$  のネットの面積の増加量は  $m_j$  の位置により,

$$\begin{aligned} & \text{Area}(l_{pj}) + \text{Area}(l_{gj}) - \text{area}(m_j) \\ l_{pj} = & \begin{cases} x(m_j) + y(m_j) - y_{pad} & (y(m_j) \geq y_b) \\ x(m_j) + 2y_b - y(m_j) - y_{pad} & (y(m_j) < y_b) \end{cases} \\ l_{gj} = & \begin{cases} x(m_j) - x_{pad} + y(m_j) & (x(m_j) \geq x_b) \\ 2x_b - x(m_j) - x_{pad} + y(m_j) & (x(m_j) < x_b) \end{cases} \end{aligned}$$

で計算される。但し,  $l_{pj}(l_{gj})$  はモジュール  $m_j$  の電源 (グランド) 枝の配線長,  $\text{area}(m_j)$  は  $m_j$  のM-ネットの固有面積である。この増加量と  $m_j$  から  $m_{n+1}$  までのコストの和が, 直前の候補が  $m_{b1}, (m_{b2})$ , 直後の候補が  $m_j$  であるモジュール  $m_i$  のコストである。

すべての直前の候補についてその直後の候補  $m_j$  に対するコストを求め, その中で最小コストとなる直後の候補とそのコストを保持する。これにより, どのような状態からでも  $n_i$  を仮想配線した際, 次にどのM-ネットを仮想配線すれば最適な結果となるかを知ることができる。

$m_j$  以降のコストが未定の場合について,  $m_j$  から  $m_{n+1}$  が  $m_j, m_{j1}, m_{j2}, \dots, m_{jk}, m_{n+1}$  の順に仮想配線されたと仮定する。このとき,  $m_j$  以降のコストは,  $m_j$  の面積の増加量に  $m_{j1}$  以降のコストを加えたものであり,  $m_{j1}$  以降のコストも同様である。従って, 最終的には既知 (最悪でも  $m_{n+1}$ ) のコストが必要となり, これを逆に辿ることにより必ず  $m_j$  から  $m_{n+1}$  までのコストが求められる。つまり, 任意のモジュールの順序でコストを求めることができる。

### 3.1.5 直前の候補 $m_{b1}, (m_{b2})$ の列挙方法

まず, すべてのモジュールを  $x(y)$  座標でソートした列  $\text{sort}_x(\text{sort}_y)$  を用意する。  $m_i$  よりも  $x, y$  座標がともに

小さいモジュールの中で  $y$  座標が最大のものを  $m_{b1}$  とする。  $sort_x$  を使って  $x(m_i)$  よりも右にあり  $y(m_i)$  より小さい  $y$  座標を持つモジュール  $m_k$  について順次  $m_{b1}, m_k$  を直前の候補とする。但し、  $y(m_i) > y(m_k) > y(m_{b1})$  となる場合は、  $m_k, m_k$  を直前の候補としてそれ以降この  $m_k$  を  $m_{b1}$  とみなして同様に調べる (図 8)。  $x$  と  $y$  を入れ換えたものについても同様に調べる。最後に、  $m_i$  よりも  $x, y$  座標がともに小さいモジュールの中で  $x$  座標が最大のものを  $m_{b2}$  としたとき、  $m_{b1}, m_{b2}$  を直前の候補とすれば、すべての直前の候補を列挙することができる。

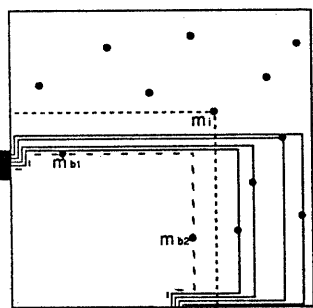


図 8: 直前の候補

### 3.1.6 直後の候補 $m_j$ の列挙方法

$m_j$  になり得るモジュールは、そのネットと  $m_i$  のネットの間にモジュールが存在しないので図 9 のように単調減少折れ線上に存在する。これらは  $sort_x(sort_y)$  を使って求めることができる。

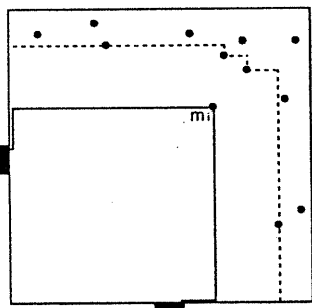


図 9: 直後の候補

### 3.1.7 最適な配線順序

以上のように、すべてのモジュールについてどのような直前の候補に対しても、最適な結果を得るために次ほどの M-ネットを仮想配線すべきかがわかる。最初と最後に仮想配線すべきモジュールは  $m_0, m_{n+1}$  と決まっ

ているので、  $m_0$  からコスト最小の直後の候補を順次選ぶことにより最適な配線順序が得られる。

### 3.1.8 例題

最適な配線順序を求める方法を例を用いて説明する。領域 IV にのみモジュールが存在する場合について ( $m_0$  を原点と仮定) 総配線長の最小化を考える (図 10)。あらかじめ全モジュールの直前の候補は列挙されているとし、コストは半分の値を記す (表 1)。まず、  $m_5$  に注目すると直前の候補 (以降  $m_b$  と略す) は  $[m_3, m_4]$  で直後の候補 ( $m_j$  と略す) は無いので、  $m_5$  のコストは 0 である。次に、  $m_3$  に注目すると  $m_b$  が 2 通りある。  $m_b$  が  $[m_1, m_4]$  のとき  $m_j$  が  $m_5$  であり、  $m_5$  は固有面積で配線できるのでコストは  $0+$  ( $m_b$  が  $[m_3, m_4]$  である  $m_5$  のコスト ( $y_0$ ) ) となり 0 である。  $m_b$  が  $[m_1, m_2]$  のとき  $m_j$  が  $m_4$  であり、  $m_4$  は  $n3$  により 6 だけ延長されコストは  $6+$  ( $m_b$  が  $[m_3, m_3]$  である  $m_4$  のコスト ( $x_0$ ) ) となるが、  $x_0$  は未定なのでこの段階で同様にして  $x_0$  を求め (4 行目)、  $m_4$  のコストは 6 となる (3 行目)。この操作を繰り返すことにより  $m_0$  のコスト最小化が達成される。ただし、 15, 16 行目のように同じ  $m_b$  に対して  $m_j$  が複数存在する場合コスト最小の  $m_j$  を記憶する。表 1 において  $x_i$  はそのコストが未定でその場で求めた、  $y_j$  は既知のコストを参照したという意味である。最終的に、  $m_0$  から  $m_j$  を辿ることにより最適な順序が得られる ( $m_0, m_1, m_2, m_3, m_4, m_5$ )。

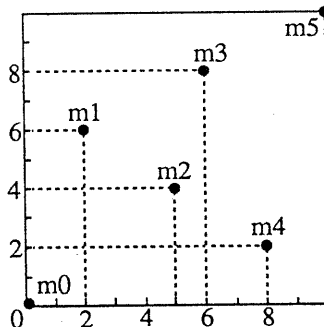


図 10: 例題 ( $m_0, m_5$  が仮想的モジュール)

### 3.1.9 計算複雑度

各モジュールについて、直前の候補の求め方からもわかるように  $O(n)$  の直前の候補がある。直前の候補を求めるのに  $O(n)$ 、その各々に対して  $O(n)$  通りの直後の候補があり、それを求めるのに一つの直前の候補に対して  $O(n)$  の手間を要する。未定のコストがある場合も、その都度求めたコストを保持しておけば全体の時間複雑度には影響しない。また、最終的なモジュールの順序は

表 1: 例題の解法

line	mb <sub>1</sub>	mb <sub>2</sub>	curr	next	cost
1	3	4	5	-	0 = y <sub>0</sub>
2	1	4	3	5	0 + y <sub>0</sub> = 0 = y <sub>1</sub>
3	1	2	3	4	6 + x <sub>0</sub> = 6 = y <sub>2</sub>
4	3	3	4	5	x <sub>0</sub> = 0 + y <sub>0</sub> = 0
5	2	2	4	1	6 + x <sub>1</sub> = 8 = y <sub>5</sub>
6	1	2	4	3	2 + y <sub>1</sub> = 2 = y <sub>3</sub>
7	0	0	4	2	3 + x <sub>2</sub> = 11 = y <sub>8</sub>
8	2	4	1	3	x <sub>1</sub> = 2 + y <sub>1</sub> = 2
9	2	2	1	3	0 + y <sub>2</sub> = 6 = y <sub>4</sub>
10	2	2	1	4	4 + y <sub>3</sub> = 6
11	0	0	1	2	2 + x <sub>3</sub> = 8 = y <sub>6</sub>
12	4	4	2	1	x <sub>2</sub> = 6 + x <sub>1</sub> = 8
13	1	1	2	3	x <sub>3</sub> = 0 + y <sub>2</sub> = 6
14	1	1	2	4	4 + y <sub>3</sub> = 6
15	0	0	2	1	3 + y <sub>4</sub> = 9 = y <sub>7</sub>
16	0	0	2	4	2 + y <sub>5</sub> = 10
17	0	0	0	1	0 + y <sub>6</sub> = 8
18	0	0	0	2	0 + y <sub>7</sub> = 9
19	0	0	0	4	0 + y <sub>8</sub> = 11

mb<sub>1</sub>, mb<sub>2</sub>:直前候補 curr:注目モジュール next:直後候補

O(n) で求められる。つまり、全体で空間複雑度 O(n<sup>2</sup>), 時間複雑度 O(n<sup>3</sup>) である。

### 3.2 逐次平面トポロジカル配線

3.1. で求めた配線順序を適用するための逐次配線手法に要求される性質を以下に列挙する。

- トポロジカル配線 (トポロジー表現による配線経路の平面埋め込み) であること
- 最適な凸形ジオメトリの配線順序が与えられたとき、それとホモトピックなトポロジーが得られること
- ツリー・トポロジーを扱うことが可能
- モジュールを点として扱うことが可能
- 異なる配線幅を考慮可能

我々は上記の性質を満たすラバーバンド表現 [14][15] に基づいた逐次配線手法を提案している [16][17]。配線経路のラバーバンド表現とは、互いにホモトピックな配線表現のうち、その経路長が最短であるものをいう。このような表現は唯一存在するので、ラバーバンド表現は経路のトポロジーを表現する標準形として最適なものである。ラバーバンド表現では経路は交差しない限り互いに重なる (折れ曲がりや直線部分を共有する) ことを許されている。したがって、トポロジー的に経路が存在する場合は必ずその経路が発見され、shove aside (押し退け) も自然に実現される。また、基本的にトポロジカル配線であるので、異なる配線幅を扱うことも可能である。我々の提案する逐次配線手法は、凸頂点及び端子

に対する可視グラフ上で経路探索と探索グラフの更新 (カットオープン) により逐次経路を求め、最後に幾何学的変換処理を施す。

図 7(a) のような凸形ジオメトリをラバーバンド表現に置き換えると、その配線順序に従って電源・グランドパッド P,G を含む凸包を逐次的に生成したものになる。同じ配線順序でラバーバンド表現を逐次的に求めると、これも同じ凸包になり、次の性質が導かれる。

性質 2 最適な配線順序に従ってラバーバンド表現に基づく逐次配線を行えば、最適な配線トポロジーが得られる。

このような逐次配線手法の配線順序として、3.1. で得られたものを利用することにより、抽象化問題に対する配線占有面積最小の 2 系統電源ネットの平面トポロジカル配線手法が得られる。

次に、提案手法を SUN SPARC Station2(28.5MIPS) 上に C 言語で実装し、パッド数 2、パッドが隣接する 2 辺に存在する電源配線問題 (乱数で生成) に対して計算機実験を行った結果について報告する。但し、各端子の電気的制約は次の範囲で乱数により決定した。

端子の最大要求電流	I : 1 ~ 5[mA]
端子-パッド間の許容最大電圧降下	V : 50 ~ 10[mV]
導体の面抵抗率	ρ : 0.03[Ω/□]
導体の許容最大電流密度	σ : 1[mA/μ]

ピンとパッドの直接接続のツリー・トポロジーの段階の経路を図 11 に示す。

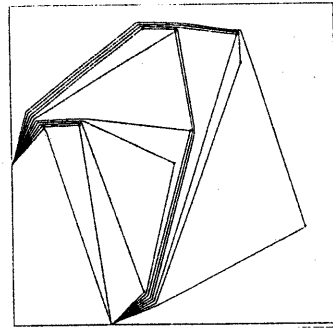


図 11: 2 系統電源ネットのツリー・トポロジー

## 4 2 系統電源ネットの平面トポロジカル配線

～モジュールが大きさを持つ場合の発見的アルゴリズム～

3. では、モジュールが点であると仮定した場合について面積最小を保証する平面配線手法を提案した。ここ

では、モジュールが大きさを持つ場合に対する発見的手法を提案する。

モジュールが大きさを持つ場合、モジュールを中心点で扱うことにより、3.の手法により占有面積を見積もることができる。実際の電源配線問題ではモジュールの大きさにより占有面積の見積もり誤差が出ることは否めないが、3.の手法により得られた配線順序に従って、モジュールが大きさを持つ問題に対して平面配線を行う。これは、配線占有面積最小化を陽に考慮したトポロジカル配線手法とみなすことができる。

以上のようにして、乱数で発生させた(電氣的制約は前節と同様に)、モジュールが大きさを持つ電源配線問題に適用した結果を図12に示す。

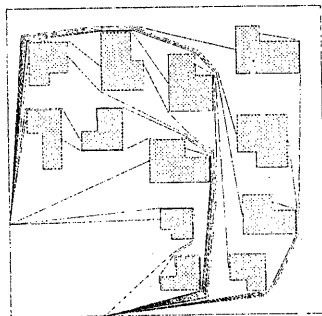


図12: 2系統電源ネットのツリー・トポロジー

## 5 むすび

本稿では、占有面積最小化を陽に考慮した2系統電源ネットの平面トポロジカル配線手法を提案した。これは、モジュールが大きさを持たない電源配線問題に対して配線占有面積最小化を保証する配線順序を動的計画に基づいて求める。そして、モジュールが大きさを持つ実際の電源配線問題についても、その順序に従って2系統電源ネットの平面トポロジカル配線を行うというものである。今後の課題として、等電位パッドが複数存在する場合や、並走する配線の統合による配線面積最小化についての考察が挙げられる。

## 謝辞

本研究を進めるにあたり、数々の有益なご助言を頂きました栗島亨氏(現日本電気)に感謝致します。本研究は文部省科学研究費補助金:奨励研究(A)05855055(平成5年度)「柔軟性の高いLSIレイアウト設計手法に関する研究」の援助のもとに行なわれたものである。

## 参考文献

- [1] Chowdhury, S. and M.A. Breuer : The construction of minimal area power and ground nets for VLSI circuits, *Proc. 22th DA Conf.*, pp.794-797 (1985).
- [2] Chowdhury, S. and M.A. Breuer : Minimal Area Design of Power/Ground Nets Having Graph Topologies, *IEEE Trans. Circuits and Systems* 34, pp.1441-1451 (1987).
- [3] Chowdhury, S. and M.A. Breuer : Optimum Design of IC Power/Ground Nets Subject to Reliability Constraints, *IEEE Trans. CAD-7*, pp.787-796 (1988).
- [4] Dutta, R. and M. Marek-Sadowska : Automatic Sizing of Power/Ground(P/G) Networks in VLSI, *Proc. 26th DA Conf.*, pp.783-786 (1989).
- [5] Syed, Z.A., A.E. Gamal and M.A. Breuer : On routing for custom integrated circuits, *Proc. 19th DA Conf.*, pp.887-893 (1982).
- [6] Lie, M. and C.-S. Horng : A bus router for IC layout, *Proc. 19th DA Conf.*, pp.129-132 (1982).
- [7] Rothermel, H.-J. and D.A. Mlynski : Computation of power and ground supply nets in VLSI layout, *Proc. 18th DA Conf.*, pp.37-42 (1981).
- [8] Russell, D.W. : Hierarchical Routing of Single Layer Metal Trees in Compiled VLSI, *Proc. ICCAD*, pp.270-272 (1985).
- [9] Haruyama, S. and D. Fussell : A New Area-Efficient Power Routing Algorithm for VLSI Layout, *Proc. ICCAD*, pp.38-41 (1987).
- [10] Moulton, A.S. : Laying the power and ground wires on a VLSI chip, *Proc. 20th DA Conf.*, pp.754-755 (1983).
- [11] Xiong, X.-M. and E.S. Kuh : The Scan Line Approach to Power and Ground Routing, *Proc. ICCAD*, pp.6-9 (1986).
- [12] Cai, H. : Multi-Pads, Single Layer Power Net Routing in VLSI Circuit, *Proc. 25th DA Conf.*, pp.183-188 (1988).
- [13] Erhard, K.-H. and F.M. Johannes : Power/ground networks in VLSI : are general graphs better than trees?, *INTEGRATION, the VLSI journal* 14, pp.91-109 (1992).
- [14] Leiserson, C.E. and F.M. Maley : Algorithms for Routing and Testing Routability of Planar VLSI Layouts, *Proc. STOC*, pp.69-78 (1985).
- [15] Dai, W.W. et al. : Topological Routing in SURF : Generating a Rubber-Band Sketch, *Proc. 28th DA Conf.*, pp.39-44 (1991).
- [16] 栗島, 佐藤, 大附: ラバーバンド表現に基づいた逐次配線手法, 信学春季全大, A-103 (1991).
- [17] 栗島, 田中, 佐藤, 大附: ラバーバンドモデルに基づいた逐次配線手法の実装, 信学技法, VLD92-39 (1992).