

高速論理LSI用CAD (CAD75)

池本康博 上川井良太郎 杉山俊樹
岸田邦明 五十嵐亮一 加納 弘
(日立製作所)

1. まえがき

最近、LSIを採用したコンピュータが実用化され始めている。コンピュータの論理素子は高速性が要求され、通常バイポーラ技術が用いられる。コンピュータ用LSIは収容されるゲート数が多くなるに従って汎用論理を作るのが難しくなり、多品種少量生産となる。又、バイポーラ技術を用いるためLSI製造に使用される写真食刻用のマスク枚数がMOS-LSIに比べて多い。その上、コンピュータの論理変更がLSIの内部にまで及ぶことが考えられるため、迅速なマスクの再設計が必要とされる。すなわち、コンピュータ用LSIは、

- (1) 設計コストが安いこと
- (2) 設計及び変更設計期間が短いこと
- (3) 設計不良が少ないこと

の3点が特に強く要求され、CAD (Computer Aided Design) システムが必要不可欠になってきている。

発表されている主なLSIの設計方式は大別して、ビルディング・ブロック方式及びマスタスライス方式に分けられる。ビルディング・ブロック方式はMOS-LSIなどで用いられるもので^{1)~5)}、いくつかの素子をまとめてゲートを作り、品種毎にゲートを配線し、可変の配線領域を使って配線を行なう方式である。

マスタスライス方式では、素子を前もって定められた位置に固定しておき、ゲートの配置、配線は、配線パターンを渡えることにより実現できる。^{6)~8)} 従って同じマスタスライスを用いることにより論理機能の異なる多品種のLSIを経済的に設計できる。

われわれは、コンピュータ用LSIの設計方式としてマスタスライス方式を採用し、上記設計側からの要求を満たすため実用的なCADシステムを開発したので、ここに紹介する。

2. マスタスライスの考え方⁹⁾

マスタスライスとは、数ゲートを構成するのに必要なトランジスタ、抵抗などをまとめたもの(基本セルと呼ぶ)をX方向、Y方向にアレイ状に並べたものである。(図1) この基本セルの内部を適当に接続することによって希望の論理ゲート群を実現することが出来る。ここで実現されたゲート群(SSI相当)をブロックと呼び前もってライブラリに登録しておく。従ってLSIの設計は、ブロックをチップ上に配置し、ブロック間を配線する作業に置き換えられる。(図2) 配線用には2つの層が用いられ配線層間はスルーホールにより接続される。

すなわち、マスタスライスをプリント板、ブロックをIC、ブロック間配線を

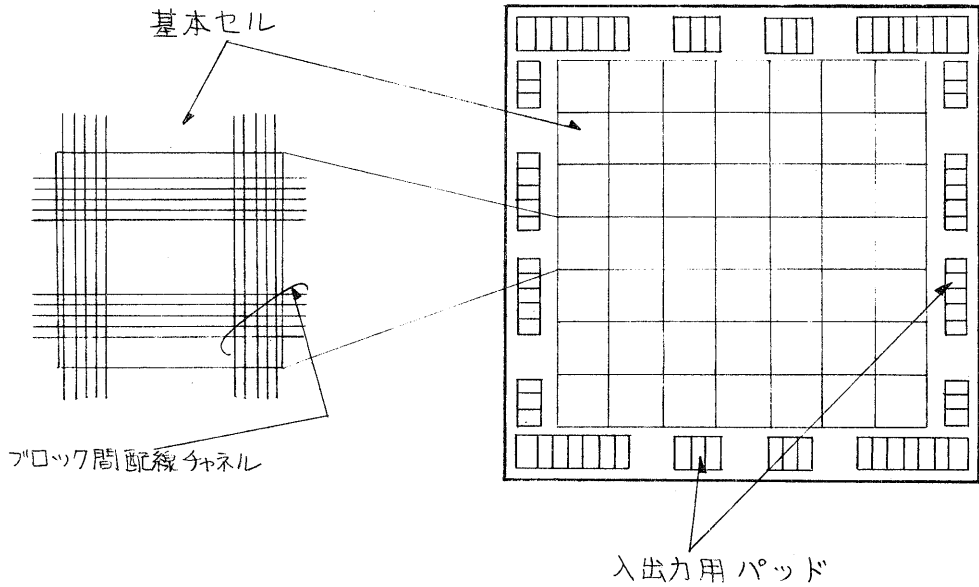


図1. マスタスライスと基本セル

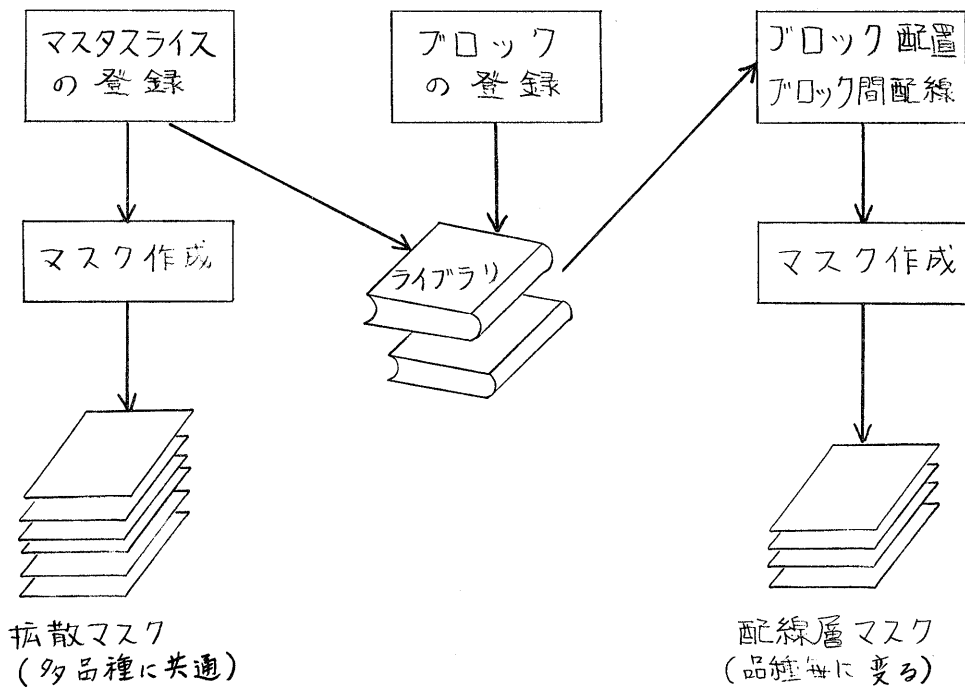


図2. LSIの設計

IC間のプリント配線に対応すれば、LSI設計はプリント板の設計と類似している面もあるが、ブロック内配線や電源パターンが同一配線内内にあり、それらを考慮したアルゴリズムが必要となる。

3. システムの概要

マスタスライスLSI用CADの目的は、上述の如く設計工数と設計期間の短縮と設計不良の低減である。

この目的を実現するため、ここでは、ブロック配置及びブロック間配線設計（レイアウト設計）の自動化、LSIテスタ用の検査データの自動作成、マンマシン会話型式による設計パターンの修正機能、設計結果のチェック機能を持つシステムとした。図3に本システムの構成を示す。システムは7つのサブシステムより成り各サブシステムはLSIマスタファイル（LSIMF）により有機的に結合され設計が進むにつれて情報が追加され設計完了迄統一的に管理される。

次に本システムを用いたLSI設計の流れを説明する。

まず論理図より論理接続データを作成し論理データコンパイラに入力する。コンパイラは入力された論理接続データのフォーマットチェック、シンタックスチェック、論理矛盾チェックなどを行ない、ライブラリと照合し後の処理で必要な情報を構成しLSIマスタファイルに書き出す。配置プログラムでは、マスタスライス上の基本セルにブロックを割付ける。

次に、配線プログラムにより、ブロック間の配線径路を決定しプロット図を作成する。その結果が100%配線されていない場合は、クラフィック・ディスプレイを使用した配線修正プログラムにより配線の追加、修正を行なう。配線チェック・プログラムでは配線修正の結果が、入力された論理データと矛盾していないか、配線禁止領域を通過していないか、などの自動チェックを行なうものであり、誤りかなくなればアートワーク・プログラムによりパターン・ジェネレータ用の磁気テープを作成する。

又、コンパイルされた論理接続データよりLSIテスタ駆動用のテストパターンを自動生成するのが検査データ作成プログラムである。

4. 論理データコンパイラ

論理接続データは通常ブロック単位に書かれる。入力言語は論理図をそのままコーディング可能なもので設計者が記述しやすい簡単な仕様とした。ここでは他のサブシステムで使用する全ての情報を入力できる様にした。従って入力データの妥当性チェックは厳重にし、不良データを含まない信頼度の高いLSIマスタファイルを作成する必要がある。そのためデータチェック部分はCOBOLを使用してきめ細かいチェックを行なっている。

論理データコンパイラの主な機能は次のものである。

- (1) データカードのフォーマットチェック
- (2) ライブラリとの照合チェック及び必要情報のマーシと展開
- (3) ネット構成上のチェック（ファンイン、ファンアウトの制限チェックなど）

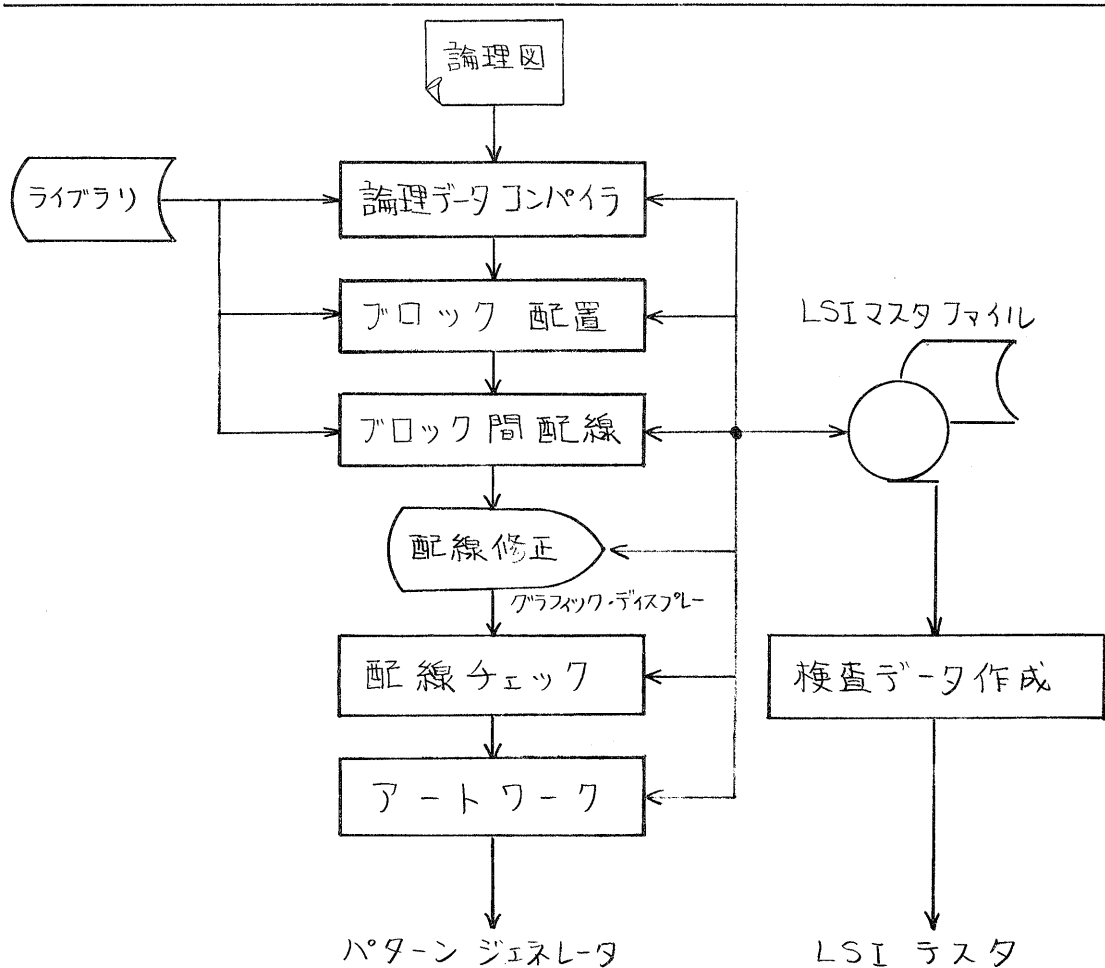


図3. CADシステムの構成図

- (4) データの更新機能 (追加, 消去, 置換)
- (5) LSIマスタファイルの出力

5. 配置プログラム

配置プログラムの目的は、配線経路を容易に見出せるブロック配置を行なうことである。ここでは組立て式の初期配置を行なった後、置換の繰り返し法による配置の改善を行なうアルゴリズムを採用している。

配置処理は図4に示す手順で行なわれる。詳細は五嶋の文献(10)を参照のこと。

初期割付・配置

入出力パッドとゲート間の接続関係によりゲートをブロックに割付け、ブロックをマスタスライス上に配置する。

組み合わせ配置

近接する4個のブロックを4個の場所に配置する全組み合わせ(4! = 24通り)につき評価値を計算し、最良の組み合わせを求める。この手続きを全近接ブロック群に対し繰り返す。

ブロック置換

・仮想配線長が最も長い信号ネットにつながるブロックを優先し、残った全ブロックとの置換による効果を計算し、改良効果の最も大きいブロックと交換する。

ゲート置換

ここではSteinbergのアルゴリズム¹⁾を用いている。

Steinbergのアルゴリズムの要諦は、互に接続されていない要素(Unconnected set of elements)を作り、これらを現在の配置位置より抽出し、仮想配線長の総和が減少するように再配置することである。従って、互に接続されていない要素の数が少ないと、このアルゴリズムの効果は小さい。

そこで次のような点を改良して、Unconnected Set内の要素数を増加した。”

- (1) 要素をゲートとしブロックのタイプが異なっても同種のゲートなる置換可能にした。
- (2) 空のブロックが存在すれば、LSIの中で最も多く使用しているブロックと等価な取扱いをする様にした。

6. 配線プログラム

配線プログラムはブロックの端子間の配線径路を自動的に決定するプログラムである。ここで用いたアルゴリズムはLeeのアルゴリズム¹²⁾にラインサーチに類似の手法を組み合わせたものである。

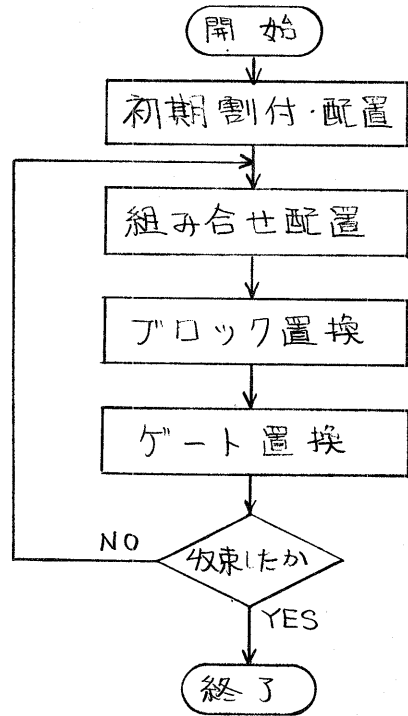


図4. 配置処理

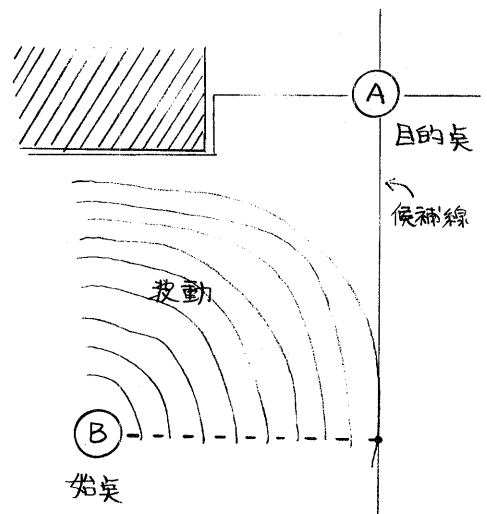


図5. 配線アルゴリズム

Lee のアルゴリズムは配線能力は高いが処理時間が長い。一方、ラインサーチは処理時間は短いが配線能力は前者に比べ低い。そこで本システムでは Lee のアルゴリズムに限定されたラインサーチの手法を取り入れた。

配線の始点より波動を起こし、目的点より4方向に配線候補線を引いておく。候補線が配線禁止領域に達すると、その領域に沿って曲げられる。始点の波動がこの候補線に達した場合、候補線を逆トレースして配線径路とするものである。(図5)

このアルゴリズムで配線できない原因として、既に引かれた配線が始点又は目的点をとり囲んでいる場合が考えられる。又波動が既配線で遮ぎられ先へ進めないことも考えられる。そこで次に述べる方法を追加した。

- (1) 端子を避けて配線径路を求める。
- (2) 波動が遮ぎられた場合、前に引いた配線を切断して配線を続ける。それでも径路が見付からなかったなら前に引いた配線を復活する。

図6に配線処理の概要を示す。

一般に配線プログラムで必ずしも100%の配線率は望めない。一方、配線率を上げるため種々な操作を行なうと径路が複雑になり、人手で配線修正を行なう時、障害となり甚だしい場合には修正不可能となる。そこで本プログラムでは、上述の処理のみとしてできるだけ素直なパターンを生成し、修正をやり易くした。

7. 配線修正と配線チェック

配線処理で全ての径路が見付からない場合、配線の追加、修正が必要となる。

そこで、本システムでは、配線結果をグラフィック・ディスプレイ上に表示し図形化されたパターンを見ながら配線の追加、修正を行なえるようにした。グラフィック・ディスプレイはスタンドアロン・システムであるアプリコン社のAGS/700Mを使用した。

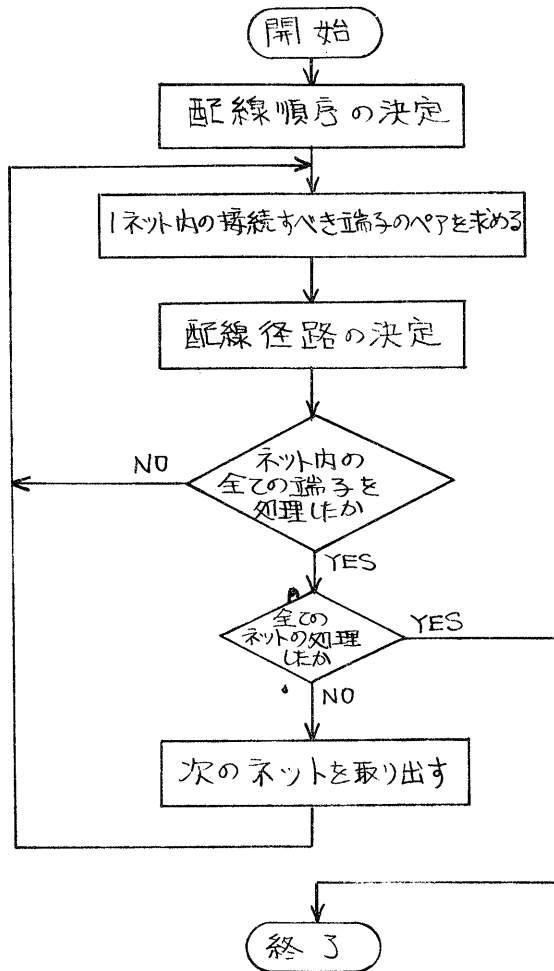


図6. 配線処理の概要

図7にAGS/700Mとの接続図を示す。

AGS/700Mとの接続は、磁気テープを介して行なわれる。配線処理が終了するとグラフィック・ディスプレイ・インターフェースファイルが出力される。AGS/700側でインターフェース・ファイルを入力すればCRT上に配線結果が表示される。必要な修正処理を行なった後、パターンデータはインターフェース・ファイルへ戻されるので、次の設計工程である配線チェックプログラムへ入力することができる。

グラフィック・ディスプレイ・インターフェース・ファイルはセル部とドロ잉部とで構成した。セル部はブロックのパターンを格納した部分でありドロ잉部には配線パターンがファイルされている。

AGS/700Mで追加、修正された配線パターンは、配線チェックプログラムにより論理接続情報と一致しているかどうか検査される。

配線チェックの主な機能は、次のものである。(図8)

- (1) ショートの検出
- (2) 断線の検出
- (3) ループ配線の検出
- (4) 隣接配線間のスペースシワ不良の検出
- (5) 隣接スルーホール間のスペースシワ不良の検出
- (6) 配線禁止領域使用の検出
- (7) スルーホール禁止領域使用の検出

図9に配線チェックプログラムの処理内容を示す。

パターントレース

グラフィック・ディスプレイで修正された配線データよりスルーホールを考慮してパターン接続状態を調べる。パターントレースのアルゴリズムは次の様なものである。

すなわち、ある配線に接続している配線を見付け出し一つの配線に右

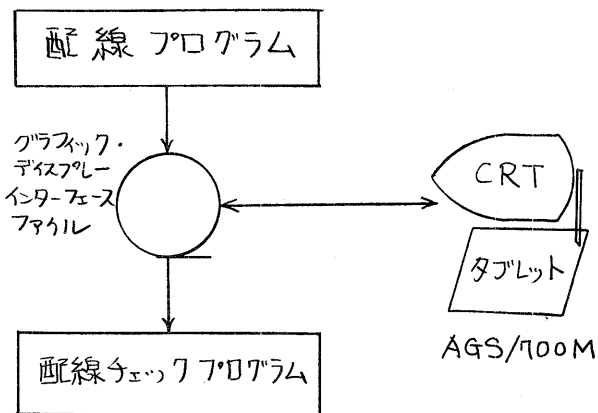


図7. AGS/700Mとの接続

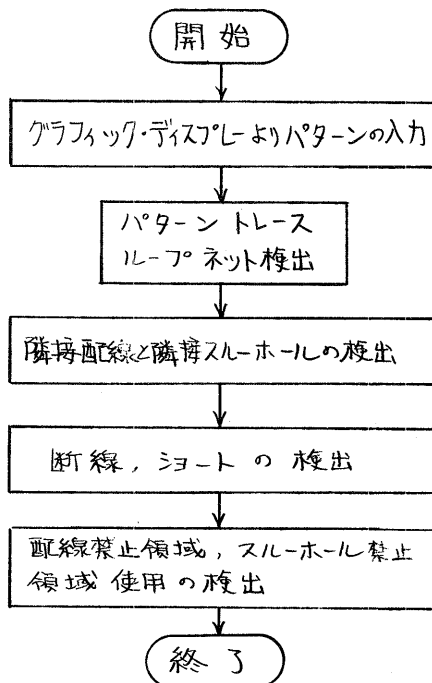


図9. 配線チェックプログラムの処理

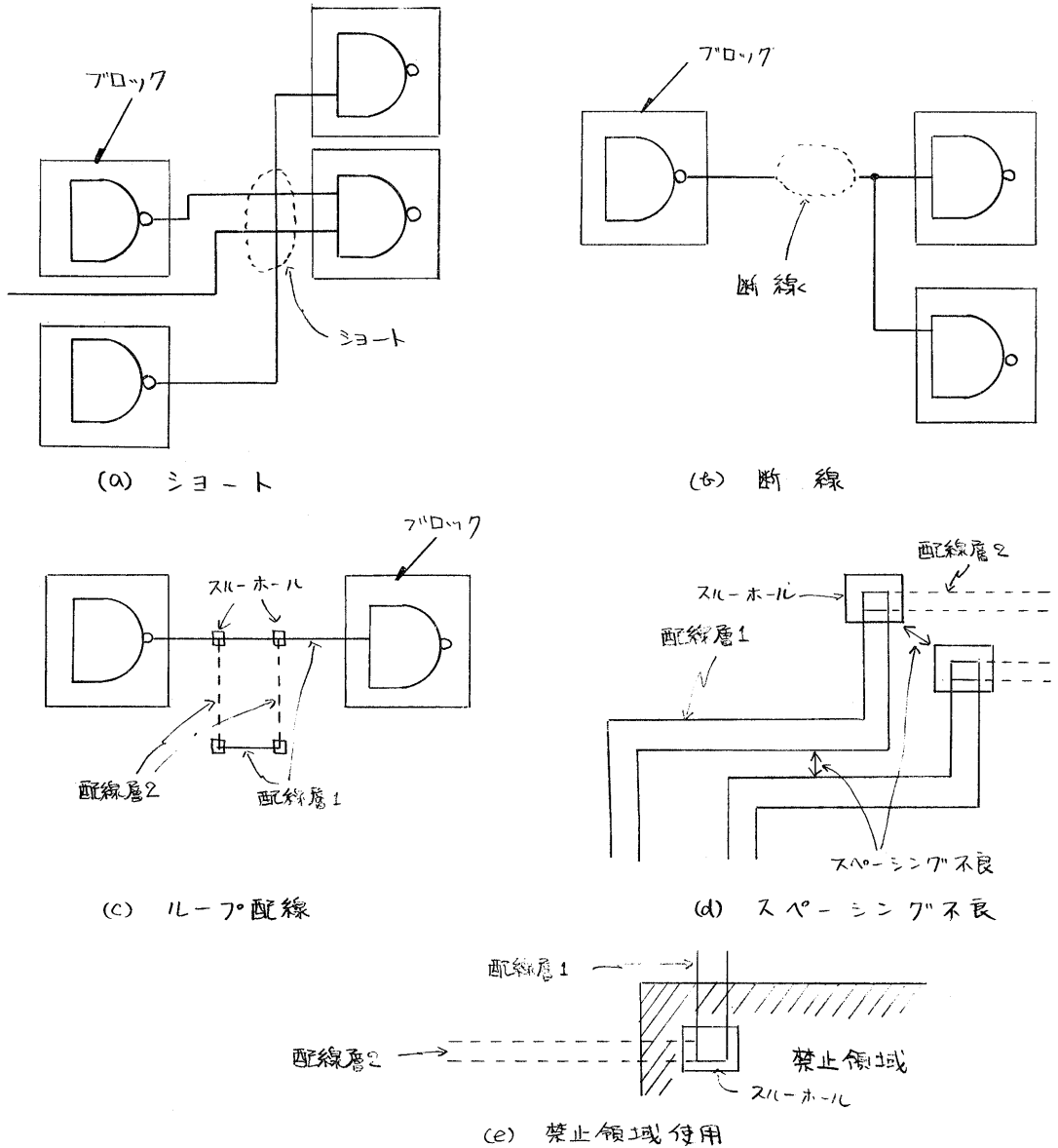


図8. 配線ネットワークプログラムの主な機能

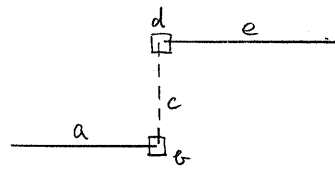
成する。接続状況は、互に相手にリンクしている2つの要素を持つグラフで表わされる。これはデータ構造上、文献13)で触れられているサーキュラリストである。(図10)

全ての配線について、この処理を行えばパターントレースが終了する。

ループネット

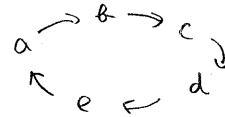
ループネットはサーキュラリストの成長段階で1つの閉じたサークルにならぬが2個のサークルに分解された状態として検出される。

隣接配線，隣接スルーホール
 隣接配線，スルーホールが禁止されている場合，各配線，スルーホールの相互位置を調べる。



配線パターン

断線，ショート
 サークュラリストにより合成された配線と論理接続データを重ね合わせ，各配線に含まれる端子数と端子座標と比較，照合することにより検出する。



サーキュラリスト

図10. パターントレース

配線禁止領域及びスルーホール禁止領域使用

禁止領域中に配線又はスルーホールが存在するかどうか調べる。

8. 検査データ作成

検査データの自動作成はLSIマスタファイルの論理接続データに基づいてLSI検査用のパターンを作成するものである。

ここで用いたアルゴリズムはLSIの入力ピンに乱数によるパターンを与え，論理をシミュレートすることにより出力を求め故障の検出に有効であるかどうか判定して採用する検査パターンを決定するものである。論理がしぼられていたりフリップフロップが多段につながっているような回路で十分な検出率が得られない場合には，人手で入力パターンを与えることにより検出率を向上させることができる。

9. アートワーク

レイアウト設計が完了した時点で，最終図面のプロットとマスクを作成するためにパターンジェネレータ用磁気テープを出力する。

10. むすび

マスタスライスLSI用に論理接続データの入力からマスク作成用の磁気テープ及びLSIテスト用の磁気テープを作成する一貫したCADシステムを開発した。本CADシステムの特徴は，本文でも述べたようにスタンダードシステムを結合した配線修正と配線チェック処理であり大きな効果を発揮している。

本システムの適用結果を図11に示す。本システムを適用してLSI設計を行なった結果，人手設計の場合と比較して，設計期間で1/2，設計工数で1/3に短縮でき，実用的なシステムであることが確認された。

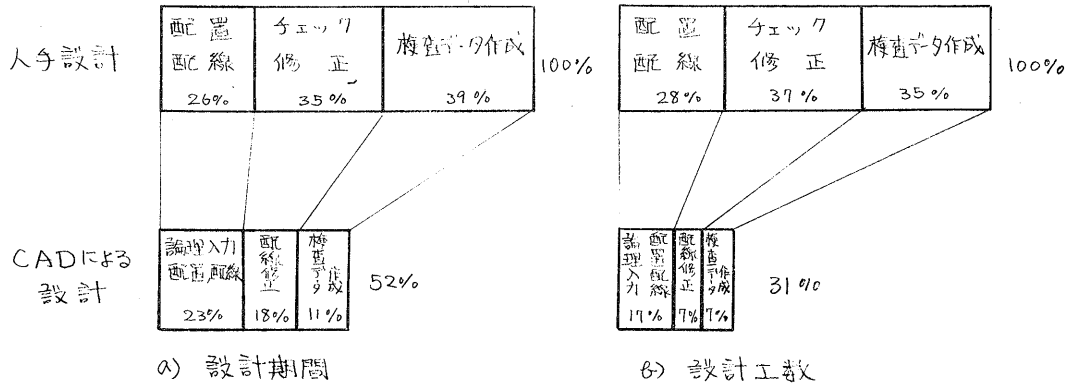


図 11. CAD 適用結果

参考文献

- 1) 杉山, 平野 : ビルディングブロック方式LSIの自動配置配線設計システム, 信学会, 半研資, SSD11-23, 1971
- 2) 堀野, 平野 : LILACシステムの配線手法, 信学会全大, S4-8, 1972
- 3) T. Kozawa et al. : Block and Track Method for Automated Layout Generation of MOS-LSI Arrays, ISSCC, P62, 1972
- 4) T. Kozawa et al. : Advanced LILAC - An Automated Layout Generation System for MOS/LSIs, Proc. Design Automation Workshop, 1974
- 5) 石橋, 酒見 他 : MOS-LSI レイアウト設計システム LILAC-3の開発, 情報学会設計自動化研究 75-22, 1975
- 6) 杉山, 種田 他 : LSI配線経路決定プログラム CARPの評価, 情報学会設計自動化研究 74-10, 1974
- 7) 和田 : LSIゲート配置プログラム(ALPS)の評価, 情報学会設計自動化研究 75-23, 1975
- 8) 大津, 柳井 他 : LSIにおける自動設計とグラフィックディスプレイへの応用, 情報学会設計自動化研究 74-17, 1974
- 9) A. Masaki et al. : 200 Gate ECL Master-Slice LSI, ISSCC, P62, 1974
- 10) S. Goshima et al. : A Placement Program for Printed Circuit Board, USA-JAPAN Design Automation Symposium '75 Proc., P95, 1975
- 11) L. Steinberg : The backboard wiring problem. A placement algorithm, SIAM Rev., Vol. 10, No 2, p 316, 1961
- 12) C.Y. Lee : An algorithm for path connections and its applications, IRE Trans. EC, Vol. 10, No 2 p 346 1961
- 13) D.E. Knuth : Fundamental algorithms, The Art of Computer Programming, Vol 1., 1968
- 14) 大森 上田 : LSI設計自動化の現状, 情報処理, Vol. 14, No 9, p 684, 1973