

多層基板用自動設計システム

栗本卓治
永川俊明

西田久生
西岡郁夫(サブ)

千葉 徹
藤岡隆次
山本誠司
内野正(オグダ理研)

1. まえがき

回路の高密度化に伴ない、プリント基板の設計自動化の重要性はますます高まりつつある。筆者の一部等は先に2層プリント基板用自動設計システムを開発し、^{[1]~[3]} 実用してきたが、増大する一方の高密度実装の需要に答えるための従来のシステムを拡張して新たに多層プリント基板の自動設計にも対応できるシステムを開発したのでここに報告する。

2. システムの概要

本システムは多層プリント基板を対象とする自動配線設計システムであり自動配線プログラム、会話型配線修正プログラムを中心としている。主な特徴として次のことが挙げられる。

(1) 配線手法として線分探索法と迷路法を用い、特に線分探索法では探索手続きを細分化し、それぞれの手続きの中で探索可能なパターンを制限することにより無駄な経路の発生を極力防いでいる。

(2) 配線層は2層毎を配線層ペアとする2層化多層配線方式とし、各配線層ペアでの配線規則は

- (i) ICピン間1本配線
- (ii) ICピン間2本配線

を自由に選択できる。なお、部品ピンおよびビアは1/10インチ格子にのり、全層貫通方式とする。

(3) 自動配線プログラムは任意の時点での再実行機能を持っているため自動配線処理のみで100%の配線率を得られない場合には会話型配線修正プログラムと組み合わせて実行す

ることにより設計を進めることができる。

2.1 システムの構成

ソフトウェアの構成を図1に示す。処理に要するファイルは(I)モジュールライブラリファイル (II)入力データファイル (III)主データファイル (IV)層構造記述ファイル (V)アートワークファイルである。

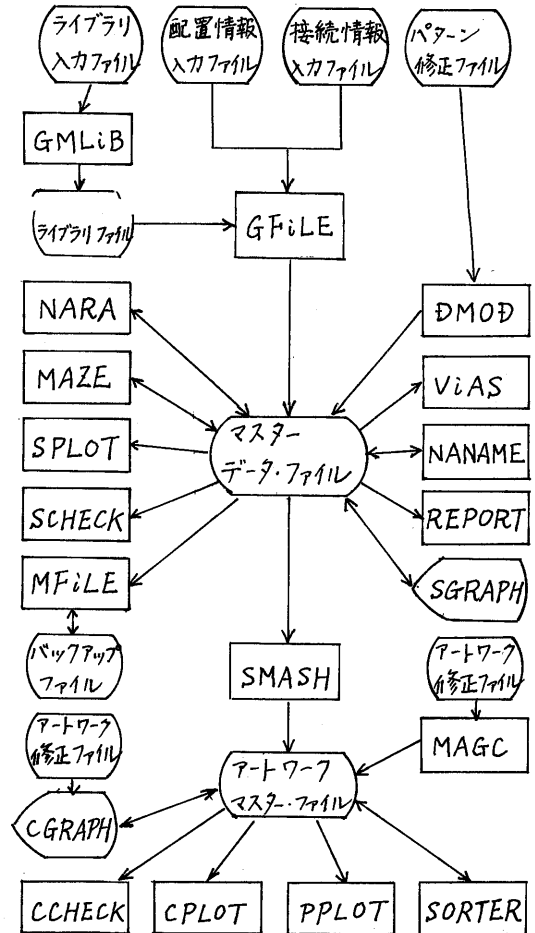


図1 ソフトウェアの構成

各プログラムはマスター・ファイルを取り巻くように構成され、設計の流れに応じて使用者が選択することができる。主要なプログラムの機能を表1に示す。

表1 主要なプログラムの機能

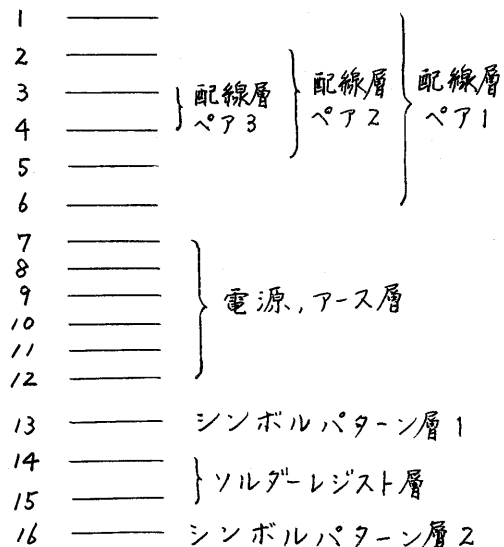
プログラム名	機能
GFILE	入力データを検査しモジュールライブラリを参照してマスターファイルへ変換する。
MFILE	バックアップ・ファイルの入出力。接続データの変更などマスターファイルの管理
NARA	線分探索法処理プログラム
MAZE	迷路法処理プログラム
SGRAPH	グラフィック・ディスプレイを介した会話型修正プログラム
CGRAPH	た会話型修正プログラム
VIAS	ビア削減プログラム
SCHECK	会話型修正処理で発生しうる開放故障、短絡故障の検出
CCHECK	アートワーク・ファイル上のスペーシング検査
GMLIB	モジュール・ライブラリ保存プログラム
SPLOT	各種プロッター出力プログラム
PLOT	

システムはミニコンピュータ PDP 11/34 (128 KW, 16 bits/w) を使用して実現され、グラフィック端末としては TEKTRONIX 4014 型 CRT と 4953 型タブレットを用いた。さらに本システムは、複数のターミナルから複数のタスクを実行できるマルチタスク方式のオペレーティング・システム RSX 11/M を採用しており、会話型修正処理と自動配線というような CPU の使用形態の異なるプログラムを並行して実行することにより運用の効率化がはかれる。

2.2 層構造の記述

本システムで取り扱える層の数は最大 16 層までであり、その構造は使用者が決めることができる。表2に標準的な層構造を示す。

表2 層構造の例



また、本システムでの制限事項を表3にまとめる。

表3 システムの制限事項

最大層数	16
基板サイズ	630 ^{mm} X 630 ^{mm}
実装部品数	2000
最大ネット数	4000

2.3 モジュールの定義

回路モジュールをモジュール・ライブラリへ定義、登録する場合にはすべての層を使用できる。定義する内容は、(1) モジュール名称 (2) ピン数 (3) 外形寸法 (4) ピン座標 (5) 禁止情報 (6) ラウンド座標 (7) 線分情報 (8) シンボル情報 などである。図2

にモジュール定義されたICをグラフィック・ディスプレイ上に表示した例を示す。図2(a)はフラットパッケージのICであり、外形図、ピン、リード線分、一番ピンを示すシンボルが定義され、(b)はDIPのICで、ピン、外形図、部品シンボル図が定義されている。

3. 自動配線プログラム

自動配線プログラムは、線分探索法と迷路法から構成される。これらの主な特徴は

- (1) 1/10インチの基本格子上的のみビアを発生する。また多層化の効果を上げるため、線分探索法で生成する線分はビアの発生しないサブ格子を主として使用する。
- (2) 配線規則(ICピン間1本, 2本配線)は配線層ペアごとに選択可能である。
- (3) シグナル・ネット単位の配線を一筆書き配線にするか分岐配線を許すかを指定できる。
- (4) 一筆書き配線に際して、配線経路の始点と終点になるべき端子を指定できる。
- (5) シグナル・ネット単位の配線層ペア指定、線巾指定が可能である。
- (6) 任意のプリアサイン線分やビアの指定、配線禁止領域、ビア禁止領域の指定が可能である。
- (7) 未配線ネットが生じた時には、配線層ペアの指定変更をしたり、人手修正を加えたりした後で再び自動配線を実行できる。

3.1 線分探索法

線分探索法^[4]を含めて従来からある発見的手法の欠点として次のことが指摘される。すなわち、処理順序が後に

なる結線をあらかじめ考慮しつつ配線処理を進めていくことは困難であり、しかも一度決定した経路は以下の結線に際して障害物として取り扱うために未結線のピンを発生させることが多い。

このことを克服するために、種々の解析的手法^[5,6]が提案されている。これらの手法が目指すものは例えば、(1) 混雑度の平滑化^[7] (2) シグナル・ネットの配線経路間の影響を数値化して配線順序、配線経路を決定する。(3) 既に設定された経路を、現在配線しようとするネットの経路によりダイナミックに変更させながら探索を進める^[6]という点である。

しかし、これらのアルゴリズムに共通して言えることは、まず計算量が膨大で少なくともミニコンで大規模なデータを扱うには適していないということ、さらには、現実の問題を扱うにはアルゴリズムの制約条件が多すぎるといふ点、あるいは、きめ細かい配線を要求されるプリント基板には不向きであるということなどが挙げられる。

本システムの自動配線プログラムにおいては、従来の発見的手法を用いながらも極力上記の欠点を克服するため次のような手法を採用した。すなわち、生成する経路のパターンを限定し、そのパターンの複雑度を段階的に制御可能とする。与えられたすべてのネットに対し、まず低い複雑度のパターンに限定探索し、これで配線しうるネットのみ配線する。次に、順次高度の複雑度を持つパターンを全未配線ネットに適用していく。図3に適用するパターンを分類する。

図3において、たとえばタイプIIについては探索の順序として図4に示す通りがある。

本システムでは基板上で与えられたチャネルを有効に使用するため、端子対の基板上的位置を考慮して図4の(a)

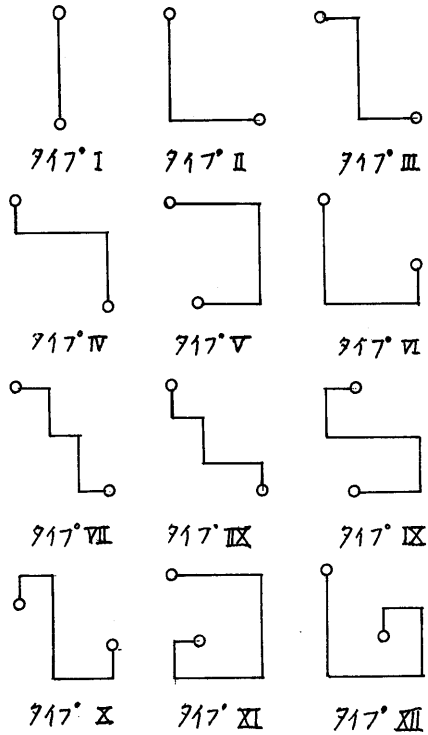


図3 適用パターンの分類
(端子対端子)

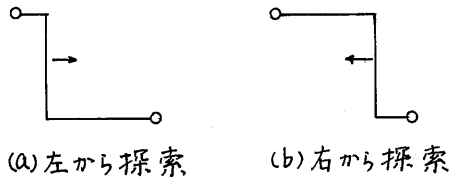


図4 探索順序の選択

と(b)のいずれが適当かを判断している。これにより局所的な混雑をできるだけ防いでいる。

さて、本システムはミニコンで実行されるので、各タスクが占有するメインメモリは32 KW (1W = 16 bits) に制限されるため core saving が重要な問題となる。そこで、基板の状態を表現するのに、データ数に依存しないセルマップ方式を採用している。基板は図5に示すように基本格子によって

形成されるセルで表わされ、経路探索はこのセルを単位として実行される。

これにより実際に配線経路を表わすために使用される格子と比較した場合 $1/9$ のセル数で済む。

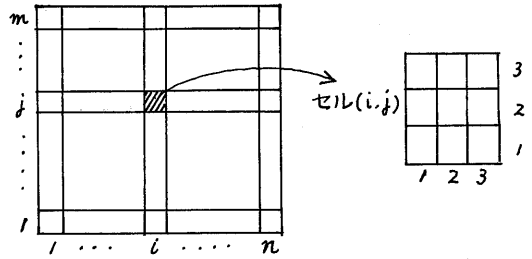


図5 セルマップとセルに対応する実際の配線格子

セル (i, j) に同時に割り当てられるのはビアが1つ $(2, 2)$ に、水平線分が2つ $(k, 1)$ と $(k, 3)$ 、垂直線分が2つ $(1, k)$ と $(3, k)$ (ただし $k=1, 2, 3$) に限定する。

全層貫通方式のビアを想定した場合、 $(2, 2)$ の位置に線分を生成することは、以後この位置にビアを生成できなくするために得策でない。

線分探索法は探索処理速度が速く、しかも配線達成率が高いが生成されるパターンには本システムでは図3に示した制限があるため、配線経路が混み合ってくると配線能力が低下する。そこで、線分探索法の後に迷路法^[8,9,10]を実行する。次に本システムで用いた迷路法の概要を述べる。

3.2 迷路法

ここで用いた迷路法は基本的には、HADLOCK^[10]により提案された手法により高速化をはかっている。しかし、この手法は配線経路が存在するときには高速に探索しうが、一方経路が存在しないときには処理時間が長くなるため、従来のフレーミング法を併用した。

また、線分探索法のとくと同様に迷路法処理を階層化し、次に述べるよう

な種々の特性を持ったプログラムを用意した。

線分探索法では上述のごとく、水平線分に対して図5(b)の(1,2), (3,2)の格子点、垂直線分に対して(2,1), (2,3)の格子点を使用しないので、迷路法ではこれらの格子点を有効に利用することにより高い配線率を実現している。

(1) MAZE1

線分探索法の曲がり回数を無制限にしたもの

(2) MAZE2

ビアの位置(2,2)に線分不可

(3) MAZE3

ビアの位置に線分可

(以上 HADLOCK)

以上の3組の手法はいずれもフレミングおよび曲がりの回数に制限を設定することが可能であり適当な選択により高い配線率を得ることが出来る。

一般には MAZE1 MAZE2 MAZE3 の組み合わせが有力である。

4. 実験結果

本システムの自動配線の能力を実験するため、いくつかの実用回路について人手修正を一切用いずに、線分探索法の後に引き続いて迷路法を実行させた結果を表4に示す。表において部品搭載密度とは、全ピン数を14で除した値(14ピン換算部品数)で基板サイズを除いた数値である。またデータ番号5~10に関しては、外層配線層ペアではピン間1本配線、内層配線層ペアではピン間2本配線を実施した。

最後に信号層4層の例につき最終プロット図を図6に示す。

5. まとめ

筆者らは先に2層プリント基板設計

システムを開発し、報告したが、回路規模の増大と高密度実装への要求および基板製造技術の進歩に対応するため、今回多層プリント基板自動設計システムを開発した。多層基板では高級回路を扱うことに注目し、ネットの一笔書き処理や、ネット単位の配線層指定、配線中指定などを可能にした。

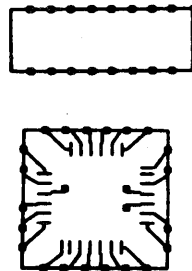
謝辞 本研究に際して御援助いただいたシャープ(株)上田部長、三坂部長、タケダ理研(株)風巻部長に感謝いたします。

参考文献

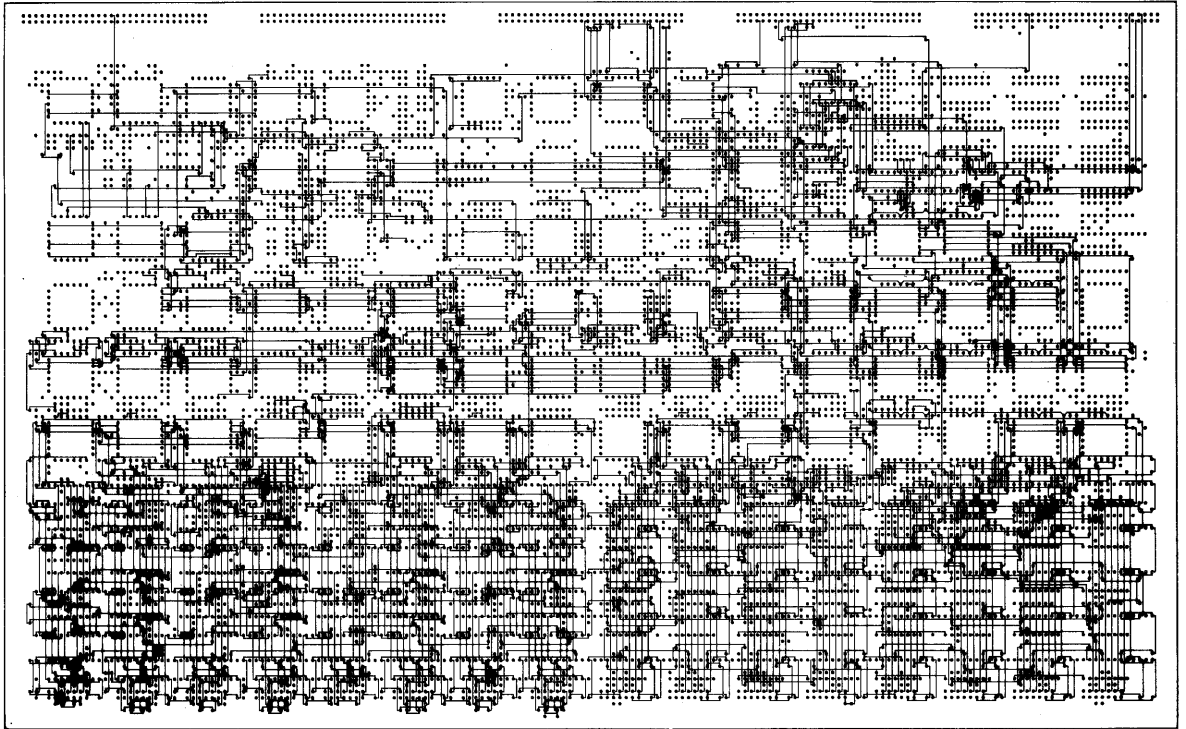
- [1] I.Nishioka, T.Kurimoto, H.Nishida, I.Shirakawa, H.Ozaki: "A Minicomputerized Automatic Layout System for Two-layer Printed Wiring Boards", Proc. 14th DA Conf., p. 1 (1977)
- [2] I.Nishioka, T.Kurimoto, S.Yamamoto, I.Shirakawa, H.Ozaki: "An Approach to Gate Assignment and Module Placement for Printed Wiring Boards", Proc. 15th DA Conf., p. 60, (1978)
- [3] 西岡, 栗本, 西田, 山本, 白川, 尾崎: "会話型プリント基板設計システム", 情報処理, 20, 6, p. 453 (1979)
- [4] 山村, 白川, 尾崎: "二層プリント基板上の配線問題に対する線分探索の手法", 信学論(A) 57-A, p. 671 (1974)
- [5] J.C.Foster: "A 'Lookahead' Router for multi-layer Printed Wiring Boards", Proc. 16th DA Conf., p. 486 (1979)
- [6] J.Soukup: "Global Router", Proc. 16th DA Conf., p. 481 (1979)
- [7] K.A.Chen, M.Feuer, K.H.Khokhani, S.Nan, S.Schmidt: "The Chip Layout Problem: An Automatic Wiring Procedure", Proc. 14th DA Conf., p. 298 (1977)
- [8] C.Y.Lee: "An Algorithm for Path Connection and its Applications", IRE Trans., EC-16, p. 345 (1961)
- [9] J.M.geyer: "Connection Routing Algorithm for Printed Circuit Boards", IEEE Trans., CT-18, p. 95 (1971)
- [10] F.O.Hadlock: "A Shortest Path Algorithm for Grid Graphs", NETWORK, 7, p. 323 (1977)

表 4 自動配線プログラムの実験結果

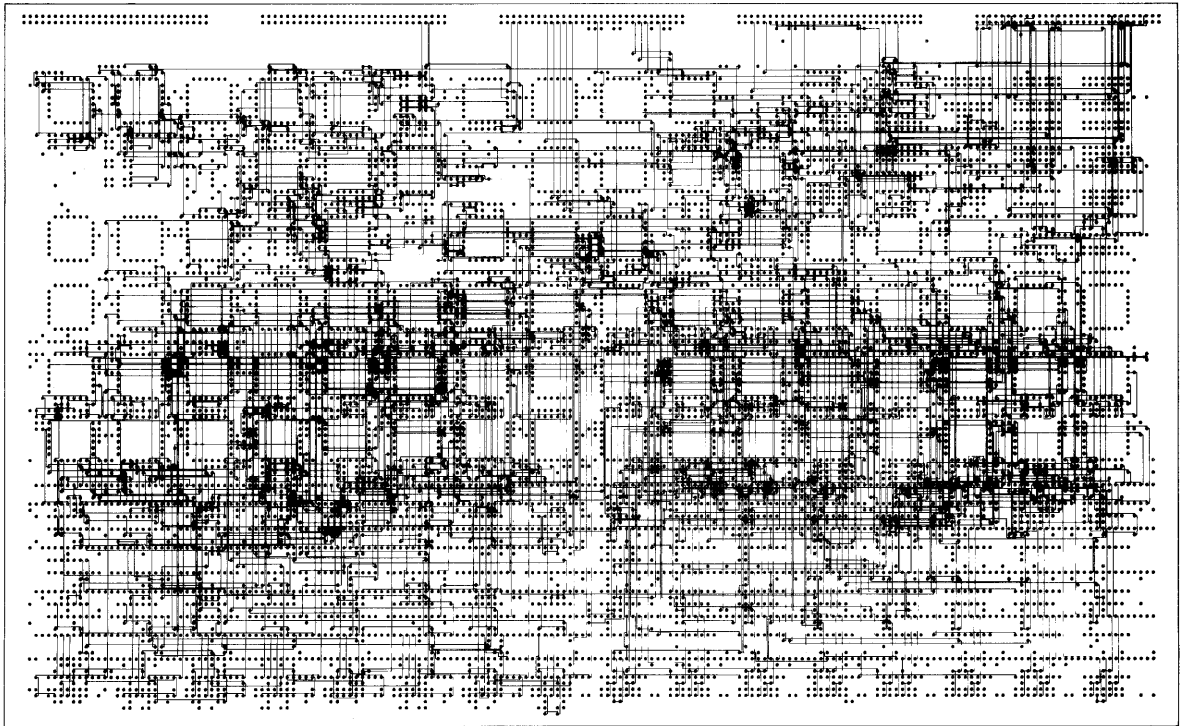
データ No.	基板サイズ(寸)	基板層数	信号層数	ネット数	配線区間数	配線規則	全ピン数	部品搭載密度 (unit/ic)	配線率		
									LINE	MAZE	Total
1	10.4×10.3	2	2	176	382	T分岐可	1399	1.07	95.29	4.71	100
2	8.8×11.2	2	2	301	541	T分岐可	1226	1.13	96.49	3.51	100
3	13.2×11.2	2	2	332	692	T分岐可	1663	1.24	99.57	0.43	100
4	10.4×10.4	2	2	392	524	T分岐可	1371	1.10	92.94	6.68	99.62
5	18.2×12.0	8	4	463	2004	主に一筆書き	5469	0.56	95.96	4.06	100
6	18.2×12.0	8	4	402	842	主に一筆書き	5032	0.61	96.44	3.56	100
7	18.2×12.0	8	4	927	1981	主に一筆書き	5844	0.52	93.08	5.81	98.89
8	18.0×11.8	8	4	1020	1976	主に一筆書き	5572	0.53	90.59	8.70	99.29
9	18.0×11.8	8	4	690	2494	T分岐可	4891	0.61	94.79	4.33	99.12
10	18.0×11.8	8	4	1112	2302	主に一筆書き	5612	0.53	97.91	1.09	99.00



(a)
(b)
図2 フラットパッケージとDIP



(a) 外層配線ペア (ピン間1本)



(b) 内層配線ペア (ピン間2本)

図6 最終パターン図