

# LSI マスクアートワーク解析システムとその応用

千葉俊明 三橋隆 高島誠 吉田憲司  
(東京芝浦電気(株) 半導体事業部)

## 1. まえがき

LSI 製造技術の発展, 特に微細加工技術の急速な進歩により, 1 個の LSI に搭載できる機能素子の個数は急激な増大を続けている。このような LSI の大規模化は, その設計過程に対しても大きな影響を及ぼしている。LSI の設計作業は, その自動化がさまざまな形で進められている。しかしながら, 現状では人手による作業が多く介在し, 設計上の誤りの発生源となっている。LSI の大規模化に伴って, このような誤りの防止がますます重要になってきている。

試作した LSI の評価によって設計上の問題点が判明した場合, 修正を行った上での再試作・評価という過程を経ることになる。このサイクルは, その LSI の量産が可能と判断されるまで繰り返されるが, 開発期間を長びかせる主な原因となる。また, この過程で検出されなかった設計ミスによって, 量産時の良品率が低下することがある。いずれにしても, 設計上の誤りは LSI のコストを上昇させる要因となる。LSI の設計作業は図 1 に示すようにいくつかの段階に分かれるが, 誤りを早期に確実に検出し修正することが, 効率的な開発を行うために重要である。

LSI アートワーク設計は, 電子回路レベルの設計データをマスク上の幾何学的図形情報に変換する過程である。したがって, 設計されたアートワークからそれが表現している電子回路情報を抽出することは, アートワーク設計の検証のための重要な手段である。本文で述べる LSI マスクアートワーク解析システム (EMAP—*Extended Mask Art-work Analysis and Processing System*) はこれを目的として開発したシステムであり, その応用プログラム群との連携によりアートワークが設計者の意図した回路を表現しているかどうかを検査する。

以下では, EMAP およびその関連プログラムについて, 機能, 特徴, アートワーク設計検証作業における役割などを述べる。

## 2. EMAP の概要

### 2. 1. 特徴

LSI アートワーク設計検証の自動化を目的としたシステムとしては, 図形の幅や間隔などに関する幾何学的設計基準が満足されているかどうかを検査するシ

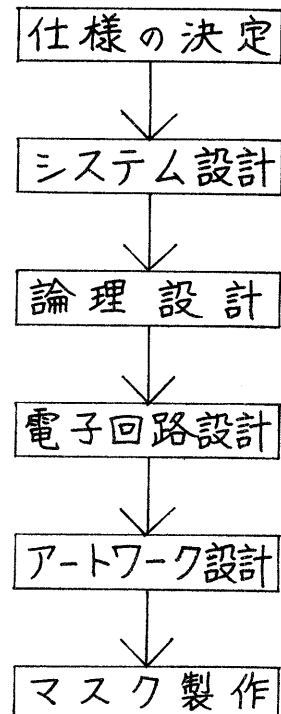


図1 LSI の設計手順

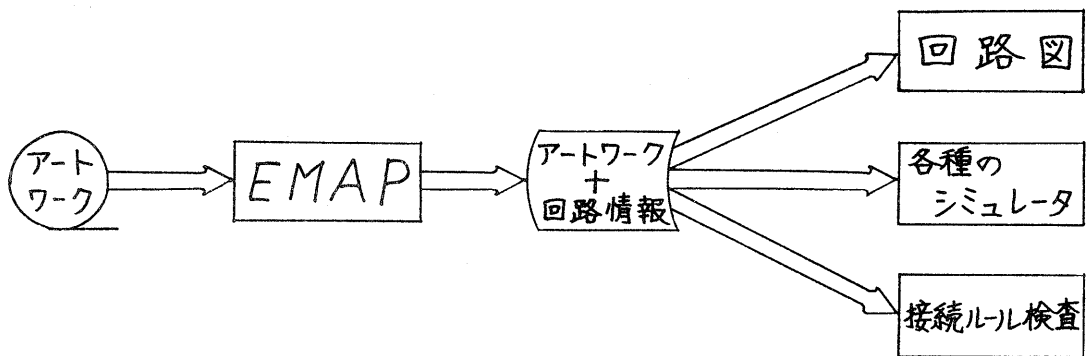


図2 EMAPとその応用

システムがまず開発されている。<sup>[1]</sup> 次の段階として、アートワークが設計者の意図した電子回路を忠実に表現しているかどうかを確認する手段が目標となっている。本文で述べるEMAPはこれらの両方の機能をもつ総合的なシステムである。本文では主として後者の機能について紹介する。

アートワークが表現している電子回路が正常なものであるかどうかを検査する方式としては種々のものが考えられる。いずれの方式を採用するとしても、アートワークという幾何学的表現となっている電子回路を、素子の存在とその接続、素子の電気的特性値などによる表現に変換すること、すなわち、アートワークデータからの回路情報抽出が不可欠である。EMAPの主要部はこの変換を実現するためのものである。アートワークから抽出された回路情報は、各種の関連プログラムにより、アートワーク設計の正当性検査のために使用される(図2)。

EMAPは下記の基本的特徴をもつ。

(a) アートワーク設計検証手法の多様性

EMAPによる回路情報抽出は、特定の関連プログラム(たとえば特定のシミュレーションプログラム)への接続を目的としたものではなく、アートワークから読み取ることでできる回路情報を蓄積したデータベースを構築するという形で行う。このことは、各種の関連プログラムへの接続が可能であること、すなわち、さまざまな設計検証手段の開発が容易であることを意味している。

(b) L S I の種類に対する独立性

EMAPは現在MOSLSIを対象としているが、MOSLSIといっても製造プロセスの相違にもとづくさまざまな種類が存在する。このことは、処理対象であるアートワークの質的相違をもたらし、回路情報抽出手法の柔軟性を要求する。EMAPでは、システム全体の機能を利用者側の観点での単位機能に分割してそれぞれをコマンドとして利用者に開放し、利用者が必要なコマンドを選択・配列することを通じて機能の柔軟性を実現している。なお、標準的な種類のLSIに関してはマクロコマンドによってEMAP利用を容易化している。また、EMAPはトランジスタレベルの回路情報を抽出するため、LSIの回路方式(論理機能の電子回路による実現方法など)の相違に対しても独立である。

(c) アートワーク設計手法の相違への対応

EMAPが処理対象とするアートワークは、マスク製作に使用されるレベルのものである。すなわち、シンボル、ブロックなどを展開した設計の最終段階のデータを検査対象とする。このことにより、アートワーク設計手法の相違による設計作業進行中のデータ表現方法の多様性に対処することができる。

#### (d) 処理の完全性

アートワークを取扱うシステムの中には、その図形表現方法などに由来する理由により、機能上の制約をもつものがある。EMAPにおいては、台形を図形表現の基本単位とすることにより任意の多角形の取扱いを可能とし、また各種作業領域の自動拡張によるデータあふれ防止など、機能上の制約をもたらず要因を極力排除している。

#### (e) アートワーク処理のための総合システムであること

EMAPは回路情報抽出機能の他に、幾何学的設計基準検査、マスク製作用データ作成などを行う能力をもっている。このことは、利用者側からみれば、単一のシステムで多様な処理が可能でありファイル変換の手間が省けるという利点をもつ。幾何学的設計基準検査などにおいても、処理の完全性、LSIの種類に対する独立性等が保たれている。アートワークからの回路抽出以外のEMAPの主な機能を列挙しておく。

- 幾何学的設計基準検査——図形の幅、間隔、包含関係、面積などに関する検査を行う。
- マスク製作用データ作成——パターンジェネレータもしくは電子ビーム露光装置を駆動するための磁気テープファイルを出力する。
- アートワークの自動生成——特定の層に幾何学的な処理を行って得られる層を自動的に生成する。これにより、LSIアートワーク設計者が直接設計すべき層の数を削減できる。
- アートワークの補正——製造プロセス上の理由による設計データと仕上げ寸法の差を補償するために、あらかじめ図形を太くまたは細くする。

## 2. 2. データベース

EMAPにより抽出された電子回路情報は、アートワークデータと結合した形でEMAPデータベースに格納される。各種のEMAP関連プログラムは、このデータベースに格納された回路情報等を入力として動作する。

EMAPデータベースの構造概略を図3に示す。EMAPデータベースは、アートワークを格納する部分(G-file)と、電子回路情報を格納する部分(N-file)とからなる。幾何学的図形情報とそこから抽出された回路情報とは、その対応関係にもとづいて結合された形で格納されている。EMAP自体あるいは各種の関連プログラムの機能実現を容易にするため、データベース内のデータに対するさまざまなアクセス経路が用意されている。

アートワークの表現に用いる単位図形はy軸に平行な2辺をもつ台形(atom)である。1個の閉図形をなす台形群はグループ(compound)をなすものとみなし、一括して取扱うことを可能としている(図4参照)。また、図形情報と回路情報との結合もcompoundを単位として行う。この図形表現法は任意の多角形を互いに重ならない単位図形群で表現することができ、処理の完全性の確保・アルゴリズムの簡素化に寄与している。

なお、N-fileはネットワーク型に属する汎用データベース管理システムを採

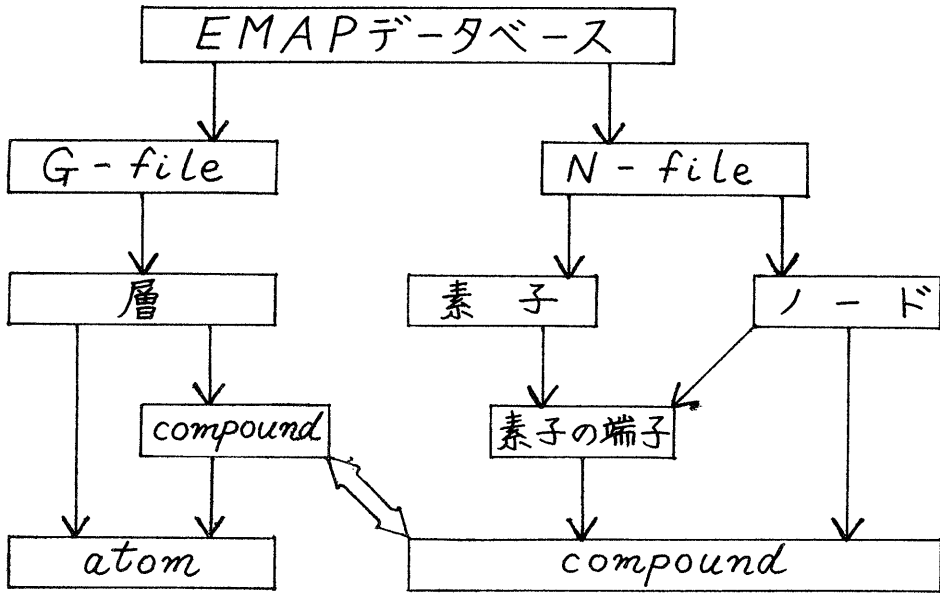


図3 EMAP データベース

用して実現している。

### 2.3. 電子回路情報の抽出手順

アートワークから電子回路情報を抽出するために、EMAP利用者は処理対象LSIの属性に応じたコマンド系列を用意する。回路情報の抽出は図5に示すようにいくつかの段階からなり、各過程は1～10個程度のコマンドからなる。

EMAPによる素子の認識は、指定した層間におけるアートワークの相対的な

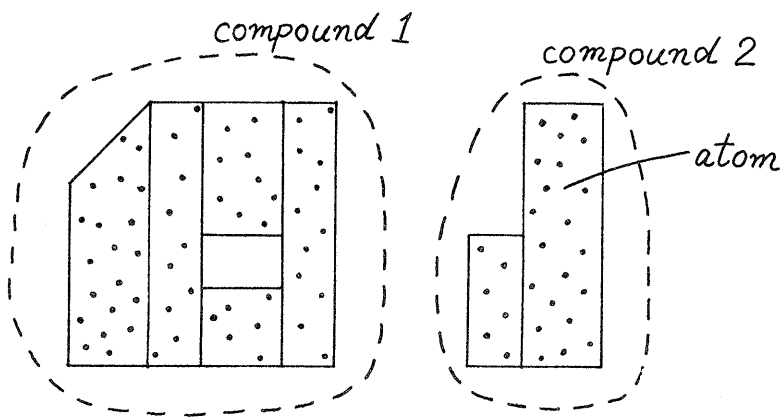


図4 EMAPにおけるアートワークの表現

位置関係（重なり、隣接など）が特定の条件を満たす場合、そこに素子が存在するものとみなすという形で行う。したがって、処理対象であるLSIの種類に応じた図形処理を素子認識に先立って行うことにより、製造プロセスの相異に対応できる。

EMAPによって認識された素子およびノードには、

それらの識別名として通し番号が自動的に与えられる。しかし、抽出された回路情報を利用する際には、素子あるいはノードが有意な識別名をもっていた方が便利である。このため、識別名を変更する機能が用意されている。さらに、対話型システムを使ってのネットワーク設計時に命名した識別名を採用することも可能である。

EMAPによって把握される回路のパラメタとしては、MOSトランジスタのチャンネル長、チャンネル幅、各ノードを構成するネットワークの層ごとの面積などがある。いずれも、回路の電気的特性に直結した幾何学的数値である。

## 2. 4. 基本的アルゴリズムと性能

EMAPは、その多様な機能を実現するために種々のアルゴリズムを組合せ使用している。それらの中で基本的なものは、LSIチップ全体のネットワークデータの中から特定の幾何学的関係を満足する箇所を検出するという処理である。ここでいう幾何学的関係は、2図形の重なり、隣接、近接などである。この処理を実現するためにすべての2図形の組合せを検査するという単純な手法を採用すると、データ量の2乗に比例する処理時間が必要となる。しかしながらこの問題に対しては、チップ全体の図形をx方向に走査し、着目しているx座標値に関係のあるデータのみを処理対象とするアルゴリズムが提案されている[2]。これによれば、平均的にいってデータ量の1.5乗に比例する時間での処理が期待できる。EMAPにおいてはこの手法をさらに改善し、着目x座標値に関係する図形をさらにy座標値で整理しておくことによって、処理対象図形数を削減し高速化を図っている。

EMAPによってネットワークから回路情報を抽出しそれを回路図として作図するという一連の処理について、いくつかのLSIに関する処理時間例を図6に示す。同一製造プロセスのLSIについていえば、処理時間はデータ規模の1.2～1.3乗程度に比例している。また、EMAPは4万素子に近い規模のLSIについての処理を行うことが可能であった。

## 3. EMAPの応用プログラム

### 3. 1. EMAPを利用したネットワーク設計検証

EMAPはLSIネットワークからそれが表現している電子回路情報を抽出しEMAPデータベースに格納する。EMAPデータベースは多様なアクセス経路を備えているので、抽出された回路情報を利用するさまざまなシステムが開発できる。ネットワーク設計検証手法として各種のものが考えられそれぞれ一長一短のある現状では、このことは重要な性質である。

ネットワークが設計者の意図した論理機能を実現しているかどうかを検定する方式として、2種類の代表的な案が考えられる。すなわち、ネットワークを論理

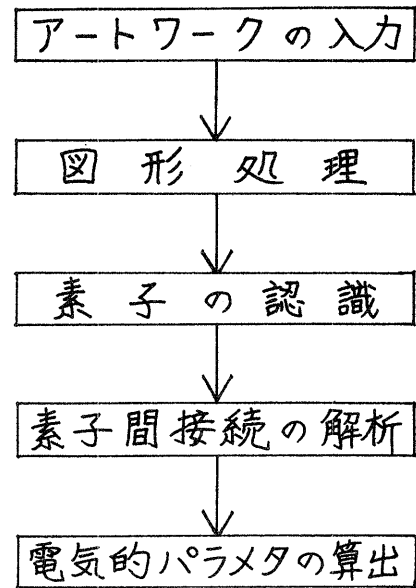


図5 回路情報抽出手順

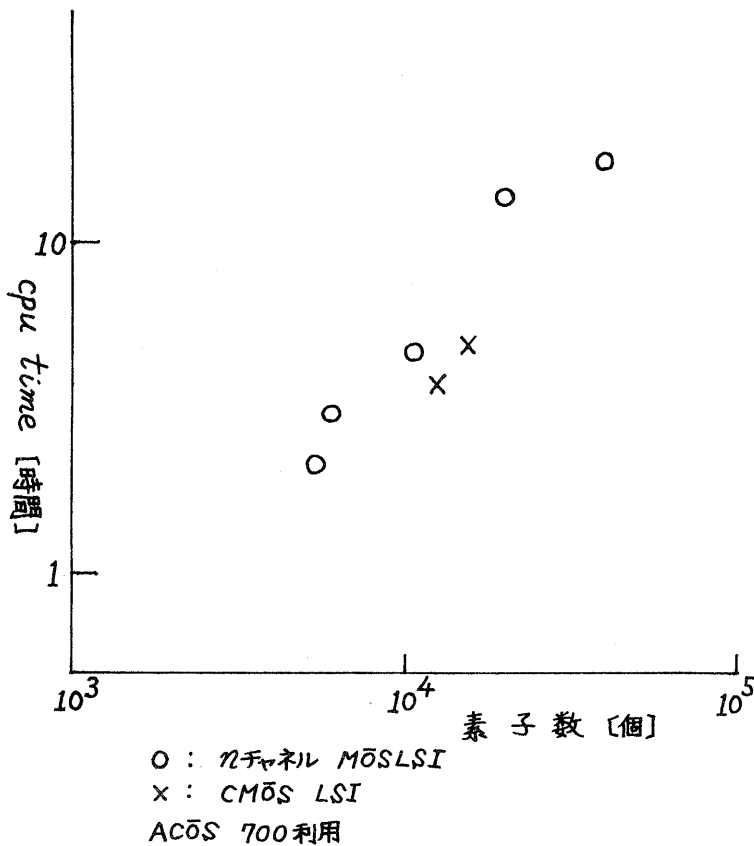


図6 データ規模と処理時間の関係

図レベルまで復元し論理設計段階で作成した論理図と比較する方式と、論理図レベルまで復元したデータに対して論理シミュレーションを行い動作を確認する方式とである。前者の回路比較方式は、回路情報からの論理ゲート抽出および2回路の比較という問題を解決しなければならない。後者のシミュレーション方式も、論理ゲート抽出の必要がありさらに十分な検査が行える入力信号系列を用意しなければならない。

EMAPを用いた論理図レベルの検証は、シミュレーションによる方式を採用している。ただし、EMAPにより得られた回路情報から論理ゲートを抽出す

るといふ困難を回避するため、通常の論理ゲートとは別の、回路情報から抽出容易な論理機能表現を導入している。

アートワーク設計の検証を電子回路レベルで行う手段としては、回路シミュレーションの利用、回路図の目視検査、接続ルール検査プログラムの適用がある。

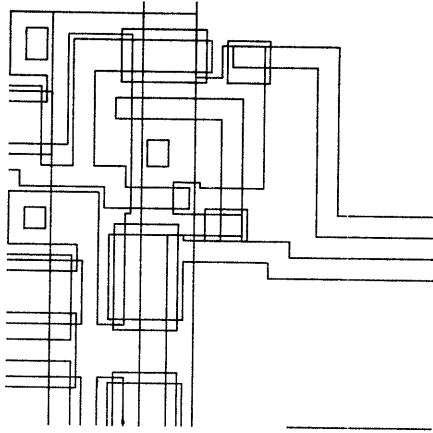
以下では、各種の検証法を実現するために開発したEMAP関連プログラムを紹介する。

### 3.2. 回路図の作画

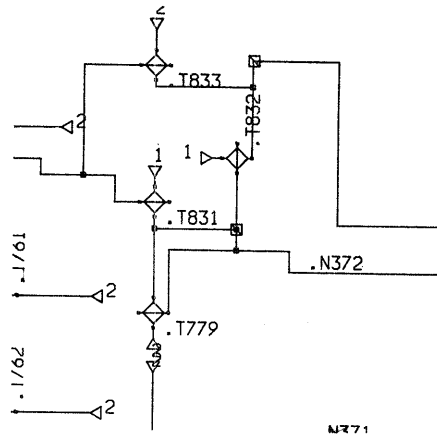
EMAPによってアートワークから抽出した回路情報を、回路図という形で作画することが出来る。<sup>[3]</sup> 図7に例を示す。

この回路図は、アートワークと幾何学的位置が対応していることが特徴である。すなわち、トランジスタを表わす記号は、チャンネル領域に相当する箇所におかれ、配線はそれに相当する図形の内部に引かれる。また、電源に相当するノードなどは特定の記号を用いることによって配線を省略し、図面が煩雑になることを防いでいる。

EMAPの処理結果を回路図として出力することは、アートワークが表わしている回路を直観的に把握できるだけでなく、各種のシミュレーション結果を検討する際の資料としても重要である。



アートワーク



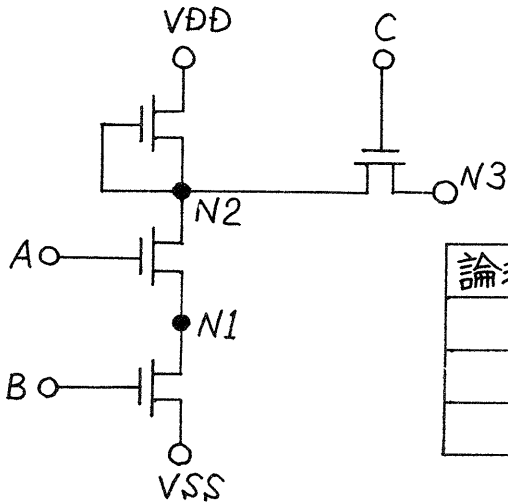
回路図

図7 EMAPによる回路図作成

### 3.3. 論理シミュレーション

アートワークが意図した論理機能を実現しているかどうかを検証するために、アートワークからEMAPにより抽出した回路情報に対して論理シミュレーションを行う。この目的のためにMACLOS (Mask Checking Logic Simulator) とよばれる論理シミュレータが開発された。[4][5]

MACLOSは7値、単一時間遅れの論理シミュレータであり、その論理素子モデルに特徴がある。すなわち、図8に示すように、電子回路の各ノードを多入力カトランスファゲートの出力とみなすという方式を採用している。それぞれの多



論理ゲート	入 力	出力
1	(VSS, B), (N2, A)	N1
2	(N1, A), (N3, C)	N2
3	(N2, C)	N3

図8 MACLOSにおける論理ゲート

入カトランスファゲートすなわち論理ゲートは、電源との接続関係などにもとづいていくつかの種類に分類される。このようなモデルを導入することにより電子回路から論理回路への変換を自動的に行うことが可能となる。すなわち、一般の論理シミュレータが取扱うNAND, NOR等の論理ゲートを回路情報から抽出するという問題が回避され、EMAPにより抽出された回路情報をもとにした論理シミュレーションが容易に実行できる。

MACLOSは、NチャンネルE/D MOSLSIおよびCMOS LSIに適用可能である。約1万個のトランジスタからなるランダムロジック部とRAMとからなる12ビットマイクロプロセッサ(NチャンネルE/D)に適用した結果、200クロックサイクルについてのシミュレーションが35分(ACOS700利用)で可能であった。

### 3.4. タイミングシミュレーション

電子回路の動作を解析する手段として電子回路シミュレータが存在するが、これをLSIチップ全体の回路に適用することは事実上不可能である。このため代替手段としてマクロモデルタイミングシミュレータが開発されている。<sup>[6]</sup>これは、論理回路情報の他に各論理ゲートを構成するトランジスタなどの電気的特性値を用意することにより、過渡現象を含めたシミュレーションを行うものである。すなわち、タイミングシミュレータは論理シミュレータと電子回路シミュレータとの中間的な性格をもっている。

前項で述べたMACLOSで用いられている論理素子モデルを用いてタイミングシミュレーションを行うことができる。このために開発されたシミュレータがMACTIS(Mask Checking Timing Simulator)である。<sup>[7]</sup>MACTISを利用する場合、EMAPにより抽出された回路情報は、MACLOSを用いる場合と同様に論理回路に変換され、さらにMOSトランジスタのチャンネル長、チャンネル幅などはEMAPにより算出された値が用いられる。MACTISによるタイミングシミュレーションの方式は、タイミングシミュレータMATIS<sup>[8]</sup>とほぼ同じである。

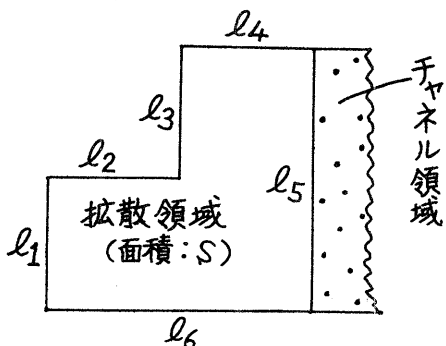
MACLOSの実行例として示したマイクロプロセッサにMACTISを適用すると、1クロックサイクルのシミュレーションが7分で実行できる(ACOS700利用)。MACTISもMACLOSと同様に、NチャンネルE/D MOSLSIとCMOS LSIが対象である。

### 3.5. 電子回路シミュレーション

EMAPはア트워크を電子回路情報に変換するシステムであるから、回路解析プログラムとの接続は比較的容易である。EMAP開発以前から実用化しているMOS用回路解析プログラムMOSCAP4との接続を行った。すなわち、EMAPが抽出した回路情報から、MOSCAP4の入カデータのうち回路構造記述部を作成するプログラムを開発した。このプログラムは次のような機能上の特徴をもつ。

- 回路切断機能——一般に、回路解析プログラムではLSIチップ全体を同時にシミュレートすることは不可能である。このため、利用者が指定した部分回路のみを変換する機能を備えている。
- パラメタの補正——電子回路シミュレーションは、詳細な電気的特性の把握を目的としたものであるから、電気的パラメタを入力する際にはそれなりの厳





$$\tilde{S} = S + \alpha_1 (l_1 + l_2 + l_3 + l_4 + l_6) + \alpha_2 l_5$$

ただし、 $\alpha_1, \alpha_2$  は利用者が与える定数。

図9 MOSCAP4 のための電気的パラメタ補正

接続ルール検査は以下に示す点において、アートワークに対する設計基準検査と同様の性格をもっている。

- 検査項目を利用者が選択する。
- 検査項目がLSIチップを局所的にみることによって正誤が判定できるものである。
- 検査項目に関してLSIチップ全体を一律に調査する。
- 人手で行うには精神的負担が大きくしかも見逃しのおそれもある検査の自動化を目的としている。

接続ルール検査プログラムの対象となる検査項目の一例を示す。

- トランジスタのゲートが電源に接続していないか。
- D型トランジスタのゲートがそのトランジスタのソースに接続しているか。
- CMOSにおけるPチャンネルトランジスタのソース、ドレインがアースされていないか。
- 各ノードが電源に至る直流パスをもつか。
- D型トランジスタの欠落はないか。

#### 4. あとがき

本文では、EMAPおよびそれに関連する各種の応用プログラムについて述べた。これらのプログラムは評価・改良の段階を経て、LSIアートワーク検証の有力な手段として実用性が実証されている。

EMAPの応用のための各プログラムは、設計検証手段としてそれぞれ相異なる特徴をもっている。アートワーク設計の過程で設計者が犯す誤りは多種多様であり、アートワークの検査を各種のプログラムによって多角的に行うことは、品質向上およびコスト削減の見地から重要なことであると考える。

なお、本文は著者らが日電東芝情報システム(株)に在籍中に行った研究を含んでいる。

密性が要求される。これに応じるために、EMAPデータベースからMOSCAPP4入力データへの変換過程でさまざまな補正をすることができている。たとえば、拡散部と基板との接合キャパシタンスにおいて、水平方向への拡散などを考慮するために、拡散部分を表わす図形の面積にその周囲長を加味した補正を施すことができる(図9参照)。

#### 3.6. 接続ルール検査プログラム

EMAPが抽出した回路情報について、基本的な回路構成規則が満足されているかどうかを検査するプログラムとして、接続ルール検査プログラムを開発した<sup>[9]</sup>。このプログラムは、素子・ノードの接続に関して利用者が与えた規則を満足しない部分を検出し、診断メッセージおよびプロット図の形で出力する。

## 謝辞

EMAPの出力を活用するシミュレータであるMACLOSおよびMACTISに関する成果を引用させていただいた当社総合研究所の平林, 河村両氏に深謝する。また, 本文で述べたプログラムの作成を担当された日本ビジネスオートメーション(株)の関係各位に謝意を表する。

## 文献

[1] たとえば,

B. W. Lindsay and B. T. Preas, "Design Rule Checking and Analysis of IC Mask Design", Proc. 13th Design Automation Conference, pp. 301-308 (June 1976).

[2] H. S. Baird, "Fast Algorithms for LSI Artwork Analysis", Proc. 14th Design Automation Conference, pp. 303-311 (June 1977).

[3] 高島他, 「マスクパターン解析システムの回路図作成プログラム」, 昭和54年度電子通信学会総合全国大会, p. 2-124 (1979-3).

[4] 河村他, 「論理シミュレーションによるマスクパターンの自動検証(MACLOS)」, 昭和55年度電子通信学会総合全国大会, p. 2-131 (1980-3).

[5] K. Hirabayashi and M. Kawamura, "MACLOS—Mask Checking Logic Simulator", IEEE J. Solid-State Circuits, SC15-3, pp. 368-370 (June 1980).

[6] たとえば,

B. R. Chawla, H. K. Gummel, and P. Kozak, "MOTIS—An MOS Timing Simulator", IEEE Trans. Circuits and Systems, CAS22-12, pp. 901-909 (Dec. 1975).

[7] M. Kawamura and K. Hirabayashi, "MACTIS—A Mask Checking Timing Simulator", IEEE Trans. Circuits and Systems, CAS27-12, 掲載予定 (Dec. 1980).

[8] K. Hirabayashi and J. Watanabe, "Macromodel Timing Simulator for Large Scale MOS Circuits", Proc. 3rd USA-Japan Computer Conference, pp. 457-461 (Oct. 1978)

[9] 高島他, 「LSIマスクパターンの接続ルール検査プログラム」, 昭和56年度電子通信学会総合全国大会, 発表予定 (1981-3).