

## MILD — MOS・LSIのためのセル方式レイアウトシステム

永井隆夫 立花幹生 下山博義 尾崎傑 佐藤興二 八原俊彦

(三菱電機株式会社)

## 1. はじめに

論理ゲートやそれ以上の機能をもつ回路のパターン("セル"と呼ぶ)を前もって登録しておき、それらを用いて論理LSIのパターンを設計する方式は、我々では"ビルディングブロック方式"と呼ばれている。本稿で紹介するMILDは、この方式に浴う自動レイアウトシステムであるが、標準セルだけでなく、チップ上にメモリの大きなマクロブロックをレイアウトできる等、実用上有益ないくつかの特長を備えている。

"ビルディングブロック方式"は、ビルディングブロックとして用いるセルの種類により標準セル方式と一般セル方式があるといってより(ここが一般セルとは、標準セルと異なり、そのサイズ、ピン位置などに何の制約もないものを指す)。

いわゆる"階層的レイアウト設計"<sup>[1]</sup>との関連で"general cell assembly"<sup>[1][2]</sup>を実現するプログラムが近年注目されている。しかし、この方式では、許容されるレイアウト構造の自由度が極めて大きいため、チップサイズや配線面積に対する"最適化"のプログラムとして有用なものになり得るか疑問視する声もある。

一方、標準セル方式は、世界的には、一部のメーカ、研究所を除き、劣勢の傾向にあるように見える。

これは、いくつかの応用分野(特にコンピュータ用LSI)においてはマスタースライス(gate array)の低価格・短期開発という長所が多品種少量生産に適し、性能面での欠点を補うに足ると判断されつつあるためである。

しかしながら、顧客の多様な注文に応じることを要求されるICメーカとしては、人手のみによる設計とマスタースライス方式(gate array, mask PLA, mask ROM付 $\mu$ -computer)だけでは不足であり、次のような品種に対して設計手段を持つ必要がある。

(i) 中量(3万~15万個)であって、かなり高度の性能/電力比が要求された品種。

(ii) レジスタ群、デコーダなどメモリアプローチ(RAM, ROM, PLA)を含む品種。

特に(ii)は、LSIの規模が増大するにつれて、計算機周辺機器コントローラなど、要求が増しつつあるように思われる。

MILDは上記の要求に基づいて開発された自動レイアウトシステムであり、メモリなどのマクロブロックを扱うことができるが、レイアウト構造には制限を設けている。本稿では、まず、MILDで採用されているレイアウトモデルを説明し、次に配置配線処理の概略を示す。

## 2. 基本概念とレイアウトモデル

本節では、MILDにおける基本概念とレイアウトモデルを示す。以下、便宜のため、MILDを一度使って生成されたレイアウトパターンを"チップ"(実際には、チップではなく、階層的設計における高レベルのセルであることもあり得る)、ビルディングブロックとして用いられるセルを単に"セル"と呼ぶ。

## 2.1 配線格子を用いない配線

信号ネットの配線には従来と同様、2層(一層は横方向、他層は縦方向)を用いるが、MILDでは、配線格子を用いない。ここで配線格子とは、チップ上に固定された縦横の等間隔直線群で、配線パターンがその上にある限りクリアランスルールが満たされるものを指す。チップ上の距離は現在の製造技術上

十分小さい値，たとえば $0.1\mu\text{m}$ を単位として表現された。セルのピン位置やサイズを格子に合わせた必要がないためセルの設計はより容易であり，面積も幾分節減できた。配線面積の節減も期待できた<sup>[3]</sup>。

## 2.2 ビルディングブロック

セルには，標準セルと一般セルの二種類がある。後者は，MILDでは，メモリなど少数の大きなセルを想定しており，“機能セル”と呼ばれる。

### 標準セルは，縦寸法一定

信号ピンの位置はセルの上辺と下辺上に限られる。横寸法には制限はない。電源及び接地ピンはセルの左辺と右辺上にあり，2つの標準セルが隣接することにより，互いに接続される。

標準セルの縦寸法は原則として一定の標準値であるが，縦寸法が標準値より長いセルも，標準セルとして扱うことができた。標準セルのピンには次のような規則がある。

- (i)論理機能上 全てのピンが(上下辺のうちの)一辺の上になければならない。この辺を表側，反対側を裏側と呼ぶ。たとえば図.1(a)に示すように2入力NORセルは2つの入力ピン(互いに電氣的に等価でない)と1つの出力ピンを表側に持っていきなくてはならない。図.1(b)は許されない。
- (ii)表側のピンのうち任意のピンと電氣的に等価なピンを裏側に設けることができた。裏側にはピンが全くなくともよい(図.1(c)(d))。電氣的に等価な2つのピンのラベルを等しくする必要はない。

- (iii)電氣的に等価な2つ以上のピンが同じ側にあってはならない(図.1(e))。

機能セルは，サイズ，ピンの位置ともに全く制約のないセルである。機能セルは，MILDでは，特別のものとして

扱われ，自動配置の対象とならない。

上記2種のセル以外に通過用セル(フッドスルーセル，FTCと略記)がある。これは，配線処理時に，標準セルの間に挿入されるもので，セルライブラリに登録する必要はあるが，接続データには含まれない。

セル周辺上の信号ピンは，LE番号，EE番号と呼ぶ2つの整数によって識別された(図.2)。

## 2.3 ベンチとチャンネル

ベンチとは，筆者らの造語で，セルを配置する領域を指す。(従来ブロックという語がよく用いられるが，この語は場合により多くの意味に用いられるので，敢えてベンチという言葉を用いた)。ベンチにはポリセルベンチと機能セルベンチがある(図.3)。

ポリセルベンチは，標準セルが複数個，水平方向に並べ置かれた領域である。ベンチの長さはユーザが指定する。配置処理で標準セルが配置され，配線処理でFTCが挿入されるが，それらすべてのセル幅の合計が指定されたベンチ長を越えることはない。

前述したように，標準セルの辺には表側と裏側があったため，各ポリセルベンチに対して，ユーザは，標準セルを配置する“向き”(上向きか下向きか)を指定する必要がある。上向きの場合，標準セルは全て，表側を上にしてそのベンチに配置される。下向きなら逆である(図.4)。

機能セルベンチはただ一つの機能セルを配置するための領域である。配置された機能セル名と向きはユーザが指定する。

チャンネルはベンチとベンチの間の配線のための領域で，配線トラックの方向により横チャンネルと縦チャンネルとがある。

配線処理は従来通り (i)グローバル

## 配線 (ii) チャンネル毎の詳細配線

の2段階よりなる。

各チャンネルの幅は、実際には(トラップ割当法によって)そのチャンネルが配線されてからでないと決まらないが、ユーザは前者で、余分な幅を指定することができる。余分な幅が指定されると、そのチャンネルは、配線に必要な幅以上に指定された量だけ幅を広げ、そのチャンネルの中央部に空白領域が設けられる。この領域は、電源や接地線など人手配線のために使用できる。

## 2.4 チャンネルの交差とベンチの同定

### (1) T字交差とベンチの同定

周知の通り、2つのチャンネル(横チャンネルと縦チャンネル)がT字形に交差する場合、2つのチャンネル間に配線処理の順序制約[4][5]が生じる。例えば、図.6ではチャンネル1の配線が済まなければチャンネル2の配線はできない。このようなチャンネル間の配線順序制約は、一般には有向グラフで表され、その管理とベンチ間の相対座標の取扱いはかなり複雑になる。

MILDではチャンネルのT字交差に関し、単純で非常に厳しい制限をもうけている。すなわち、"T字交差は、横チャンネルが縦チャンネルにぶつかる場合のみ許す"

(図9(a)は許すが図9(b)は許さない)。

このことから直ちに、"縦チャンネルは、チップの上端から下端までつぎ抜けており、途中で途切れてはならない"という条件が導かれる。例えば機能セルを1つ含む回路の場合、図10(a)は、中央の縦チャンネルが条件を満たしている。しかし、(b)ならば許される。

このレイアウト構造の制限により、チップ上のベンチは2つの整数で識別できる。すなわち、

- i) そのベンチは左から何番目のコラムに属しているか。
- ii) そのベンチは、そのコラムで下から何番目のベンチか。

ここでコラムとは、2つの縦チャンネルではさまれた領域(ベンチと横チャンネルの集合)を指す。図.11に例を示す。

横チャンネルもベンチと全く同様に2つの整数で識別される。

### (2) 十字交差の指定 (図.6, 7, 8)

T字交差以外にチャンネルの交差の形には十字交差がある。MILDでは十字交差の指定が可能になっている。すなわち、水平方向に並んだ2つ以上の横チャンネル(当然、互いに異なるコラムに属す)を、1つのチャンネルとして同時に配線できる。例えば図.11で、集合{HC(1,2), HC(2,2), HC(3,2)}を指定すれば、これら5の横チャンネルは1つのチャンネルとして配線される。

### (3) チャンネルの配線順序

チャンネルの配線順序は原則として

下→上、左→右である。図.11の例では  
HC(1,1)→HC(1,2)→-----→HC(1,6)  
→HC(2,1)→-----→HC(2,4)  
→HC(3,1)→-----→HC(3,4)  
→VC(1)→VC(2)→VC(3)→VC(4)

となる。図.12は十字交差指定のある例で、この場合、横チャンネルの配線順序は①→-----→④となる。この図でHC2はHC1より前には配線できない。

なぜなら、HC1の配線が済まない限りはB2の座標が定まらないため、B1とB2との相対座標が定まらないからである。

## 3. システム構成と処理

MILDは次のようなプロシージャ群から構成される(図.13)。

- (1) 入力とデータチェック
- (2) 配置
- (3) 配線
- (4) アートワークデータ生成
- (5) データファイル修正
- (6) その他

MILDの"データファイル"(主記憶とディスク上のデータの総称)は、17種のテーブルより成り、互いにポインターで結ばれている。すべてのプログラムで共用される"データファイル管理ルーチン群"が用意されており、データの読み書きは、すべてこれを通して行なわれる。

上記のプログラムは互いに独立しており、種々の順序で実行できる。

### 3.1 入力とデータチェック

入力データは、セルライブラリデータ、接続データ、4つ構造データ、配置指定データ(後述)、各種処理パラメータよりなる。記入要領説明付きの、34種類の固定フォーマットデータ用紙が用意されており、不特定多数の人達が、マニュアルなしで、見落としのないデータを容易に準備できるようになっている。

入力プログラムは、データファイル生成とデータのエラーチェックを行なう。

入力データは一般に大量であり、エラー無しは稀であるので詳細な検査が必要である。チェックプログラムは個々のデータが読み込まれる毎に適当なチェックを行い、更に、全データ読み込み後、ファイル全体の関連チェックを行なう。

チェック項目は200種以上にわたり、データの二重定義や不適切な指定を指摘する。特に、接続データのチェックは詳細で、例えば、各ネットについて、構成ピンの存在や二重使用が逐一検査される。

### 3.2 配置

配置プログラムは標準セルのみを自動配置の対象とする(機能セルは機能セルベンチにユーザが割当てた)。

手法は"組立て配置"であり、多くの点でLTX<sup>[6]</sup>を参考にした。

処理は次の三段階よりなる。

- i) 全このセルをベンチの代表点(一般に複数)に割付けず。

- ii) 各セルのベンチ内の位置を決める。
- iii) 各ベンチ内で、セル位置、方向を改善する。

MILDでは、i)とii)のみが配置プログラムで実行され、iii)は配線プログラムに組み込まれている。

良い配置結果を得るため、ユーザが一部のセルの位置を前もって指定すること("SEED")は重要であるが、MILDでは、ベンチの指定、代表点の指定、ベンチ内座標の指定、ベンチ内順序の指定等、種々の形で配置指定ができたようになっている。かつ、その指定の程度にHARDとSOFT<sup>[6]</sup>があり、HARDでは、最後までその指定が守られるのに対し、SOFTでは、プログラム中で適切と判断されると適宜位置の移動が行なわれる。

#### (1) 代表点への割付け配置(図.14,15)

ユーザは、各ポリセルベンチに対しそのサブベンチへの分割個数を指定できる。プログラムは、指定により、その個数の等寸法のサブベンチ(図.14)に分割し、その各中心点を代表点と定める。

割付けの手順は ①次に割付けずセルの選択 ②そのセルを割付けず代表点の決定 よりなる。

①では既配置セル(機能セルや周辺ピンを含む)に最も強く接続しているセルが選ばれる。②では、そのセルを割付けたとき、線長の総和が最小になる代表点を選ばれる(但し、ベンチ容量を超えない範囲で)。

2点間の距離はマンハッタン距離で近似するが、中間に大きな機能セルが存在するときは、迂回路が計算される。

また、各ネットの線長は完全グラフで近似している。

この処理は全セルを一定数毎のグループに分けて、各グループ毎に行なり、1つのグループが済むと、ペア交換による改善を行なっている。このような"割当て"と"改善"のinterlace<sup>[6]</sup>は

セル幅が一様でないための措置である。

## (2) ベンチ内座標の決定

(1)の処理の後、各セルのベンチ内ターゲット座標が、そのセルに直接接続している他のセルの位置から計算され、その値に従ってベンチ内順序が決定される。更にその順序に従って、ベンチ毎に左詰めし、各セルのベンチ内座標が決定される。よりよい結果を得るため、もう一度この処理を繰り返すこともできる。

## 3.3 配線

配線処理は次の5ステップより成る。

### (1) 初期ピン割当

まず、各ネットに対し、接続しているセルの表側のピンを割当てる。論理等価ピンどうしの交換など最適化はこのステップでは一切行なわれぬ。

### (2) グローバル配線—その1

(1)の結果に従って、各ネットに対し、それが通るべき各横チャンネルの(左右)端に、フローティングピン(座標の定めぬピン)を設ける。ここでは、FTCやセルの裏側ピンを利用しぬ。アルゴリズムは比較的単純なものを採用している。

### (3) グローバル配線—その2

FTCを挿入するかセルの裏側にある電位等価ピンを利用して、(2)で定めたネットポロジ-を改善する。この際、不要になったフローティングピンは消去する。裏側ピンをもたぬセルのみを用いた"背中合せ"(図.5(b))のレイアウトではこのステップは実行されぬ。

### (4) ベンチ内配置の改善とピン割当改善

このステップは配置の項のiii)の処理に相当する。各ポリセルベンチ毎に、標準セルの位置変更、方向の(軸対称)反転、論理等価ピンどうしの交換が行われる。評価規準は、上下の横チャンネルのチャンネル密度の減少と上下制約ル-プの解除である(但し、ル-プは常に除去さ

れるとは限らぬ)。

### (5) チャンネル毎の詳細配線

最後に、全ての横チャンネル、縦チャンネルが、前節で述べたチャンネル配線順序に従って、トラック割当法により配線される。トラック割当には、"格子なし配線"用に開発されたチャンネル配線ル-チンGFR<sup>[3]</sup>を用いる。

横チャンネルを配線する毎に、その上側のベンチが下へ詰められ、座標が決定する。同様に、縦チャンネルの配線により、各カラムの座標が決定する。

## 3.4 アートワークデータ生成

レイアウトが完了したデータファイルから、既設グラフィックデザインシステム(GDS)の外部フォーマットによるアートワークデータを生成する。このデータは、GDS上で、セルライブラリのアートワークデータと合成される。

## 3.5 データファイル修正

プロット図やディスプレイによる照査の結果、ユーザが配置結果等の部分的変更を希望する時は、データファイル修正プログラムにより、データの一部修正を指示できる。配置修正は、2つのセルの交換、セルの移動、挿入等、ユーザにとって、指示容易なコマンドが用意されている。

配線の結果は修正できず、どうしても必要な場合はグラフィックデザインシステムを用いる。

## 3.6 その他

以上のプログラムモジュールの他

①信号遅延計算プログラム

②信号別プロットプログラム

が開発されている。①は各ネット毎の線長、浮遊容量、遅延を計算して、LP上へ出力する。

②は、ネット毎の配線経路を(別々に)作図して、配線の形状や線長の照査に用いる。

これら以外に、GDSによる配線パターン  
の変更や階層的設計に対処できるよう  
③配線エッジプログラムを開発中である。

#### 4. 実行例

図.16は約1000ゲートのNMOSデハイス  
に適用した例で標準セルだけ  
を使っている。図.17は約200  
ゲートのNMOSデハイスに適用  
した例で、機能セルを含んでいる。

#### 5. おわりに

本稿では、いわゆるビルディング  
ブロック方式によるレイアウト  
システムMILDの概略を述べた。  
MILDは、標準セルアプローチ  
に沿うものであるが、メモリ  
等マクロブロック包含の要求が  
強いため、縦チャンネルを任意数  
設計せられるようにして、これに  
対処した。又、最近MOS  
では少なくなったが、"背中  
合せ"方式のレイアウトもでき  
よう考慮した。

LSIの規模の増大に伴い、冒頭に述べたように、  
"general cell assembly"に対  
する関心が高まっている。  
これは非常に重要な研究課  
題であるが、実用の域に達  
するためには、従来のsearch  
法やchannel法と異な、た  
配線手法が、高度のcompaction  
技法の開発が必要なのでは  
ないかと筆者らは考えている。

MILDは、数多くの、サイズ  
の異なる一般セルを含む回  
路のレイアウトはできるが、  
多くの論理LSIでは許容  
できない制約である。MILD  
は1980年春version 1が完成し、  
現在、NMOS, CMOS論理LSIの  
開発に実用されている。

#### 参考文献

- [1] B.T.Preas, C.w.Gwyn, "Methods for Hierarchical Automatic Layout of Custom LSI Circuit Masks," Proceedings of the 15th DA Conference, p.206, June 1978
- [2] U.Lauther, "A Min-Cut Placement Algorithm for General Cell Assemblies Based on a Graph Representation," Proc. 16th DA Conference, p.474-480, June 1979
- [3] K.Sato, H.Shimoyama, T.Nagai, M.Ozaki, T.Yahara, "A "Grid-Free" Channel Router," Proc of 17th DA Conference, p.22-31, June 1980
- [4] K.Kani, H.kawanishi, A.Kishimoto, "ROBIN; A Building Block LSI Routing Program," Proceedings of ISCAS, April 1976
- [5] K.Sato, T.Nagai, "A Method of Specifying the Relative Locations between Blocks in a Routing Program for Building Block LSI," Proc. 1979 ISCAS, p.673-676, July 1979
- [6] G.Persky, D.N.Deutsch, D.G.Schweikert, "LTX -- A Mini-computer-Based System For Automated LSI Layout," J. of Design Automation & Fault-Tolerant Computing vol.1, No.3, p.217-p.255, May 1977
- [7] R.L.Mattison, "A High Quality, Low Cost Router for MOS/LSI," Proc. 9th Design Automation Workshop, pp94-103, 1972
- [8] T.Kozawa, H.Horino, T.Ishiga, J.Sakemi, S.Sato, "Advanced LILAC -- An Automated Layout Generation System for MOS/LSIs," Proc. 11th Design Automation Workshop, pp.22-46 (1974)
- [9] E.H.Porter, "An Automatic Layout System for VLSI," Proc. 1979 COMPCON, p.9-14, 1979
- [10] A.Feller, "Automatic Layout of Low-Cost Quick-Turnaround Random-Logic Custom LSI Devices," Proceedings of the 13th DA Conference, p.79, June 1976
- [11] K.Sato, T.Nagai, H.Shimoyama, T.Yahara, "MIRAGE -- A Simple-Model Routing Program For The Hierarchical Layout Design of IC Masks," Proc. of 16th DA Conference, p.297-304, June 1979
- [12] M.B.Roberts, "POSITION STATEMENT: VLSI -- A Challenge for System Designers," Proc. 17th DA Conference, p.345, June 1980
- [13] W.Sansen, H.Beke, W.Heyns, "Design Automation Software Towards MOS/VLSI," Proc. 1980 ICCS, p.98-102, Oct. 1980
- [14] A.Feller, R.Noto, A.M.Smith, "Standard Cell Approach for Generating Custom CMOS/SOS Devices Using a Fully Automatic Layout Program," Proc. 1980 ICCS, p.311-314, Oct. 1980
- [15] U.Lauther, "The Siemens CALCOS System for Computer Aided Design of Cell Based IC Layout," Proc. 1980 ICCS, p.768-771, Oct. 1980

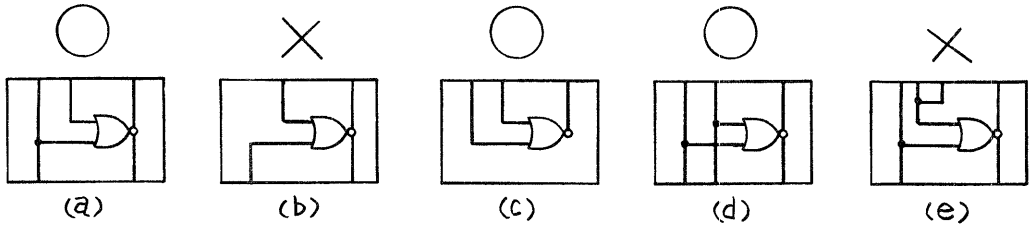


図.1 標準セルのピン

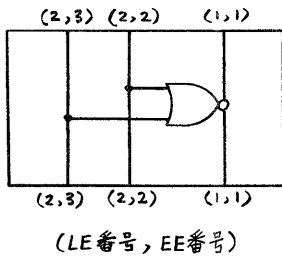


図.2 ピンの識別番号

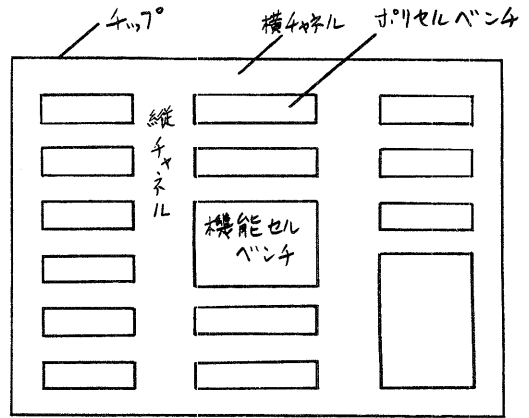


図.3 ベンチとチャンネル

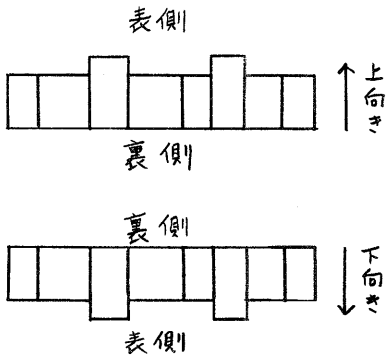
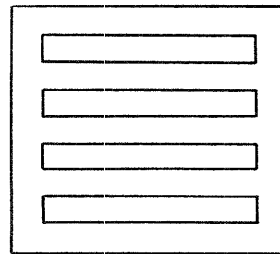
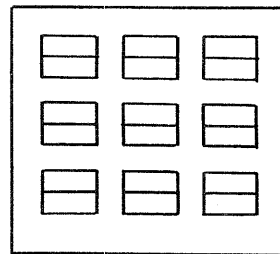


図.4 ポリセルベンチの向き



(a) 単独ベンチ



(b) 背中合せベンチ

図.5 ベンチの構成

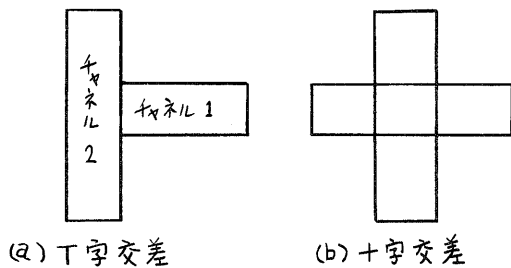


図.6 チャンネルの交差

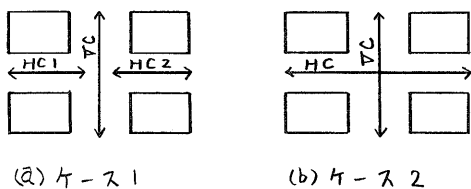


図.7 同一ベンチ構造での異なるチャンネル構造

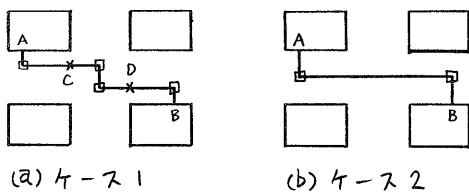


図.8 図.7に対応する配線結果

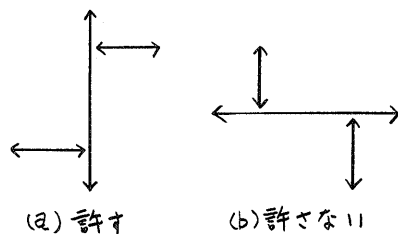


図.9 T字交差の型

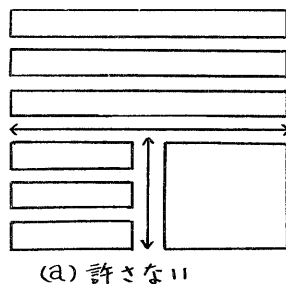


図.10 機能ブロックを含むレイアウト例

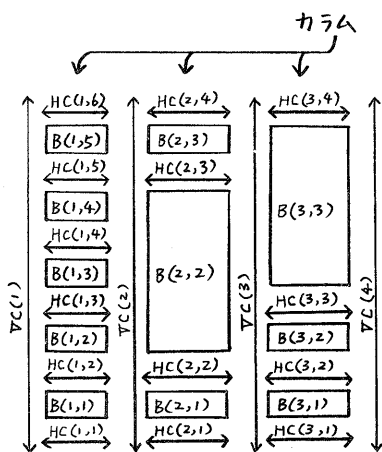


図.11 ベンチ番号とチャンネル番号

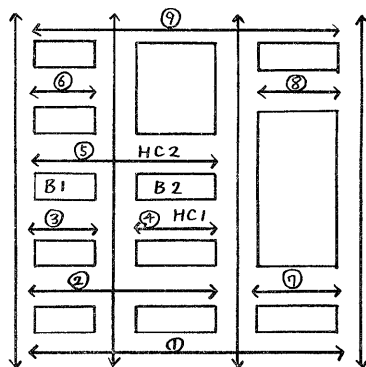


図.12 十字交差がある場合の横チャンネル配線順序



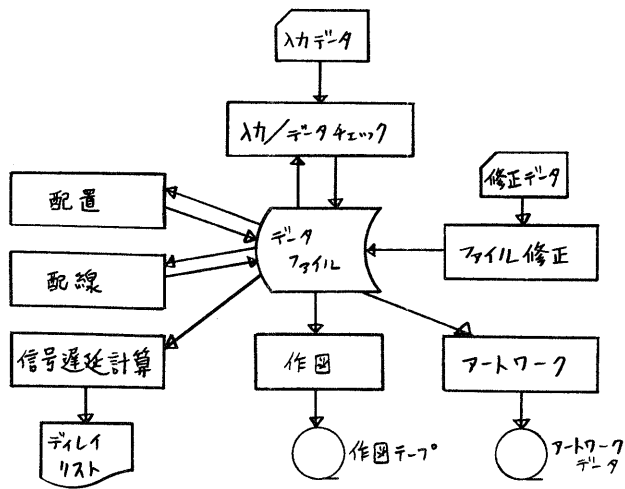


図.13 システム構成

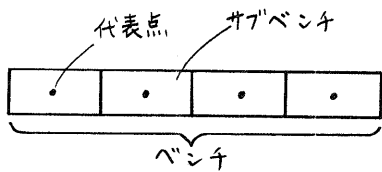


図.14 代表点とサブベンチ

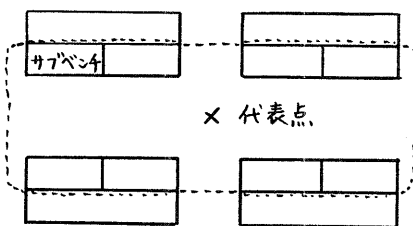


図.15 背中合せベンチにおける代表点の一例

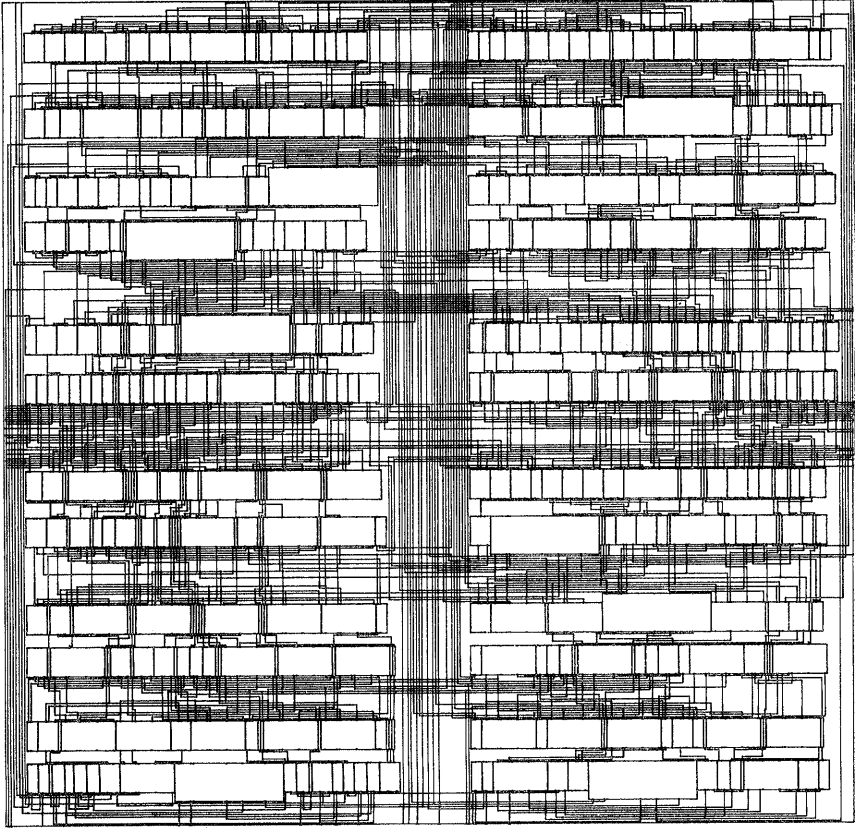


图.16 例 1

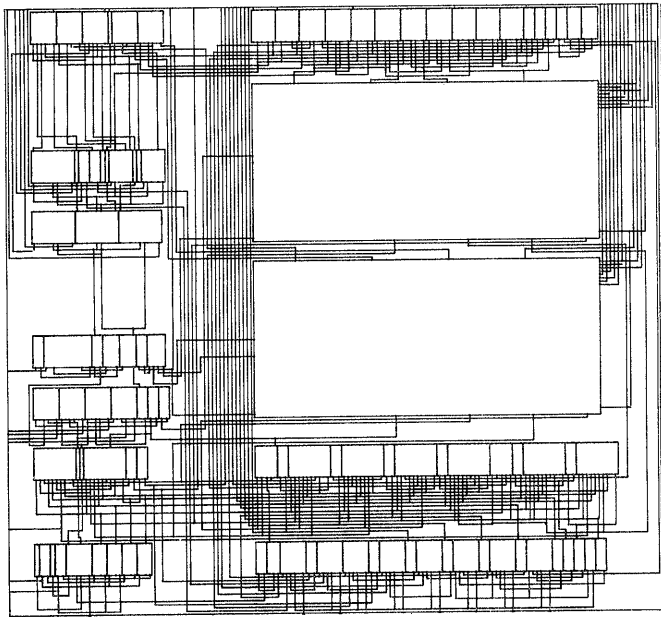


图.17 例 2