

LSI マスクパターン の 電氣的及び論理的な 接続検査 システム E L I T E について

中野敏宏 吉田健一 犬伏恒雄
 シャープ 株式会社

1. まえがき

数万ゲート以上におよぶ複雑なLSIを、論理的に誤りなく設計し、意図した回路特性を正確に実現するため、設計の各段階において、計算機を利用することが、必要不可欠となってきている。

LSIの設計過程の例を図1に示すと、これらの各段階で行なわれる計算機利用の主なものは、論理設計では、論理シミュレーションと回路解析、レイアウト設計及びアートワーク処理では、自動配置、自動配線そしてアートワークデータの検査であり、その他、

テストデータの作成、故障解析、デバイス・シミュレーション、及びプロセス・シミュレーション等がある。

LSI設計の最終目標は、論理的かつ電氣的に正しいアートワークデータを得ることである。この工程の大部分は、自動化の方向に進んでいるが、まだ、人手に頼る部分も多く存在する。従って、計算機によるアートワークデータの検証が必要であり、検証のための対策として、一般的に、次の5つが挙げられている。

- (1) 電氣的特性の検査
 意図した電氣的特性が実現されて

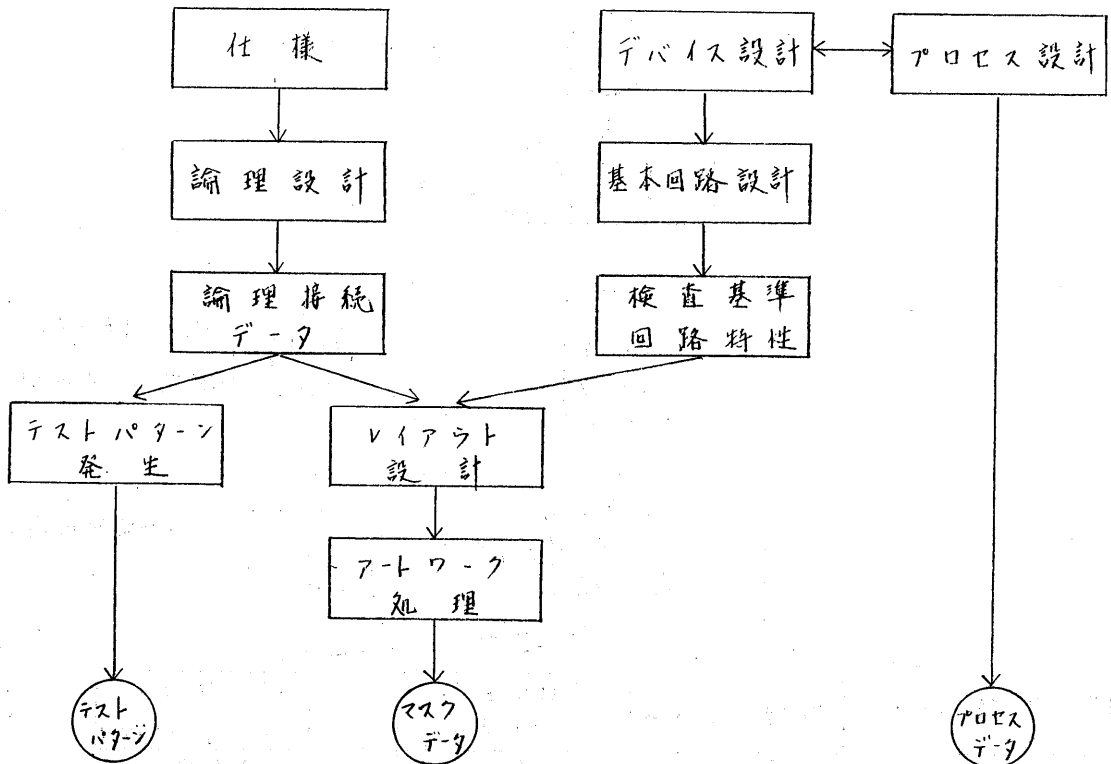


図1. LSIの設計フロー

いろいろの検査を行なう。

(2) 設計規則の検査

最小線幅, 最小間隔等の設計規則の検査を行う。

(3) 電氣的規則の検査

配線の誤り等の接続関係の検査を行う。

(4) 論理回路の検査

入力された論理回路とマスクパターンから抽出した論理回路と照合する。

(5) 論理的動作の検査

仕様通りの論理的動作とどうかの検査を行う。

本文は, MOS LSI のアートワーク・データに関する, 電氣的及び論理的な接続関係の誤りを検出するシステム, Electrical and Logical Interconnection Test System [1]

(ELITE と略称する。)の概要と, その機能の一部である電氣的規則の検査プログラム, 及びグラフィック・システムについて述べる。

2. ELITE の概要

2.1 構成

ELITE は, 図 2 に示すように, 1つのデータベース作成プログラムと, 4つの検査プログラム, 及び, グラフィック・システムとで構成されており, これらについて簡単に紹介する。

(1) データベース作成プログラム (EFA と略称する。)

4つの各検査プログラムで, 共通に使用するデータベースを, アートワーク・データから作成する。

(2) グラフィック・システム (EGS と略称する。)

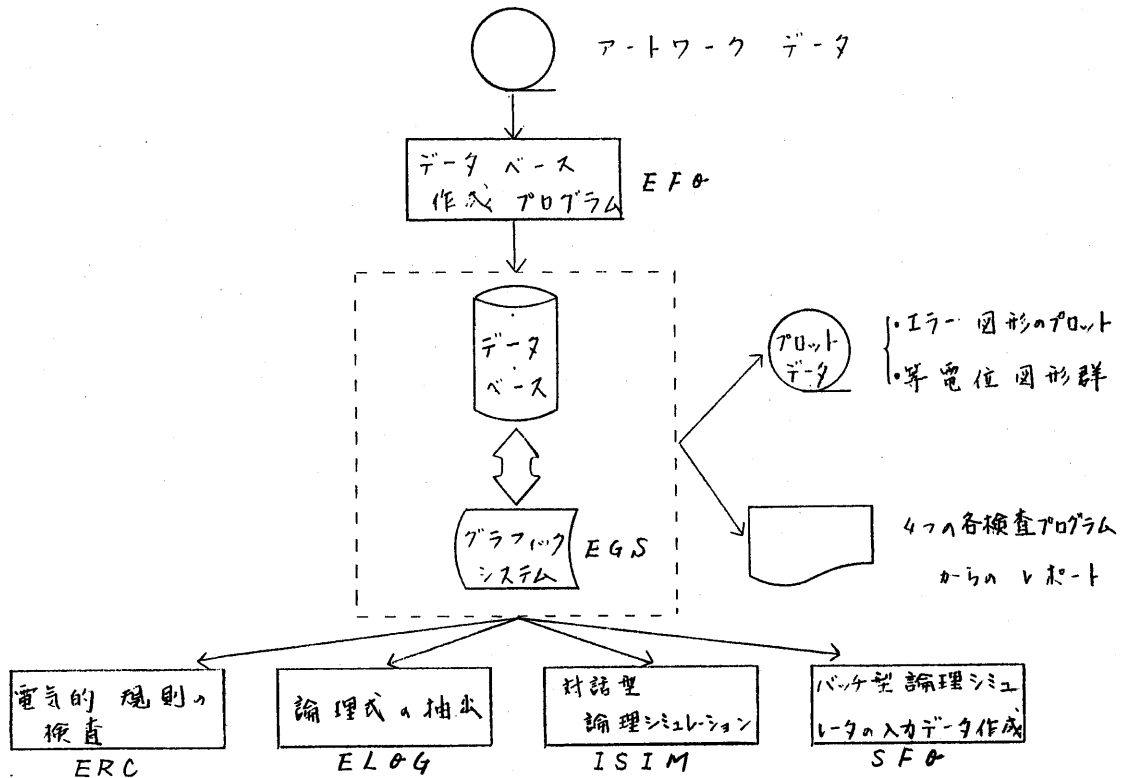


図 2 ELITE のシステム構成

各検査プログラムへのデータの入力及び検査結果の表示を行う。さらに、この検査結果は、プリンタに、又は、プロット用データとして、出力することもできる。

(3) 電氣的規則の検査プログラム (ERC と略称する。)

配線の誤り検出等、電氣的接続関係の検査を行う。

(4) 論理式の抽出プログラム [2] (ELG と略称する。)

アートワーク・データから論理式を抽出する。

(5) 対話型論理シミュレーション・プログラム (ISIM と略称する。)

アートワーク・データをもとに、対話型で論理シミュレーションを行う。

(6) バッチ型論理シミュレータ用の入力データ作成プログラム (SFA と略称する。)

他のバッチ型論理シミュレータへの入力データを、アートワーク・データから生成する。 [3][4]

2. 2 特徴

ELITE の特徴を ERC 及び ELG を中心に述べる。

- (1) チップ全体のデータを一度に扱うことができる。
- (2) 階層構造を保存しているため、データベースが小さく、しかも、階層構造を跨ったとき、階層を越えて検査を行うことができる。
- (3) 4つの検査機能を1つのデータベースによって処理できる。
- (4) メタル・ゲートとシリコン・ゲート共に処理できる。
- (5) 検出されたエラー図形を、項目別に、プロット図として出力することができる。
- (6) エラー図形は、色を変えて全体図に重畳し、プロットさせることができる。

(7) 任意の等電位図形群を、プロット図として、出力することができる。

(8) グラフィック・システムによる会話型処理が可能である。

イ. 検出されたエラー図形を、自由に調べることができる。

ロ. データベースの修正ができる。これは、一般に、ノフの間違いを修正する場合は、他の誤りが顕在化しないことがあり、検査を完全に実施するために、アートワーク・データの間違いを修正し、再度データベースを作成して、検査を繰り返すことになる。しかし、この修正機能により、データベースの作り直しを行う必要がなく、ターンアラウンドが短くなる。

ハ. グラフィック上で、何度も繰り返し、各検査プログラムを実行させることができる。

2. 3 機能

(1) EFA

アートワーク・データのリトランジスタを認識し、データベースを作成する。データは、図子に示すような台形を基本図形とし、その図形間の繋がり関係と木構造で表わしている。

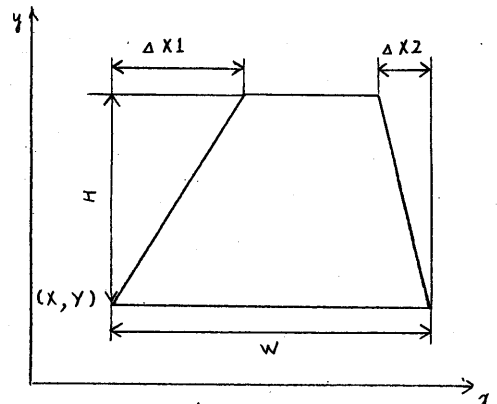


図3 基本図形

(2) E.G.S

ELITE全体を制御するグラフィック・システムであり、各検査プログラムで必要なデータの入力、及び、その検査結果を表示する。

(3) ERC

EF0により作成された等電位図形群の集合と、EGSで付与される、その等電位部の信号名だけで行える、十数項目の電気的接続関係の検査を行う。

(4) EL04

アートワーク・データから論理式又は論理図を抽出する。抽出された論理式又は論理図は、あらかじめ与えられた、論理シミュレータの入力データ等と自動照合する。

C-MOSの場合、電源側と接地側にあるトランジスタの接続関係から、これらの直並列グラフを作成し、PチャンネルとNチャンネルの相補性の検査を行う。

(5) ISIM

論理回路の初期値及び入力とEGSから入力し、アートワーク・データをもとにレタ、対話型の論理シミュレーションを行う。結果は、EGS又はプリンタに出力する。

ISIMでは、次に示す2つのシミュレーション・レベルを用意している。

イ. 論理式のチェックを目的とした、トランジスタ・レベルの論理シミュレーション。

ロ. ゲート遅延や配線遅延を反映させ、システムの論理動作のチェックを目的とした、ゲート・レベルの論理シミュレーション。

(6) SF0

アートワーク・データから、バック型論理シミュレータへの入力データを生成する。これにより、ISIMよりも精度を上げた、システム全体の論理動作をシミュレーションするニヒがで

きる。

3. ERCとEGSについて

3.1 ERC

ERCの検査項目を以下に示す。

- (1) コンタクト・エラーを検出する。コンタクトに繋がる導体がない、又は、間違っている。
- (2) 信号線のショートを検出する。1つの等電位図形群に、異なる2つ以上の信号名を付与すると、ショートと見なす。
- (3) オープン・ノードを検出する。図4の図形Aのように、ある一定値以上の長さを持ち、どこにも繋がっていない辺を持つ図形を検出する。
- (4) ソース/ドレインを通して、電源及び接地へのパスのない等電位図形群を検出する。
- (5) ノット以下のデバイスにレタ接続されていない、等電位図形群を検出する。
- (6) ゲートが電源又は接地に接続されているトランジスタを検出する。
- (7) 電源側に接続されているN型トランジスタ、及び、接地側に接続されているP型トランジスタを検出する。
- (8) P/Nバランシングと交差している拡散図形を検出する。

メタル・ゲートの場合

- (9) 図5のように、ソースとドレインがショートしているトランジスタを検出する。
- (10) 図6のように、ゲート部に導体が存在しないトランジスタを検出する。
- (11) 図7のように、トランジスタのゲートに、拡散結合が存在しないトランジスタを検出する。

3.2 EGS

EGSは、ELITE全体を制御するシステムであり、次のようなことが

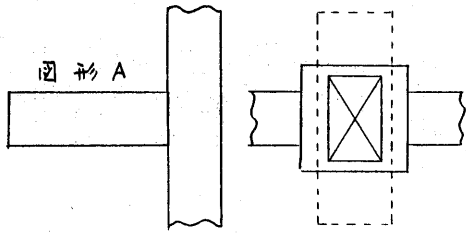


図4. ホップノード

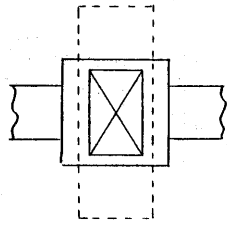


図5. ヴィスレットレインのショート

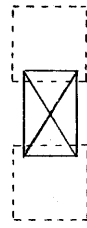


図6. ゲート部に導体がない。

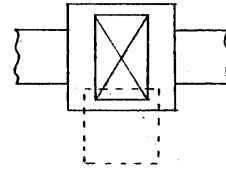
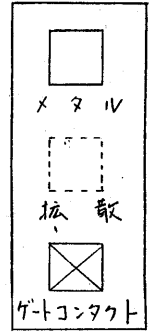


図7. ゲートに拡散結合がない



凡例

行える。

- (1) ERCを実行するのに必要な番号を入力する。
- (2) ISIM, ELG, 及びSFでの処理範囲を指定する。
- (3) 各プログラムで必要とされる入力データを与える。
- (4) 各プログラムで行った検査の結果を表示する。
- (5) グラフィックに表示されている図形データを修正することによって、データベースを修正することができる。

つぎに、ELGの表示関係のシステム命令と、ERCの検査結果を調べるためのERC用命令について述べる。

システム命令

- (1) DCMD
コマンド・バッファ内の一番最後に登録されている命令を消去する。
- (2) DBUF
コマンド・バッファ内の命令を全て消去する。
- (3) FIT
セルのアウトラインとセル名で、全体図を表示する。
- (4) FWIN
スタイルで指定した範囲を、画面いっぱいに表示する。
- (5) CWIN

スタイルで指定した位置を、画面の中央に移す。

- (6) SWIN
表示している画面の座標を、記憶する。
- (7) RWIN
SWINで記憶した画面を、表示する。
- (8) MAGD
図形の大きさを半分にし、表示される範囲を広くする。
- (9) MAGI
図形の大きさを倍にする。
- (10) GRID
グリッドのオン、オフを行う。
- (11) SGRI
グリッドのサイズを決める。
- (12) EDT
表示する層番号を指定する。
- (13) XEDT
表示しないようにする層番号を指定する。
- (14) OUTL
セル内の図形を表示するか、セルのアウトラインだけを表示するか、を選択する。
- (15) NAMS
セレクトされた図形の座標値、層番号、及び信号名を表示する。
- (16) PLAC
スタイルで選んだ点の座標値を表

示す。

(17) XEQ

コマンド・バッファ内の命令を、先頭から順番に実行する。

ERC用命令

(1) ERR

抽出されたエラー項目と、エラー図形数の一覧表を表示する。エラー番号を指定することにより、項目ごとに、エラー図形を表示することが出来る。図8で示すように、表示されたエラー図形の右下隅には、エラー番号が付いている。

(2) XERR

ERR命令を使って、表示するように指定したエラー図形を、エラー番号を指定することにより、表示されないようにする。

(3) DER

エラー図形を消去する。

(4) ETEXT

図形(等電位図形群)に信号名を付与する。付けられた信号名は、図形の右下隅に表示される。図9のように、パッドのセルに信号名を付けることで、このパッドに繋がる等電位図形群に、信号名を与えることも出来る。

(5) DET

図形に付けられた信号名を、消去する。

(6) TET

ETEXT命令で付与された信号名を表示するか、表示しないかを選択する。

(7) N&D

スタイルで、一つの図形を選択すると、その図形の属する等電位図形群を、色を変えて表示する。図10に示すように、パッドのセルを選択し、このパッドに繋がる等電位図形群を、表示させることが出来る。また、複数個の等電位図形群を、同時に、色を変えて表示させることも出来る。図11は、電

エラー番号600が表示されている。

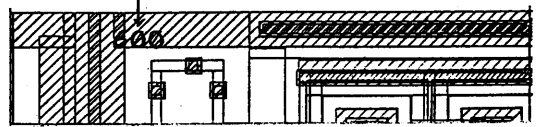


図8 エラー図形にエラー番号が表示されている例

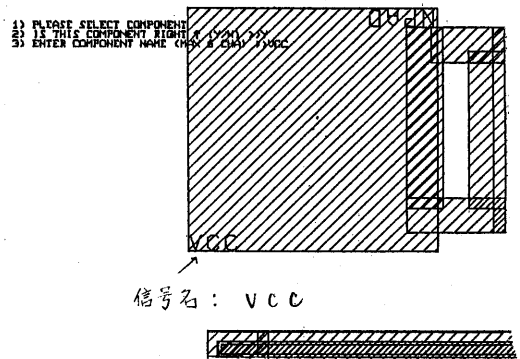


図9 パッドのセルに信号名を登録した例

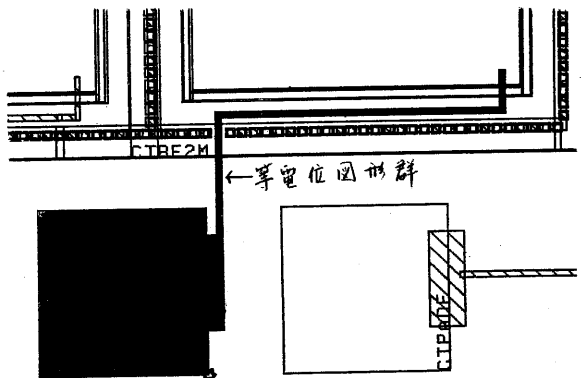


図10 パッドのセルから等電位図形群を追跡した例

源の等電位図形群を表示させたものであり、図12は、階層を持った手子、階層を越えて等電位の追跡を行い、その等電位図形群をグラフィックに表示さ

せたものである。

(8) X N O D E

N O D E 命令で指定した等電位図形群の表示をキャンセルする。

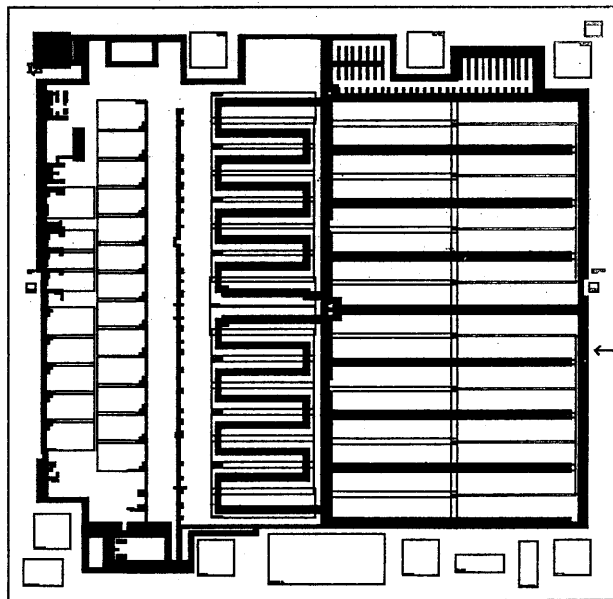


図11 電源の等電位図形群を表示させた例

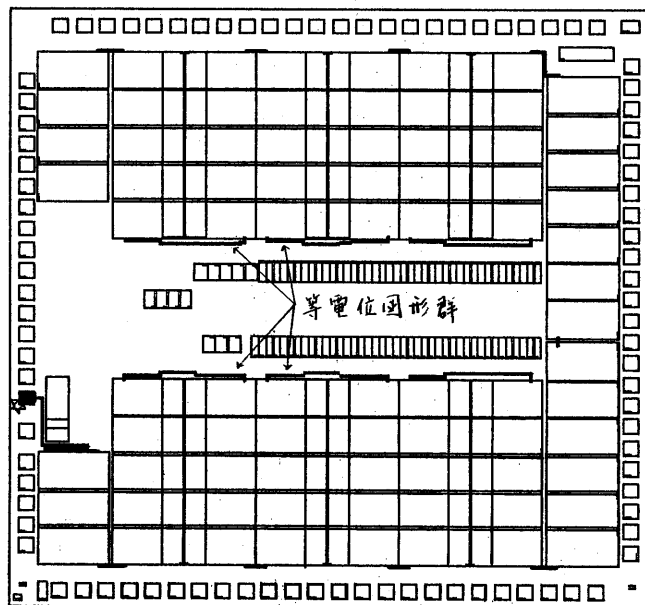


図12 階層を越えて等電位図形群の追跡を行った例

(9) E R C P

E R C Pプログラムを実行する。実行する検査項目は、使用者が選択できる。

4. 実行結果

表1は、テスト・ランで使用した、実際のLSIのチップ・サイズと、アートワーク・データからデータベースを作成するのに必要のCPU時間、及び、データベースを作っている基本図形数を示したものである。

表1のaとdの例は、斜め線がチップ全面において、たくさん使用されている。

電氣的規則の検査を行うのに必要のCPU時間は、データベースが大きすぎや検査項目によっても異なるが、普通、ショートを検査が最も早く数秒、他の項目についても、ほとんどのものが、十数秒から数分の間で処理できる。

5. あとがき

本文では、アートワーク・データの電氣的及び論理的な持続検査システムの概要と、その機能の一部である電氣的規則の検査プログラム、及び、グラフィック・システムについて述べた。

このシステムは、データベース作成時に、アートワーク・データをチェックが必要とされない。なお、各検査プログラムで必要とされるデータは、データ

ベース作成後に、E R C Pから、全て入力できるようにになっている。このための、このシステムの取り扱いは非常に簡単であり、さらに、E R C Pでは、豊富なグラフィック命令が用意されているため、結果の解析も容易に行うことができる。

従って、このシステムは、LSIのアートワーク・データの検証に対し、有力な道具であるといえる。

6. 謝辞

本文をまとめるに当たって、有益な助言を戴いた半導体研究所の中村副所長及び関係上司の方々に感謝致します。

参考文献

- [1]中野他：論理及び接続チェック・システムへの構成。昭57、信学会全大、講演番号354
- [2]西本他：LSIランダムロジックの論理式抽出。昭56、信学会全大、講演番号454
- [3]河村他：論理シミュレーションによるマスクパターン自動検証。昭55、信学会全大、講演番号360
- [4]江口他：LSI接続チェックシステム：I V S - 機能概要と基本構成 - 昭54、信学会全大、講演番号58

	チップ・サイズ	CPU 時間	基本図形数
a	2.5mm x 2.5mm	180 分	約 25,000
b	3.5mm x 2.7mm	90 分	約 51,000
c	5.2mm x 4.3mm	150 分	約 72,000
d	5.3mm x 5.0mm	330 分	約 100,000

表1. 実行結果

使用計算機：VAX11/780