

線分探索法によるゼネラルセルLSI配線プログラム

永井隆夫

(三菱電機(株) LSI研究所)

1. まえがき

あらかじめ設計された機能ブロック(セル)を組合わせてLSIのパターンを設計するビルディングブロック方式LSIの自動配線には通常、チャンネル配線法が用いられてきた^{1)~6)}。

ところが、セルとしてROMやPLAなどのように不均一な任意寸法の矩形セル(ゼネラルセル)を混在させる場合、チャンネル(セル又はセル列にはさまれた配線領域)の形状の認識、チャンネル間配線順序制約、セル間の相対位置の把握などに困難な問題が生じた。そのため、配置グラフ⁷⁾を複雑に操作するなどの処理^{2), 5)~8)}が必要であり、配線不能となる場合もあった。

また、LSIの大規模化に伴う設計作業の急激な増大に対処するために、LSIをいくつかの部分に分割し、階層的に設計する方式を用いるが、この時、上位階層ではどうしても、ゼネラルセルを組合わせてレイアウトする要求が生じる。もし、すべての階層でチャンネル配線法を適用しようとする、なんらかのレイアウト上の制限を設ける必要があった⁹⁾(たとえばT字路制約¹⁰⁾が一階)。しかしながら、このような制限は非常に不便であり、実用上は大きな障害になっていた。

そこで、ゼネラルセルを組合わせたLSIの自動配線にチャンネル配線法を適用することによって生じる問題を回避するため、主としてプリント基板の自動配線に用いられる線分探索法^{10), 11)}を配線領域全体に一括して適用することを提案する。

本稿では、まず、線分探索法をゼネラルセルLSIの配線に適用する場合に必要な改良点について述べ、つぎに、

配線プログラムの試作・実験を通して、線分探索法がゼネラルセルLSIの配線手法として実用上有効であることを示す。

2. キップモデル

処理対象とするキップモデルを、使用上の制約ができる限り少ないものにする方針をとった。図-1のようにゼネラルセル(以後、セルと略す)をキップ内の任意の位置に配置できる。それらのセルはROMやPLAであっても良いし、あるいはポリセル方式などの他の自動レイアウト方式によって作られたものであっても良い。また、ボンディングパッドもひとつのセルとして扱う。セルの接続端子(ピン)の位置はセルの四辺上のどこにあってモロイ。その座標値は配線格子などの量子化された値ではなく、実際の値をマイクロンで与える。さらに、配線パターンの線幅及びセルの配置位置も実寸法で与える。プログラムの内部では全ての実寸法をユニットと呼ぶ単位寸法(ユーザーが指定するマイクロン/ユニット)の倍数で表わす。

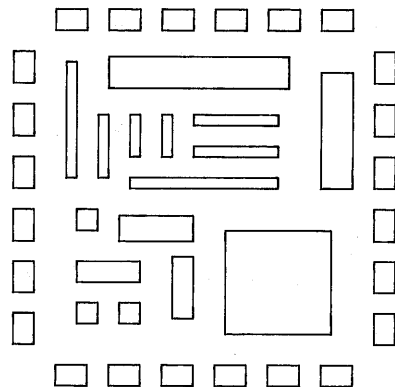


図-1 キップモデル

3. 配線手法

配線とは信号（同電位に結線すべきピンの集合）の接続経路を定めることである。配線手法及び用語は基本的に文献(10)と同じであるがそのままでは適用できないので、いくつかの改良を試みた。

線分探索法がLSIの配線手法として補助的にしか用いられなかった理由は、チャンネル配線法とくらべて、配線率が低いこと、処理時間が長いことなどである。線分探索法は、これらの短所を持っている反面、接続すべき2点の間に経路があれば必ず見つけられるという大きな長所がある。得られた経路は曲り角数最小であって、必ずしも最短の経路ではない。しかし、そのため、チップの中央部に配線が集中することを自然に避けられる。

その他、チャンネル配線法の目標は与えられた配線要求をいかに小さい面積で実現するかであるのに対して、線分探索法の目標は与えられた配線領域内で、いかに多くの配線要求を実現するかであるという違いもある。

配線層の使用法は文献(10)と同様に、縦線用の層と横線用の層とを区別する2層配線方式である。これらの2層間の連結はスルーホールによって行うが、スルーホールとスルーホールとの最小配置間隔及びセルと配線との最小間隔は議論を簡単にするため最小配線間隔（クリアランス、図-2）と同じ寸法とする。また、クリアランスには縦方向と横方向とがあって、それらは異なる値であってもよい。

(1) 配線禁止パラメータ

線分探索法で配線率を下げた原因は既配線が後の配線にとって障害物となることである。そのうち、たとえば図-3(a),(b)のように信号1が信号2よりも先に配線されると、いくつか付近の

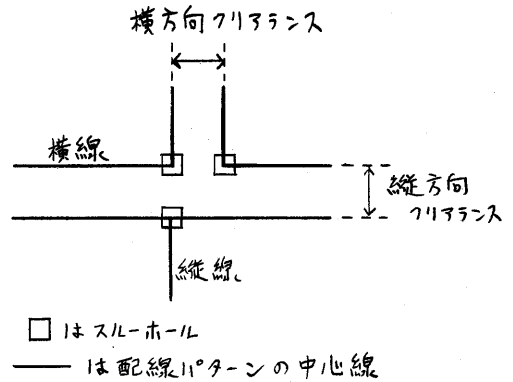


図-2 クリアランス

配線領域に余白があっても信号2は配線できない。この原因で生じる配線不能を防ぐため配線禁止パラメータを設定した。すなわち、未配線ピンの周囲に他信号に対する配線禁止域（図-4(a)の斜線部で、破線の境界を含まない）を設け、そのピンの配線が完了した時点で、この配線禁止域を他の信号の配線用に解放する。

禁止域の範囲は図-4(a)に示すように、セルの辺に沿う方向はピンの両側にそれぞれクリアランス d の長さであるが、セルの辺に垂直な方向へはクリアランスの整数倍の長さを指定できる。ここでは説明の都合上その倍数を2としておく。

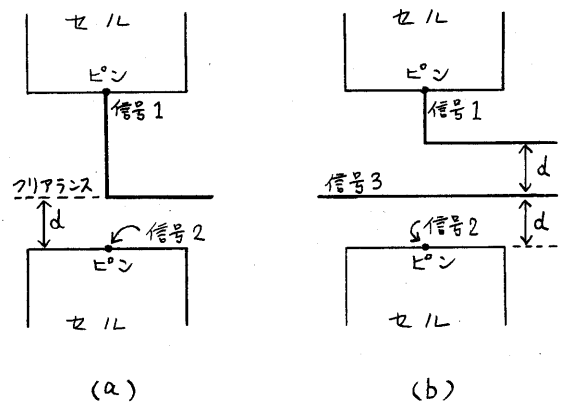


図-3 配線不能の一例

このパラメータを用いれば図-3(a)のような配線不能は生じず、図-4(b)のように配線ができる。しかし、この方法では配線領域の面積そのものの不足によって生じる配線不能は防げない。

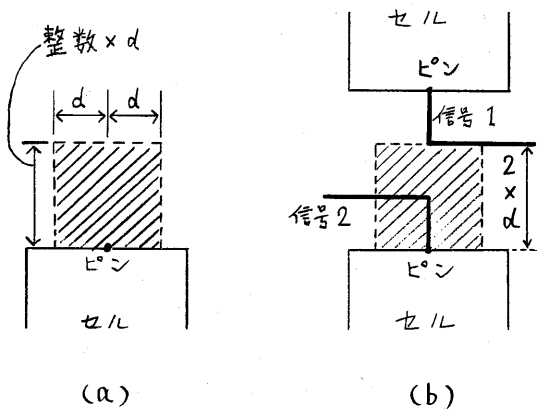


図-4 配線禁止域

(2) 仮想線分発生間隔パラメータ

プリント基板の場合は規格化されたICパッケージのピン間隔や電氣的条件などによって定まる配線格子を用いて配線する。しかし、ゼネラルセルLSIの場合、セルのピン位置にはICパッケージのピンのような規則性がない。もし、自動配線で配線格子を利用しようとする、セル設計の段階でピン位置を配線格子にのるように設計しなければならなくなる。この制約は設計時に不便があるばかりでなくセルサイズが大きくなってしまうという悪い結果を招く。そのほか、セルの配置位置やクリアランスを任意の値に指定できるようにすべきであることを考えると、ゼネラルセルLSIの場合は配線格子を用いずに配線する必要がある。つまり、クリアランスさえ確保できれば任意の場所で分枝可能であり、かつ、任意の長さまで線分を延長可能である

ようにする。そうすると、線分探索過程において、仮想線分発生間隔及び仮想線分長を定める際、クリアランスを保持しているかどうかを必ずチェックしながら探索しなければならぬ。その時、最も綿密に探索するならば、1ユニット間隔で探索を進めることになる。

しかし、そのとおり1ユニット間隔で探索する方法はばう大な計算量を要するので現実的ではない。さらに1ユニット間隔で探索したからといって最良の結果が得られるという保証もない。

そこで、今回、仮想線分発生間隔パラメータ(SI*パラメータと呼ぶ)を設定して線分探索の効率を上げることを試みた。図-5に示すように、SIの値(単位はミクロン)の間隔をあけて仮想線分を発生する。但し、仮想線分を延長する長さはSIとは無関係で、クリアランスの保持のみをチェックする。このように、線分探索過程で配線パターンのクリアランスを確保しながら配線を進めているため、電源線のようなパターン幅の異なる配線(すなわち、同一層で複数のクリアランス)が混在する配線にも容易に拡張できる。

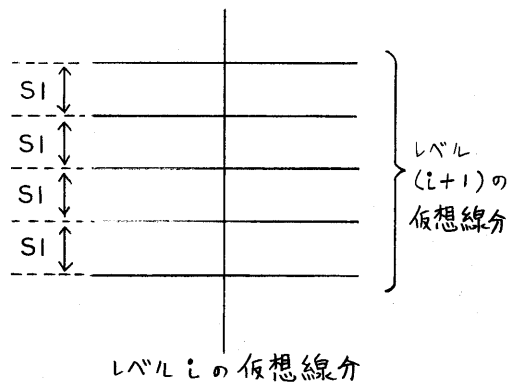


図-5 SIパラメータ

*SI: Search Interval の意

(3) 3ピン以上のピンを持つ信号の配線方法

まず、2ピンを選びそれらの間の接続経路を求める。つぎに、残りのピンからひとつを選び、前に求めた経路との間の接続経路を求める。あとの残りのピンも同様である。但し、ピンの選択順序に対する最適化は、ここでは省略しており、データの登録順に次のピンを選択している。

4. システム構成

図-6に示すシステム構成図のとおり、バッチ処理によってのみ利用できる。グラフィックディスプレイへの配線結果の表示、グラフィックデザインシステムとのインターフェイス、オフラインプロッタとのインターフェイス、統計情報の出力の機能が備わっている。プログラムは約5,000ステップで2メガバイトのメモリを使用する。セル数は1,000、信号数は10,000、ピン数は10,000までのデータが処理できる。使用計算機はMELCOM-COSMA 900Ⅱ(3.5MEPS)である。

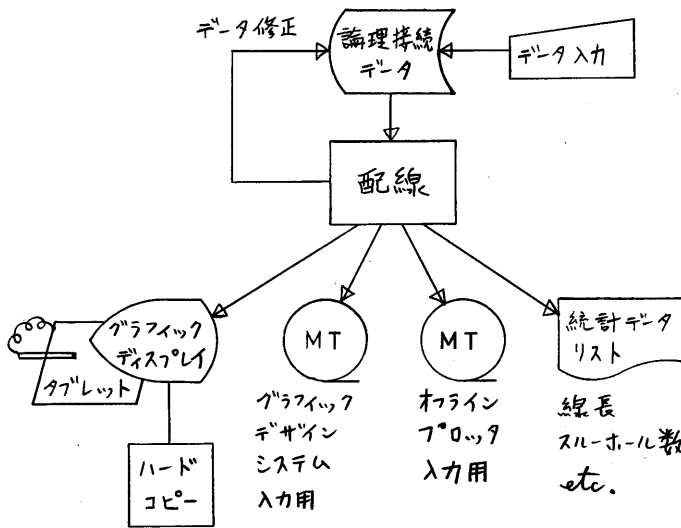


図-6. システム構成図

大型高速電算機の近年の普及によって、このようなプログラムの実用が現実的となった。

5. 実験結果と考察

表-1に示すデータを用いて、SEパラメータの値を変化させた場合の実験結果が表-2である。それを図示したのが図-7である。この結果を見ると、SEがクリアランスと同じ値であるところ(図-7の○印)を境にして、ある傾向を示している。SEの値がクリアランスより小さくなるに従って計算時間は急激に増加するが、配線率は、データ1を除いて、変化が見られな。一方、SEの値がクリアランスより大きくなるに従って、計算時間がゆるやかに減少するのに対して、配線率は大きく減少するという傾向が見られる。

すなわち、SEの値としてはクリアランスの近くを用いるのが最も効率的であるといえる。また、SEのデフォルト値としてクリアランスを採用すべきであることがわかる。

図-8にSEとしてクリアランスを用いた時の配線図を示す。

表-3は3.(1)で述べた配線禁止パラメータを指定しない場合の実験結果である。データ2では影響がないが、他のデータではいずれも配線率が低下している。計算時間に与えた影響は少ない。この結果から、配線禁止パラメータという単純な工夫が配線率の向上に効果を上げていたことがわかる。ここで示した配線率や計算時間に加えて、レイアウト上の制約が少なくという点から見て本プログラムは十分実用的な性能を備えているといえる。

表-1 実験データ諸元

	データ1	データ2	データ3
チップサイズ (μ ²)	180 X 180	3600 X 3600	4430 X 3040
セル数	10	40	16
信号数	11	73	129
ピン数	28	159	316
クリパランス (μ)	5	20	15

表-3 配線禁止パラメータを指定しない場合の結果

	データ1	データ2	データ3
SI	5	20	15
未配線ピン数	2	0	14
配線率 (%)	92.9	100	95.6
CPU TIME (秒)	3.1	52.8	192.2

表-2 実験結果 (但し、配線率 = (配線完了ピン数 ÷ 全ピン数) × 100)

(a) データ1

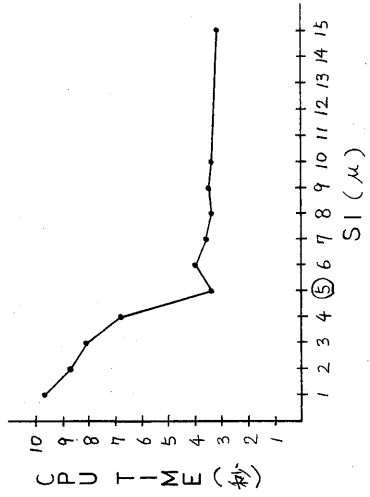
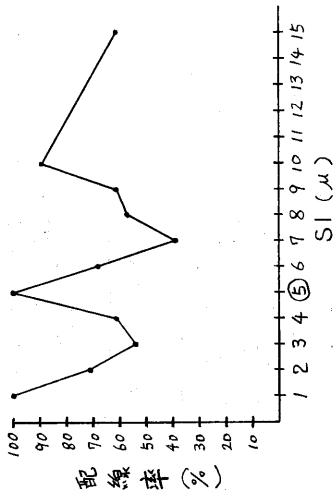
	1	2	3	4	5	6	7	8	9	10	15
SI	1	2	3	4	5	6	7	8	9	10	15
未配線ピン数	0	8	13	11	0	9	17	12	11	3	11
配線率 (%)	100	71.4	53.6	60.7	100	67.9	39.3	57.1	60.7	89.3	60.7
CPU TIME (秒)	9.7	8.7	8.1	6.8	3.4	4.0	3.6	3.4	3.5	3.4	3.2

(b) データ2

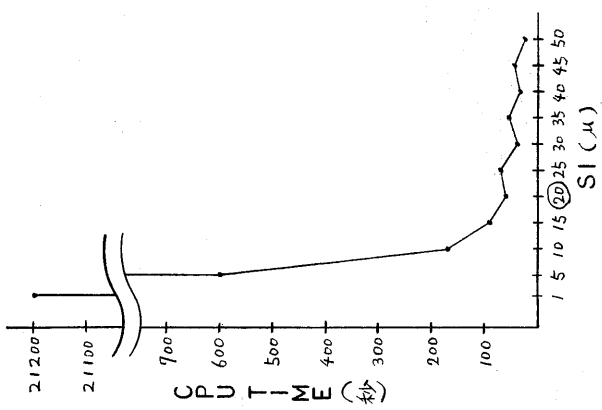
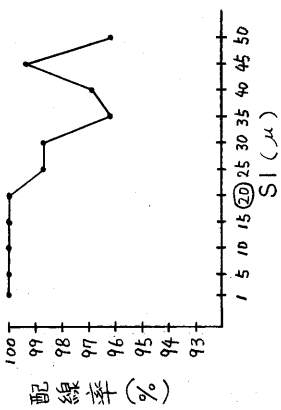
	1	5	10	15	20	25	30	35	40	45	50
SI	1	5	10	15	20	25	30	35	40	45	50
未配線ピン数	0	0	0	0	0	2	2	6	5	1	6
配線率 (%)	100	100	100	100	100	98.7	98.7	96.2	96.9	99.4	96.2
CPU TIME (秒)	21197.1	597.2	170.5	91.8	59.6	72.6	40.4	54.3	34.2	44.8	23.5

(c) データ3

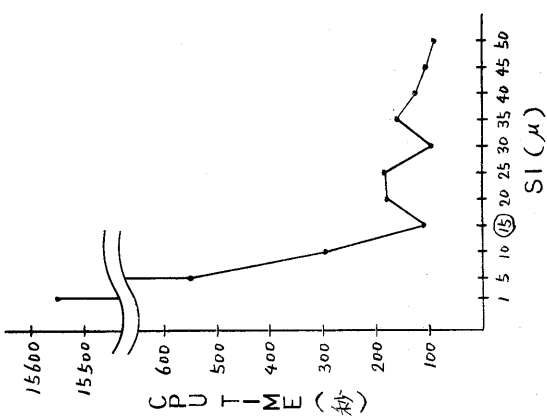
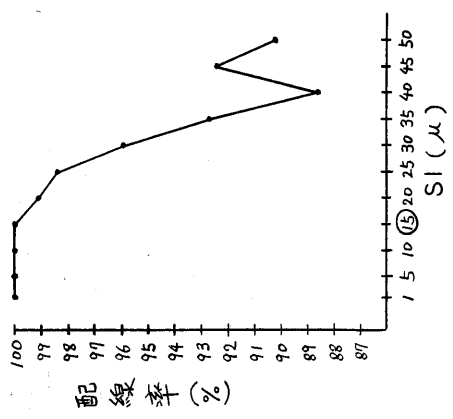
	1	5	10	15	20	25	30	35	40	45	50
SI	1	5	10	15	20	25	30	35	40	45	50
未配線ピン数	0	0	0	0	3	5	13	23	36	24	31
配線率 (%)	100	100	100	100	99.1	98.4	95.9	92.7	88.6	92.4	90.2
CPU TIME (秒)	15551.5	550.3	296.7	110.3	177.8	183.8	97.0	158.6	126.3	104.5	90.8



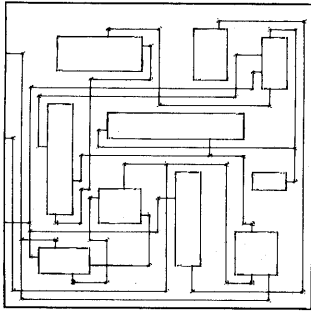
(a) データ 1



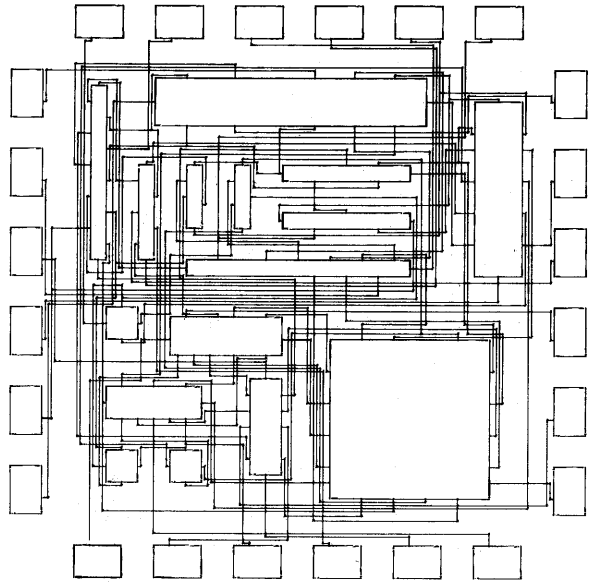
(b) データ 2



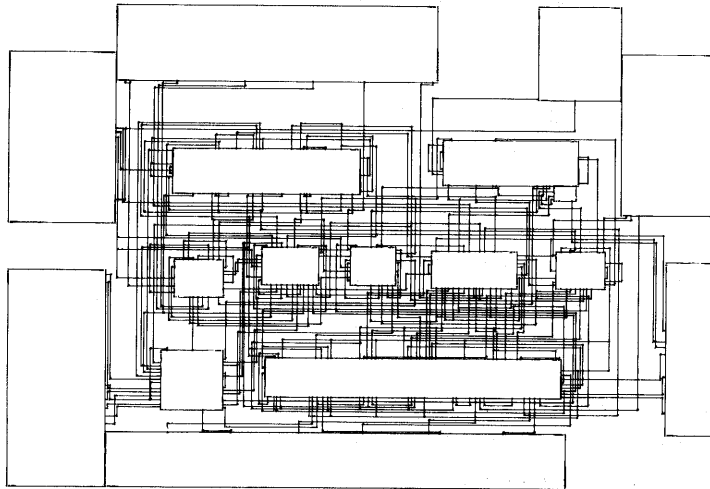
(c) データ 3



(a) データ 1



(b) データ 2



(c) データ 3

図-8 配線図

6. あとがき

主としてプリント基板の自動配線に用いられる線介探索法をゼネラルセルLSIの自動配線に適用できるかどうかを検証するため実際に配線プログラムを試作して実験データによって配線した。その結果、従来の線介探索法の短所を補う工夫（配線禁止パラメータ，仮想線介発生間隔パラメータの設定）を加えれば実用上，十分に有効であることがわかった。今後，下記の項目を中心に実用化改良を進める。

- 信号処理順序の最適化（たとえば，予測線長最短順，ピン数最小順，等）
- 信号外のピンペア処理順序の最適化
- 探索領域の範囲を制限して¹²⁾経路探索を効率化する
- 会話型配線機能¹³⁾の追加
- 電氣的等価ピン，論理的等価ピンを取扱う機能の追加
- データベースとの接続によるトータルシステム化
- パラメータ値と配線長との関係解析

参考文献

- 1) Hashimoto and Stevens : Wire Routing by Optimizing Channel Assignment within Large Apertures , 8-th DA Conf. (1971)
- 2) Kozawa , et al : Advanced LILAC - An Automated Layout Generation System for MOS/LSIs , 11-th DA Conf. (1974)
- 3) Deutsch : A "DOGLEG" Channel Router , 13-th DA Conf. (1976)
- 4) Persky , et al : Fault-Tolerant Comput. Vol. 1 , No. 3 , PP. 217-255 (1977)
- 5) C. Hsu : A New Two-Dimensional Routing Algorithm , 19-th DA Conf. (1982)
- 6) Hassett : Automated Layout in ASH-LAR ; An Approach to the Problems of "General Cell" Layout for VLSI , 19-th DA Conf. (1982)

- 7) 川西 , 他 : ビルディングブロック方式LSI配線プログラムの一算法 , 信学会回路とシステム理論研究会資料CT73-19 (1973)
- 8) Kani , et al : ROBIN ; A Building Block LSI Routing Program , IEEE proc. ISCAS (1976)
- 9) Sato , et al : MILD - A Cell-based Layout System , 18-th DA Conf. (1981)
- 10) 三上 , 田沢 : プリント配線板の自動設計システム , 三菱電機技報 , 43, 10号 (1969)
- 11) 浅原 , 他 : 高密度プリント基板用配線システムとその性能評価 , 信学会論文誌 , Vol. J65-A , No. 2 (1982)
- 12) 後藤 , 他 : マスタースライスLSI設計用自動/会話CADシステム , 信学会回路とシステム理論研資料CAS82-9 (1982)
- 13) 高見沢 , 他 : LSIレイアウト設計におけるインタラクティブ設計方式 , 信学会回路とシステム理論研資料CAS82-78 (1982)