

LSI 試作ラインにおけるプロセス設計支援システム

石川 操・田沢 聡*・和田 康*

電気通信大学・NTT電気通信研究所*

LSI 試作ラインにおいて、多品種の高集積、高機能LSI開発に有効なプロセス設計支援システムを開発した。本システムはプロセスシーケンス検証プログラム、プロセス/デバイスシミュレータ、自動スケジューラで構成され、プロセス順序の設計からプロセスパラメータの最適化、更に試作のスケジューリングまでを会話型式で行うことができる。

本報告では、まずシステムの構成と、本システムの中核である自動スケジューラを中心に各構成プログラムの概要を述べる。更に本システムをLSI 試作ラインのシミュレータとして使用し、ロットスルーットを向上させるロット投入計画等の立案に利用した結果について述べる。

"A process design support system
for an LSI R&D line" (in Japanese)

Misao Ishikawa, Satoshi Tazawa*, and Kou Wada*

The University of Electro-Communications
1-5-1, Chofugaoka, Chofu-shi, Tokyo, 182 Japan
*NTT Electrical Communications Laboratories
3-1, Morinosato Wakamiya, Atsugi-shi, Kanagawa
243-01 Japan

A process design support system for an LSI R&D line has been developed. The system consists of process sequence verifier, process/device simulator and automatic scheduler, so that it performs a series of process design tasks for the development of various custom VLSIs.

This paper describes the system construction and the scheduling algorithm. In addition, it is shown that the system is quite effective for the line simulation to control WIP (work in process), investment in equipment and operating time of the line.

1. まえがき

LSI技術の発展はめざましく、既に1MビットのメモリLSIや数10Kゲートの論理LSIが実用に供されている。研究所等の開発段階ではさらに高集積化、高機能化の研究が進み、LSI製造プロセスは複雑化の一途をたどっている。一方、情報、通信機器を始めとする各種装置のLSI化が急速に進み、用途に応じた種々のカスタムLSIの迅速な開発が要求されるようになってきた。すなわち複雑なプロセスで構成される多品種のLSIを短期間で効率よく開発する必要性が生じてきた。

この要求に対して、バタンの設計に関しては、計算機を用いた自動設計、即ちCADの研究[1]が精力的に進められ、研究所レベルでは既に一部実用に供されているが、プロセス設計に関しては、プロセス/デバイスシミュレータ[2]が設計ツールとしてわずかに用いられている程度である。

我々はこれらの状況を背景に、工程順序の設計からプロセスパラメータの最適化、更に試作のスケジューリングまでを計算機で統一的に行えるシステムの開発を行った。

以下、2章では、本システムの構成と各プログラムの概要を述べる。更に3章では、本システムをLSI試作ラインのシミュレータとして利用し、ロットスループットを向上させるロット投入計画、装置導入計画、装置運用計画等の検討を行った結果について報告する。

2. プロセス設計支援システム

2.1 システムの位置付けと構成

図1にLSI開発の企画から試作に至るフローを示す。簡単化のため、途中に存在するフィードバックループの表示は省略した。左半分のボタン設計と記した部分が通常狭義にLSI設計とよばれている部分で、この部分の自動化は進んでいる。

一方、図の右半分即ちプロセス設計に関しては、まだ、経験者の知識と勘に頼った人手設計の比重が大きい。設計を支援するツールとして各種のプロセス/デバイスシミュレータが開発されているが、これらはプロセスパラメータ決定時に独立ジョブとして随時起動し運用されており、設計支援用一貫システムとなっていない。

また、プロセス用のスケジューラ開発も進み量産工場に適したプログラムは既に市販されているものまであるが、特にフレキシビリティを要求されるLSI試作ラインにおけるスケジューリングに関しては、我々

が報告したもの[3]以外に報告例[4]は少なく、手作業でこなしているのが現状と思われる。そこで、我々は既に報告した自動スケジューラを中核にプロセスシーケンス検証プログラム、プロセス/デバイスシミュレータを含むプロセス設計支援用一貫システムを開発した。

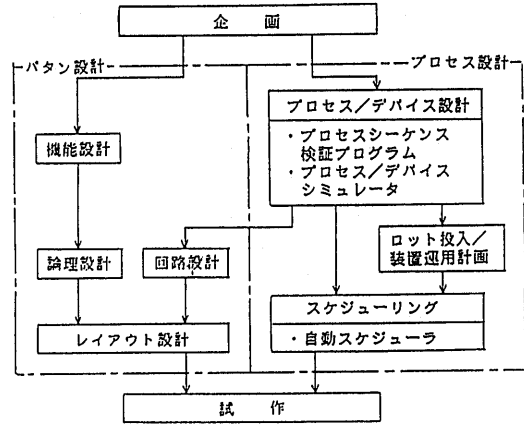


図1 LSI開発のフロー

ユーザはプロセスの順序を記述した工程順序ファイルを作成し、まず、プロセスシーケンス検証プログラムによって記述ミスのないことを確認する。次にプロセス/デバイスシミュレータを使用して所望のデバイス特性を得るためのプロセス条件（プロセスパラメータ値；酸化温度、時間など）を決定する。さらに、自動スケジューラを起動して試作の日程を決め、チャート出力プログラムで試作に使用するプロセスチャートを作成する。

2.2 構成プログラムの概要

以下に本システムを構成する各プログラムの概要を述べる。

(1) プロセスシーケンス検証プログラム

工程順序の記述例を図2に示す。本データは図のようにラベル付きのフリーフォーマット（記述位置、順序の指定なし）で記述されている。LOTレコードがロットの情報を、FPSレコードが素子分離、ウエル形成、ゲート形成などの基本的な工程群（基本工程と呼ぶ）の情報を、STEPレコードが洗浄、酸化、イオン注入などの最小単位工程（素工程と呼ぶ）の情報を示しており、レコードの順が工程順を表わしている。

```

LOT   SDAY=861216   EDAY=861231
FPS   NAME=EP1
STEP  NAME=WASH-A   EQP1=GW1
      ⋮
STEP  NAME=DEVELOP  EQP1=GL5
STEP  NAME=OM       EQP1=GTP5
STEP  NAME=PIMPLA   EQP1=G11
STEP  NAME=WASH-B   EQP1=GW2
STEP  NAME=FIELDTC  EQP1=GW3
FPS   NAME=LOCOS
STEP  NAME=WASH-A   EQP1=GW1
STEP  NAME=LOCOS   EQP1=GAB06
STEP  NAME=SIOWETET EQP1=GV101
STEP  NAME=SIINCVD  EQP1=GV102
STEP  NAME=OM       EQP1=GTP5
STEP  NAME=WASH-B   EQP1=GW2
      ⋮

```

図2 プロセス順序の記述例

プロセスシーケンス検証のためにはプロセスの進行に従って形成されるLSIデバイスの断面形状を表示するプログラムの使用が有効である[5]。我々は独自に開発したデバイス形状シミュレータ[6]を用いてこの処理を行うことにした。このプログラムは物理モデルに基づく形状シミュレータではなく、処理ルールをプロセス上の経験に基づく知識によって決め、このルールに従って形状を求めるシミュレータである。図3に示すように工程順序ファイルとマスク情報に基づいたシミュレーションを行い、結果をグラフィック表示する。本プログラムでは、加工形状を高精度に求めることはできないが、短時間で結果表示を得ることができ、設計者は目視によるチェックを容易に行える。図4に表示例を示す。これはあるプロセスシーケンスに従って形成されたMOSFETの断面構造を示している。

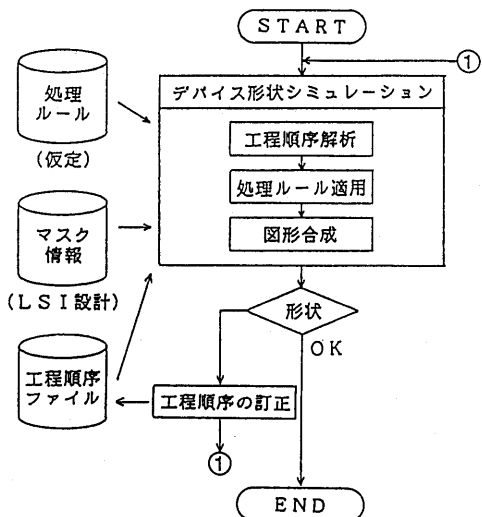


図3 プロセスシーケンス検証の流れ

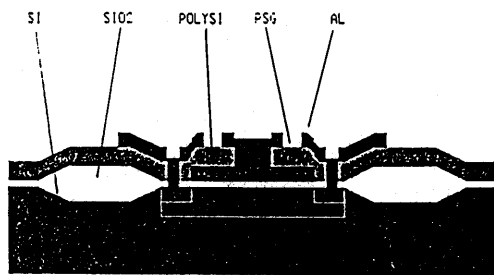


図4 デバイス断面形状表示例

(2) プロセス/デバイスシミュレータ

プロセス/デバイスシミュレータPANDA[7]の構成を図5に示す。本プログラムは、2次元プロセスシミュレータと、高精度解析用の2次元イオン注入シミュレータ[8]、FET専用の1キャリア2次元デバイスシミュレータ(FEDAS)[9]、バイポーラも扱える2キャリア2次元デバイスシミュレータ(TRANAL)[10]、プロセス条件最適化プログラム[11]、およびグラフィック出力プログラムで構成されている。最適化プログラムを使用することによってユーザは所望のデバイス特性を得るためのプロセスパラメータ(複数)の値を1回のジョブで得ることができる。

全てのプロセスパラメータ値が決まれば、再びシミュレータを起動してデバイス内の不純物分布、電位分布、電流分布などを求め、グラフィック表示(図6)して目視チェックを行うとともに、I-V特性(図7)を計算して回路設計用のデータとすることができる。

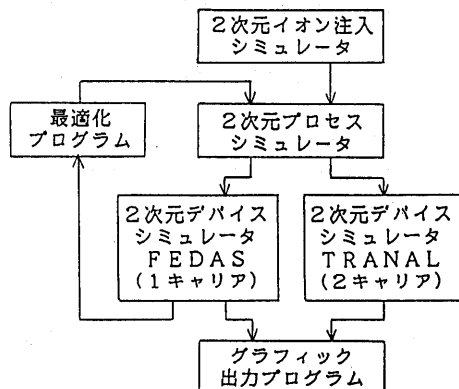


図5 プロセス/デバイスシミュレータの構成

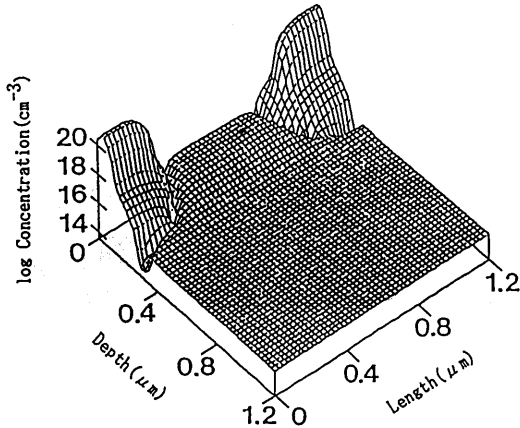


図6 シミュレーション結果（不純物分布）の出力例

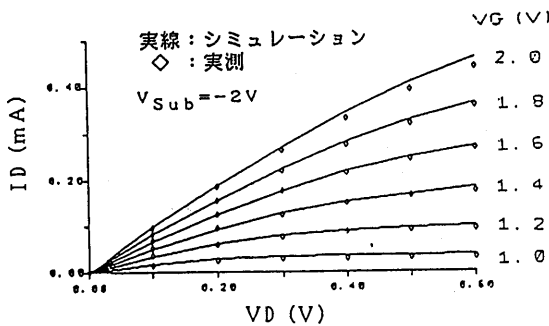


図7 シミュレーション結果（I-V特性）の出力例

(3) 自動スケジューラ

LSI 試作ラインで使用するスケジューラは以下のような状況にフレキシブルに対応できる必要がある。

- 1) 工程順序は可变とし、かつラインでは種類の異なるロットが複数個同時に進行する。
- 2) ロット毎に完成期限や優先順位（プライオリティ）が異なる。
- 3) 試作の途中で工程の変更や予定の変更がしばしば行われる。
- 4) 装置稼働時間は（3シフト制ではないため）各オペレータの作業時間帯に依存し、一定ではない。更に装置の改造等が頻繁に行われる。
- 5) エッチング法、デポジション法など個別プロセスの研究を目的としたウエハ処理が総合的な試作と混在する。

これらの状況に対応するため、以下のような特徴を持つプログラム構成とした。

- 1) => 前述のように、工程順序記述の簡略化により、データの作成を容易にした。

- 2) => 装置に対する素工程の割当順序を完成期限及びプライオリティに基づいて決定する新たなアルゴリズムを導入した。アルゴリズムについては次節で詳しく述べる。
- 3) => 工程順序ファイルの中に2つの区切りレコードを入れることにより、それに挟まれた部分プロセスのスケジューリング、再スケジューリングが容易に行えるようにした。
- 4) => 曜日や時刻に対して、装置のランニングコストを変化させることでオペレータの作業スケジュールに柔軟に対応できるようにした。これに関しても次節で説明する。
- 5) => 端末より容易に装置の稼働条件の設定や個別ウエハ処理の予約ができるようにした。

自動スケジューリングの流れを図8に示す。まず前処理として、工程順序ファイルとレシピファイルを読み込み、必要な場合はロット投入の最適化を図る。

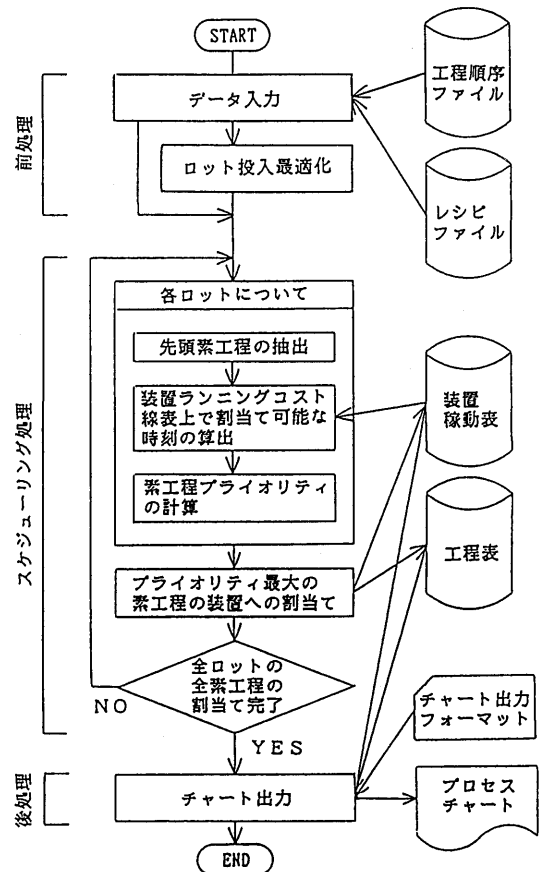


図8 自動スケジューリングの流れ

ロット投入最適化には図9に示すように、各ロットの素工程を時間軸上に一律に並べて相互比較し、同じ装置を同じ時間帯に重複して使用する確率（斜線部の面積和）が最も小さくなるように各ロットの投入日時をずらすアルゴリズムを用いた。

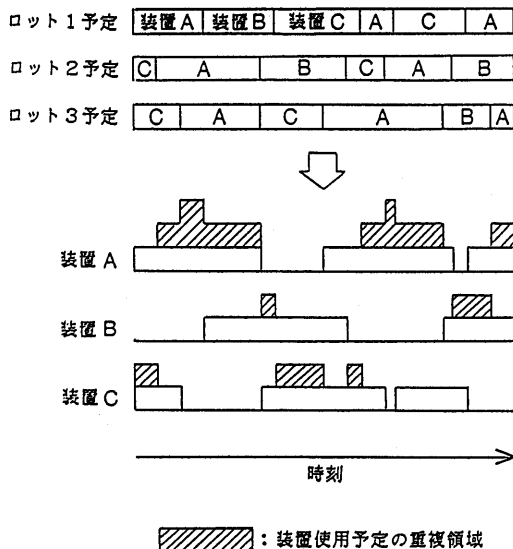


図9 装置の重複使用量の見積り

スケジューリング処理では、まず各ロットの先頭の素工程を抽出し、装置ランニングコスト線表上で割当て可能な最も早い時刻に割当てた場合の各ロットのプライオリティ値（素工程プライオリティ）を計算する。その値が各ロット中で最も高くなった素工程を実際に割当てる。これをスケジューリングすべき全ての素工程がなくなるまで繰り返し行う。なお、装置ランニングコストと素工程プライオリティについては次節で詳しく述べる。

後処理ではロット毎に工程順序に時刻を記入した工程表と工程別や装置別に編集した線表を出力する。図10に出力した工程表の例を示す。本工程表の基は図2に示した工程順序データである。ここで、工程順序データには記入されていないが、この表に表示されているオペレータ情報、レシピ名などはそれぞれの装置に対して設定されたデフォルト情報である。即ちこれらのデータは特にデフォルトとして登録されていない使い方をする場合のみ、その項目を記述すればよいようになっている。たとえば通常と異なるオペレータが操作する場合はオペレータ名を記述する。

LOT01	ISHIKAWA ECL	01G 2553	86/12/16
1 EPI			
1	1- 1	00:00 00:00 WASH-A NIWA	GW1R2 GW1
51	5- 3	12/16 09:00 DEVELOP TAZAWA	GL5R1 GL5
52	5- 4	12/16 09:25 OM ISHIKAWA	GTP5R1 GTP5
53	5- 5	12/16 09:50 PIMPLA WADA	G11R G11
54	5- 6	12/16 11:30 WASH-B NIWA	GW2R1 GW2
55	5- 7	12/16 12:10 FIELDETC SAITOH	GW3R1 GW3
6 LOCOS			
56	6- 1	12/16 13:30 WASH-A NIWA	GW1R2 GW1
57	6- 2	12/16 15:00 LOCOS WADA	GAB1R061 GAB06
58	6- 3	12/16 15:50 SIOWETET NIWA	GV101R1 GV101
59	6- 4	12/16 16:20 SINCVD OKLBO	GV102R1 GV102
60	6- 5	12/17 09:00 OM ISHIKAWA	GTP5R1 GTP5
61	6- 6	12/17 09:25 WASH-B NIWA	GW2R1 GW2

図10 工程表出力例

本チャート出力プログラムでは、出力結果に関し任意の編集が可能で、たとえばロット別やオペレータ別に編集することができる。ロット別に編集した工程線表の例を図11に示す。また同図では線表の下に表示するデータ項目は、素工程名と装置名であるが、この表示に関してもオペレータ名、レシピ名など任意に選択して出力することができる。更に横軸の時間間隔についても任意に決めることができる。

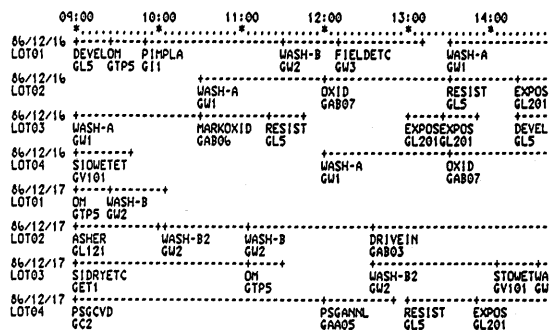


図11 ロット別工程線表出力例

2.3 自動スケジューラにおける評価関数

本スケジューラでは、オペレータの作業スケジュールやメンテナンスなどの装置稼働条件に応じて装置ランニングコストという指標を用い、更にロット毎に異なる完成期限や優先順位を設定可能にする素工程プライオリティという指標を加えてスケジューリングを行っている（両者とも時刻の関数である）。以下にその概要を述べる。

(1) 装置ランニングコスト

図12にランニングコスト線表の例を示す。この例ではオペレータは9時～18時の勤務についており、深夜の作業はできないため、22時から翌日9時までのランニングコストは最大の99に設定されている。12時から13時までは昼休みのため平常勤務時間に比べて幾分高いコストが設定されている。また18時から22時はオーバertimeのためこも高いコストが設定されている。更にこの例では2日が休日であるためコストの最大値が設定されている。これに対して、各ロットには装置に対して稼働をかけるための最大コスト値を設定しておき、装置ランニングコストがこの値以下の時間帯でしか使用できないようにした。オペレータのオーバertime及び休日勤務の予定を入力しておけば、ロットの重要度に応じてこの時間帯を使い分けることができる。

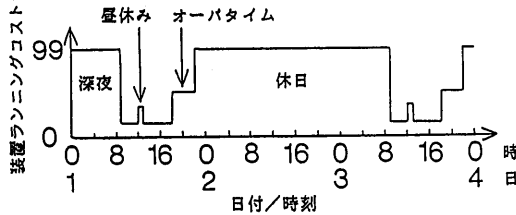


図12 ランニングコスト線表の例

(2) 素工程プライオリティ

素工程プライオリティの計算は完成期限とロットの優先度を考慮して次のように行う。

まず開始から完成期限までの時間内にほぼ均等にロット内の素工程を分配した場合が理想的であると考え、各素工程がこの線表に対して遅れるほどプライオリティが高くなり、早まればプライオリティが低くなるように素工程プライオリティ関数を決定した。この概念図を図13に示す。ここで、n番目の素工程に対するプライオリティ $P_{n,i}$ の関数型は(1)式を用いている。

$$\begin{aligned}
 P_{n,1} &= \exp \{ (T_n - t_n \cdot T_i / t_i) / \alpha \} \\
 P_{n,2} &= \exp \{ (T_n - t_n \cdot T_i / t_i) \cdot \alpha \} \\
 P_{n,3} &= \exp \{ (T_n - T_i) / \alpha \} \\
 P_{n,4} &= \exp \{ (T_n - T_i) \cdot \alpha \} \\
 P_{n,5} &= a \cdot (T_i - T_n) \\
 &\text{当 } T_n < t_n \cdot T_i / t_i \text{ の時} \\
 P_n &= P_{n,1} + P_{n,3} + P_{n,5} \\
 &\text{当 } t_n \cdot T_i / t_i \leq T_n < T_i \text{ の時} \\
 P_n &= P_{n,2} + P_{n,3} + P_{n,5} \\
 &\text{当 } T_i \leq T_n \text{ の時} \\
 P_n &= P_{n,4} + P_{n,5} \quad (1)
 \end{aligned}$$

なお、 T_n は素工程nの割当て時刻、 t_n は素工程nまでの当該ロットの全処理時間、 T_i はロットの完成期限、 t_i はロットの全処理時間を示す(ただし時刻の起点はロット開始時刻とした)。 α はロットプライオリティを示しており、これが大きいロットは、均等配分した線表から予定が早まってもプライオリティが大きいいため他のロットより優先して割当てが実行される。

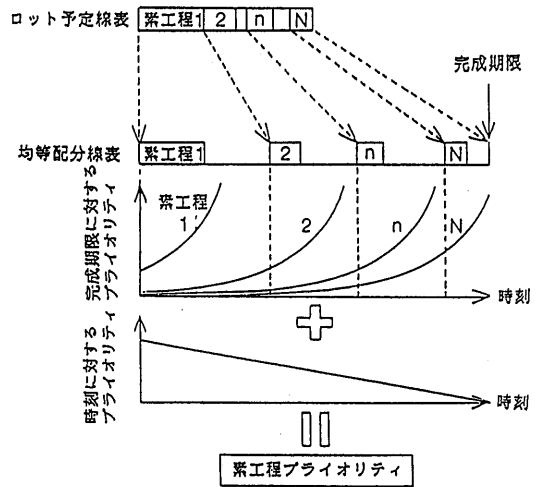


図13 素工程プライオリティの算法

3. システムの応用

高集積化によるプロセス制御の高精度化が進む一方、開発期間の短縮、高歩留りの維持という要請があり、LSI試作ラインの構築と運用の効率化が重要であることは前に述べた。そこで自動スケジューラをLSI試作ラインの運用シミュレータとして用い、ロットスルーットを効率化するロット投入計画、装置導入計画、装置運用計画を具体化した。ここでは、それぞれについてその一例を述べる。

3.1 ロット投入計画

図14に同一種類のロットについて、2ロットから20ロットまで並行処理ロット数を変化させたときのロットスルーット(単独ロット処理時の処理量で規格化した、複数ロットの処理量)の変化を示す。

図中の実線は並行処理ロットの投入日時を全て同一とした場合のスケジューリング結果である。この場合の各装置の稼働率を図15に示す。装置稼働率は最大の装置でも60%程度であり、まだ処理能力に余裕が

あるにもかかわらずロットスループットは8ロットあたりから飽和してしまっていることがわかる。これはロット投入時期が集中し、同一装置を奪い合う最悪スケジューリングが行われたため、これを分散させればロットスループットは上がるものと考えられる。

図14に各ロットの投入日時を規則的に分散させた場合の結果を破線で示した。ロットスループットの50%程度の向上が確認できる。更にロットスループットを向上させるにはなるべく同一期間に同一装置を使用すると言う状況を減らすことが要求される。そこで前章で述べたロット投入最適化アルゴリズムを用いて投入日時を決めてスケジューリングを行った。この時の結果を図14に一点鎖線で示す。これによって各装置の稼働率がさらに高くなり、ロットスループットが向上することがわかる。ただし、12ロット以上では図16に示すように、装置1の稼働率が90%以上という、飽和状態に達しており、前処理の効果がロットスループットの改善に反映されない。これ以上の改善のためには稼働率の高い装置に着目した重複割当て回避アルゴリズムの導入が必要である。

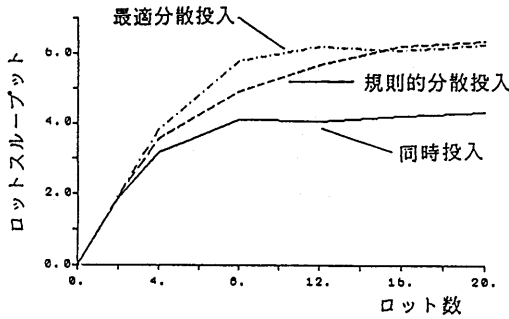


図14 ロットスループット1 (ロット投入法別)

3.2 装置導入計画

3.1で示した装置稼働率(図16)を見ると、他の装置と比べて装置1の処理能力が明らかに不足していることがわかる。図17の実線はこの装置1を1台から2台へ増加させたときのスケジューリング結果を示している。ロット投入は図14の破線の場合と同じ条件にした(図17にもこれを破線で示した)。これによってスループットは20ロットの場合で60%程度の改善効果が認められる。図17の一点鎖線は装置1をさらに2台から4台へ増加させた場合の結果であるが、2台に増加させたときほどの効果はない。これはほかにも同程度にネックになっている装置があるため、このことは図18からも判断できる。そこで装置1を4台に増すと同時に、次に能力が不足していると考えられる装置2~装置6を1台から2台に増加させてシミュレーションを行ってみた。結果は図17に点線で示したように、20ロットの時に、全装置が1台の場合と比べて約120%の改善効果が認められる。

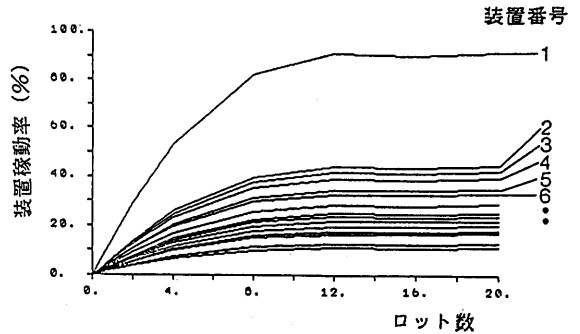


図16 最適投入の場合の装置稼働率

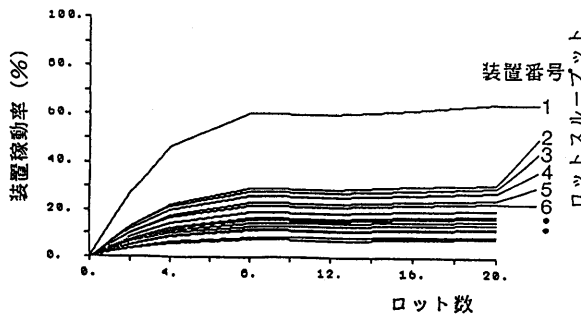


図15 同一日時投入の場合の装置稼働率

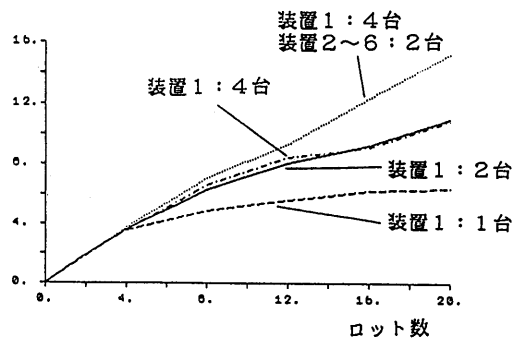


図17 ロットスループット2 (装置台数別)

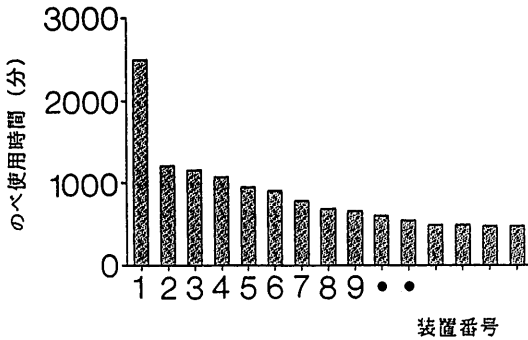


図18 装置のべ使用量 (1ロット分)

3.3 装置運用計画

これまでに述べた例は全て24時間稼業として計算した値である。しかし研究機関などの試作ラインでは、オペレータの作業スケジュールの都合上8時間稼動とする場合が多い。図19に全ての装置を8時間稼動とした場合のロットスループットを一点鎖線で示した。通常の装置は12時から13時を昼休みとし、ただし3時間以上の処理時間を要する装置は昼休みなしで8時間フル稼動とした。この時のロットスループットは24時間稼業の場合のスループットを単純に1/3したもの(破線)に比べて約30%減少している。この場合、スループットの改善はのべ使用時間の多い装置の稼動時間延長によってある程度可能と考えられる。

図19には最ものべ使用時間の多い装置1の稼動時間を順次延長した結果を併記した。この図から本装置の稼動時間をわずか1時間延長しただけで、大幅なスループットの改善が図れることがわかる。ただし、他の装置が8時間以上稼動しないため、3時間以上延長しても効果はない。

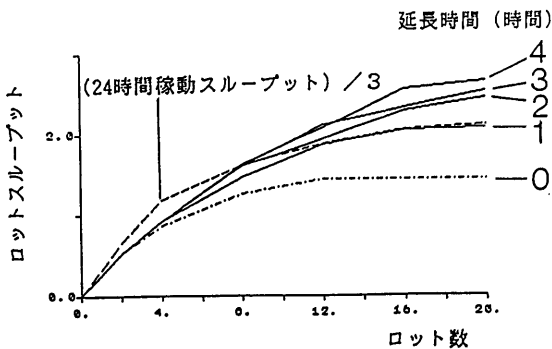


図19 ロットスループット3 (稼動時間別)

4. まとめ

L S I 試作ラインにおいて、工程順序の設計、プロセスパラメータの最適化、及び試作のスケジューリングまでを会話形式で行うプロセス設計支援システムを開発した。本スケジューラでは、素工程プライオリティと装置ランニングコストという2つの指標を用いて、スケジューリングを行う新たなアルゴリズムの導入によって、試作ラインにフレキシブルに対応できるようになった。

更に、本システムは、試作ラインのシミュレータとして使用することが可能で、ロット投入計画、装置導入計画、装置運用計画などの立案に利用することができる。

謝辞

本研究を進めるにあたり、御指導を頂いた、電気通信大学 松山敬左 助教授、NTT電気通信研究所 集積加工研究部 近藤衛 部長、同 大和田彦彦 部統括、微細加工研究室 加藤浩太郎 室長に感謝する。

参考文献

- [1] 例えば,"L S I 設計",日経エレクトロニクス, No.400,1886.
- [2] 例えば,上田潤,"超L S I とシミュレーション技術",電子材料,8月号,1986.
- [3] 井上順一,窪田勝利,和田康,"プロセスチャート自動作成システムの検討",昭和60年電子通信学会半導体・材料部門全国大会講演論文集,236, 2-172.
- [4] 福井正康,平井義彦,香川恵一,江崎豪弥,羽山繁,"半導体プロセススケジューリングシステム",信学技報,CAS86-84,1986.
- [5] Keunmyung Lee, Andrew R. Neureuther, "SIMPL-2 (SIMulated Profiles from the Layout-version-2)", VLSI Symp., No.VI-5 (1985-5),64.
- [6] 石川 操,"L S I 工程設計自動化システムの研究",電気通信大学卒業論文,1984年度.
- [7] 田沢聡,竹田忠雄,富沢雅彰,"プロセス/デバイスシミュレータPANDAによるLDD-MOSFETの解析",信学技報,SSD85-64,1985.
- [8] T.Takeda,S.Tazawa and A.Yoshii,"Precise Ion-Implantation Analysis Including Channeling Effects,IEEE Trans. Electron Devices,Vol.ED-33,1986.
- [9] K.Yokoyama,A.Yoshii and S.Horiguchi,"Threshold-Sensitivity Minimization of Short Channel MOSFET's by Computer Simulation,IEEE Trans. Electron Devices, Vol.ED-27,1980.
- [10] 富沢雅彰,吉井彰,北沢仁志,安達徹,"トランジェント解析用2次元デバイスシミュレータ (TRANAL-2T)",信学技報,SSD84-75,1984.
- [11] K.Yokoyama, M.Tomizawa, T.Takeda and A.Yoshii,"Optimization of Process and Device Characteristics for MOSFETs by BFGS Method,"Solid-State Electronics,Vol.27, 1984.