

信号確率を利用した論理回路図作成

長井真太郎 門倉敏夫
早稲田大学理工学部

深沢良彰
相模工業大学工学部

長谷川拓己
日本電気ソフトウェア㈱

鈴木和弘
日本電気㈱

ゲートレベルの論理回路図を、各素子の機能的な関係を重視して自動作成する手法を開発した。

回路図の自動作成では、作成された図面の「見やすさ」「理解しやすさ」の向上が目標となる。本研究では、回路機能に関する「理解しやすさ」の向上という観点から、ゲートレベルにおいて各素子の接続関係を図面上に表わす際に、機能的な類似構造を反映させることを重視した。そのための類似構造検出の手段として、信号線における論理値を事象とした信号確率を用いている。

本稿では、手法の概要、回路図作成の各段階における処理および、テスト・システムによる評価について述べる。

"An Automatic Layout Method for Logic Diagrams Using Signal Probability"

by Shintaro NAGAI[†], Toshio KADOKURA[†], Yoshiaki FUKAZAWA^{**}
Takumi HASEGAWA^{***} and Kazuhiro SUZUKI^{****}

[†] School of Science and Engineering, Waseda University, Tokyo, 160 Japan

^{**} Faculty of Engineering, Sagami Institute of Technology, Fujisawa, 251 Japan

^{***} Basic-Software and Application-Software Department Division, NEC Software, LTD.,
Fuchu, 183 Japan

^{****} Radio Application Division, NEC Corporation, Fuchu, 183 Japan

We present an automatic layout method for gate level logic diagrams. The key technique of the method is a clear representation of functional relationship among each element in a given circuit.

In the generation of logic diagrams, it is important to make the generated diagrams visible and understandable. To achieve it, we pay attention to similarity among segments of circuit structures. In order to detect similar segments of the circuit structures, we use signal probability, which is probability of a line having a value 1 on randomly selected primary input vector.

This paper describes the utilization of signal probability, the outline of the method and the estimation of the generated diagrams.

1. はじめに

論理回路図は、回路の検証および、文書化における回路表現の1つとして重要な位置を占めている。そして、CADシステムの充実に伴い、論理回路図に対しても自動作成手法が、論理検証ツールの一部、あるいはトータル・システムの一環として発表されてきている[1]-[10]。

回路図作成におけるレイアウトの手順は、論理回路の実装時におけるレイアウトの手順と基本的には同様である。しかし、回路図作成の場合は、作成される図面の「見やすさ」、「理解しやすさ」を向上させることが目的となる。そのため、これらの抽象的な概念に対する評価の基準として、一般に「見やすさの基準」[1]、[2]、[4]、[6]なるものが設定されており、これらを満たすことを回路図作成の目標としている。最近では、「理解しやすさ」という観点から回路の構成要素間の機能的な関連性を考慮し、図面上に表現することが着目されてきている。その例として、論理合成の過程で得られる機能記述や機能図の階層履歴を利用して回路中における「論理的なまとまり」[5]を抽出し、それを処理単位として分割[5]あるいは配置[8]に反映させた手法が挙げられる。

このような手法は、トップダウン設計における機能レベルからゲートレベルまでの一貫した論理合成過程においては、入力となる階層履歴が得られやすく有効である。しかし、ゲートレベルでの最適化などの回路の変更、またはそれに伴う検証を行う過程においては、入力として有効な階層履歴が必ずしも得られるとは限らない。また、ゲートレベルでは、素子自体の機能が単純なため、各素子間の接続関係が回路機能を考える上で特に重要になる。そのため、回路図作成においても、回路の構造を把握しやすくなることが回路図の理解しやすさの点で有効になると考えられる。

本手法は、ゲートレベルにおける論理回路図の自動作成を行うものである。まず、素子の接続情報のみから、回路中の構造の類似した部分（以下、類似構造と呼ぶ）を検出する。そして、類似構造が図面上において類似した形状になる

ようにレイアウトを行う。これにより、利用者が回路中の類似した機能を成す部分を把握しやすくなり、「理解しやすさ」が向上する。

この時、信号線における論理値を事象とした信号確率(signal probability)[11]を用いて素子間の機能的な関係を捉え、類似構造の検出を行っている。また、類似構造が図面上において類似した形状になるようにするため、素子間の接続関係を分りやすく表現することを優先して配線パターンを限定している。そのために、配置と配線を同時に考慮している。

以下、本手法の特徴、類似構造の検出、類似構造の表現、処理の概要、テスト・システムの概要および、評価の順で述べる。

2. 本手法の特徴

本手法は、理解しやすいゲートレベルの論理回路図を作成するために、回路中の部分構造の機能的な類似関係を把握し、それをレイアウトに反映させることを特徴としている。

ゲートレベルにおいては、回路の構成要素となる素子の機能は単純である。そのため、回路全体の機能は、各素子間の接続関係、すなわち回路の構造に大きく依存する。よって、回路の構造を分りやすく表現することが、回路機能を理解しやすい回路図を描くための目標となる。

ゲートレベルにおける回路の特徴の一つとして、類似した機能をなす部分が多く存在することが挙げられる。多くの場合、これらの部分は各々類似構造となっている。そこで、図面上においてこれらの類似構造を把握しやすくすれば、回路全体の構造も分りやすくなり、その結果、「理解しやすさ」が向上する。よって、本手法では、回路中の類似構造を認識し、それらが図面上において類似した形状になるようにレイアウトを行っている。

レイアウトに先立ち、回路中の類似構造を認識することが必要となる。本手法では、信号確率を用いて素子の回路中における機能を数値で表わし、その数値が近い値を示す素子を類似した機能を成すものとしてまとめる。そして、それらのまとまりを用いて、類似構造を検出して

いる。

また、検出した類似構造を図面上において類似した形状に表わすには、各素子の配置と共に、素子間の配線の形状を類似させることが重要になる。本手法では、各素子の配置と素子間の配線を同時に考慮している。これにより、配置された素子が配線の障害になるといった問題が解決でき、目的とした配線形状を実現できる。なお、配線形状の決定に当たって、信号線の折れ曲りを少なくなるよう考慮している。

3. 類似構造の検出

本手法では、類似構造の検出にあたり、素子の機能を表わすために信号確率を利用している。

類似構造の構成要素となる素子の間には、機能的な類似関係があると考えられる。以下、それらの機能的な類似関係を持つ素子をまとめたものをグループと呼ぶ。そこで、回路において同様の機能を果している素子をまとめ、グループの候補とする。以下、グループの候補を初期グループと呼ぶ。そして、この初期グループを用いて類似構造の検出を行う。

初期グループを生成する上で、信号確率を利用している。信号確率とは、論理回路にランダムな入力信号を与えたとき、回路内の信号線の論理値が1になる確率をいう。各素子について、その入力となる信号線の信号確率を入力確率、出力となる信号線の信号確率を出力確率とする。この時、素子の出力確率は、入力確率からその素子の成す論理演算に対応して計算される。素子の機能は、「入力から出力を得る過程で、信号値にどのような変化を与えるか」で捉えることができる。よって、入出力間における信号確率の変化が素子の機能を表わすものの1つと考えられる。信号確率の計算では、信号確率および、論理値が0になる確率すなわち信号確率の1からの差の積算が主要部分を成すことから、本手法では以下の4つの数値を素子の機能を表わす信号確率の変化として取り扱う。

- (1) (出力確率) / (入力確率)
- (2) (1 - 出力確率) / (入力確率)

- (3) (出力確率) / (1 - 入力確率)
- (4) (1 - 出力確率) / (1 - 入力確率)

同じグループに属するべき素子については、機能に類似性があるため、これらの数値のいずれかに類似性があると考えられる。よって、上記(1)~(4)で示した信号確率の変化が近い値を示す素子をまとめ、初期グループとする。これらの信号確率の変化は、類似性のない素子についても近い値を示す可能性がある。そこで、グループ間の接続関係を調べ、同じグループに属するのは不適当であると判断される素子を初期グループから削除することで、グループの調整を行っている。

4. 類似構造の表現

本手法では、検出された類似構造が図面上において類似した形状になるようにレイアウトを行う。その時、配置と配線を同時に考慮している。

まず、同じグループに属する素子に、入出力方向における等しい位置を設定する。この後、配線パターンが図面上での回路の形状を決定する主要要素となる。配線パターンは折れ曲りによって特徴づけられる。よって、素子間の接続関係を表現する上で不必要な折れ曲りが生じないように配線パターンを限定する。このような限定に基づいて配線を行えば、類似構造を類似した形状にするレイアウトが可能となる。

しかし、素子の位置を配線に先立って固定した場合、素子が障害となり、接続関係を把握しやすい配線ができなくなる可能性がある。そこで、素子の配置を、相対的な位置関係を定める処理と、図面上における座標を決める処理に分ける。相対的な位置を決める時、配線パターンを設定して信号線の折れ曲り点等の相対位置も同時に決定する。そして、素子の図面上における座標を決める時には、信号線の折れ曲りが設定された配線パターンに従うように考慮し、信号線の形状を定める点の座標も同時に決定する。以上の処理により、素子間の接続関係に基づく配線パターンの限定が可能になる。

5. 処理の概要

回路図作成は、信号確率の計算、相対配置配線、絶対配置配線に大別される。

まず、グループ生成の準備として信号確率が計算される。つぎに、相対配置配線では、各素子の図面上における相対的な位置が設定され、さらに、配線パターンを確定するために必要となる折れ曲り点等についても同様に相対位置が設定される。そして、絶対配置配線では、決定した配線パターンに従うように素子および折れ曲り点等の図面上における座標が設定される。

以下、回路図作成の各段階における処理の概要について述べる。ここで、回路図の入出力方向をX方向に設定し、X方向に垂直な方向をY方向としている。

5-1. 信号確率の計算

各素子の出力確率は、その素子の入力確率より、素子の機能に基づいて計算される。基本的な計算は、以下のとおりである。但し、素子の入力確率を P_{in1} , P_{in2} , ..., P_{inN} としたときの出力確率を P_{out} とする。

(1) NOT素子の場合

$$P_{out} = 1 - P_{in1}$$

(2) AND素子の場合

$$P_{out} = P_{in1} \times P_{in2} \times \dots \times P_{inN}$$

(3) OR素子の場合

$$P_{out} = 1 - (1 - P_{in1}) \times (1 - P_{in2}) \times \dots \times (1 - P_{inN})$$

得られた出力確率は、その出力信号を入力とする素子の入力確率となる。よって、外部入力端子の信号確率を初期設定し、入力側から出力側へと順次計算していくことにより、全信号線の信号確率が求められる。現在、外部入力端子の信号確率には、0.5を採用している。

リカンバージェント・ファンアウトが回路中に存在する場合、ファンインとなるゲートの入力確率が従属性を持つため、特別な計算が必要となる[11]-[14]。本手法では、Savirらのカ

ッティング・アルゴリズム[12]を採用している。

また、フィードバックについては、フィードバックの入力確率を変数として、近似方程式を解くことで計算を行っている。

5-2. 相対配置配線

相対配置配線は、各素子にX方向における位置を表わす「レベル」を設定する処理と、各レベルにおいて、Y方向における位置を設定する処理に分かれる。レベルは、信号の流れが図面上で可能な限り一方向になるように設定される。この時、信号確率に対する考慮を行いグループを生成する。つぎのY方向の位置設定時には、配線パターンを確定するために必要となる折れ曲り点等の位置も設定する。この時、素子間の接続関係を表わす上で信号線の折れ曲りが少なくなるように配線パターンを決定する。

以下、各々の処理について述べる。

(1) レベル設定

レベルは、各素子のX方向における相対位置を表わすものであり、以下の手順で設定される。

まず、素子をノード、素子間の接続を出力から入力への向きを持つアークとして、論理回路をグラフ化する。つぎに、このグラフに対し、出力端から横型探索(breadth first search)[15]を行って、グラフを木に変換する。そして、各ノードの出力端からの深さをレベルとして素子に設定する。

同じグループに属する素子については、類似構造を表現するために等しいレベルを設定する。そのため、横型探索に先立って、信号確率の変化が近い値を示す素子をまとめて初期グループを生成する。初期グループには類似性のない素子が含まれる可能性があるため、隣接するレベル内のグループとの接続関係から、以下に示す初期グループの調整を行い、グループを作成する。横型探索の過程では、このグループを単一のノードとして扱う。

同一のグループに属する素子には、他のグループに属する素子との間に何らかの共通な接続関係があると考えられる。それらの接続関係の

内、主なものを条件とし、いずれをも満たさない素子は、そのグループには適さないと考え、初期グループから削除する。

以下、現在調整に用いている主な条件を示す。

- 1) 着目している初期グループと出力側に隣接するグループの1つとの間が複数の信号線で接続されるときに、初期グループ内の各素子はそのいずれかの信号線で接続される(図1-a)。
- 2) 着目している初期グループと入力側に隣接するグループの1つとの間が複数の信号線で接続されるときに、初期グループ内の各素子はそのいずれかの信号線で接続される(図1-b)。
- 3) 着目している初期グループ内の複数の素子への入力となる単一の信号線が存在するとき、その信号線は初期グループ内の全素子の入力となる(図1-c)。

また、信号の流れが一方になることを妨げる素子についても、初期グループから除いている(図1-d)。但し、フィードバック線等については、この限りではない。

(2) Y方向位置設定

レベル設定の後、各レベルにおいて、レベル内の素子にY方向における相対位置を設定する。信号線についても、配線パターンを確定するために必要となる折れ曲り点等の相対位置を設定する。以下、この点を配線通過点と呼ぶ。配線通過点を大きさのない素子として扱うことで、これらの位置設定を同時に行っている。

位置設定は、出力側のレベルから入力側のレベルへと順に行われる。まず、ユーザ指定により入出力端のレベルにおけるY方向の相対位置を設定する。そして、出力端のつぎのレベルから順に、出力側に隣接したレベル内の素子との接続関係から配線パターンを決定する。配線パターンを確定する相対位置に素子および配線通過点を設定する。この時、接続関係を表わす上で余分な折れ曲りが生じないように考慮している。

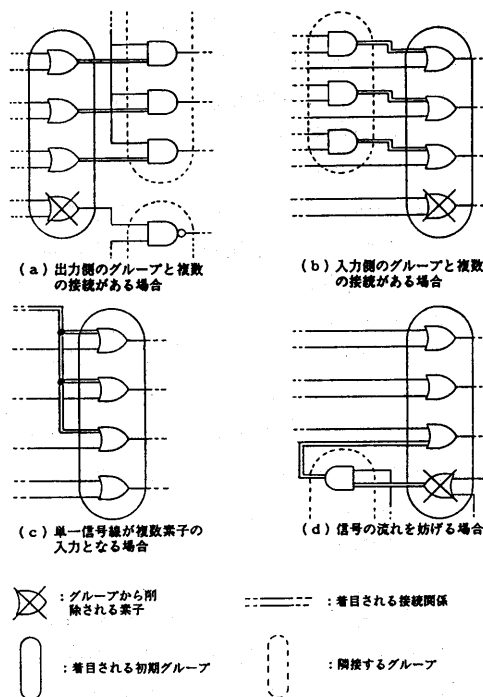


図1. グループ調整の条件

レベル間をまたがる配線については、レベル上にも配線通過点を設定する。後の絶対配置配線において、レベル上の配線通過点を結ぶ信号線が、X方向の1本の直線となるように座標を決定する。これにより、複数のレベルをまたがる信号線による接続が分りやすくなる。

隣接するレベル間の主な配線パターンを以下に示す。ここで、配線トラックは、図面上で信号線を描くために準備されるXまたはY方向の直線の経路を意味する。

- 1) レベル間の接続が分岐を持たず、少なくとも一端が配線通過点である場合、X方向の配線トラックのみで配線する。(図2-a)。
- 2) レベル間の接続が分岐を持たず、両端が素子の場合、原則としてX方向の配線トラックのみで配線する(図2-b)。
- 3) 上記の2)の場合において、出力側の素子に対して複数の接続があり、これらの内に上、

記の1)または2)を満たす接続が存在する場合、レベル上に配線通過点を含まない接続については、X方向の配線トラックに加えてY方向の配線トラックを1本用いて配線する(図2-c)。

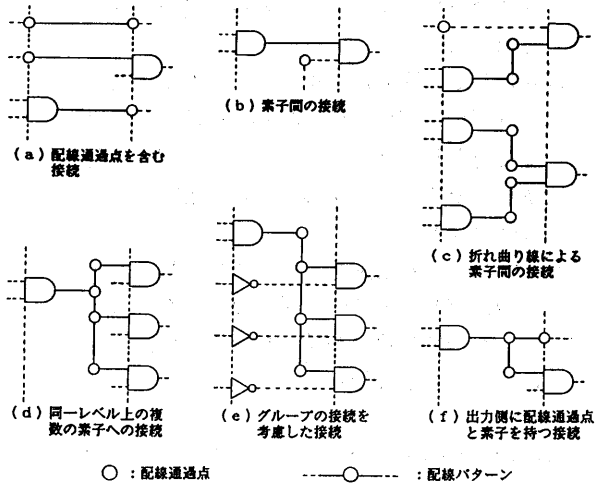
4) 信号線が同一のレベル上の複数の素子に接続する場合、X方向の配線トラックに加えてY方向の配線トラックを1本用いて配線する(図2-d)。

5) 上記の4)の場合において、複数の出力側の素子が1つのグループに含まれ、複数の入力側の素子からなるグループとの間に複数の信号線による接続がある場合、複数の素子に接続する単一の信号線はY方向の配線部分の上端または下端で折れ曲るように配線する(図2-e)。

6) 同一信号線が出力側のレベル上の配線通過点と素子に接続する場合、配線通過点と入力側端子を1本のX方向の配線トラック上に設定し、さらにY方向の配線トラックを1本用いて配線する(図2-f)。

およびY方向の配線トラックを合せた直線について間隔が一定になるように考慮し、各素子および配線通過点のX座標を決定する。

図3に、絶対配置配線の例を示す。図3-aに示す順序でX方向の接続を検索し、配置領域の



5-3. 絶対配置配線

絶対配置配線では、各素子および配線通過点の図面上における座標を決定する。相対配置配線で決定された配線パターンに従うことを保証するため、折れ曲りが増加しないよう考慮して座標を定める。図面は、X軸を横方向、Y軸を縦方向として描くものとする。座標原点は図面の左下に設定する。また、素子の配置面積、最小配線間隔等は予め定義しておく。以下に処理の手順を示す。

- 1) 原点から右上の方向へと、X方向に接続する部分を検索する。折れ曲りを増やさないために、各素子のY方向の相対的な位置関係を変更することなく、各素子および配線通過点のY座標を決定する。
- 2) 隣接するレベルの間における配線の中で、Y方向の線分について、それらが重ならないようにY方向の配線トラックを設定する。
- 3) 入力端から出力端へと、レベルを示す直線

図2. 配線パターンの例

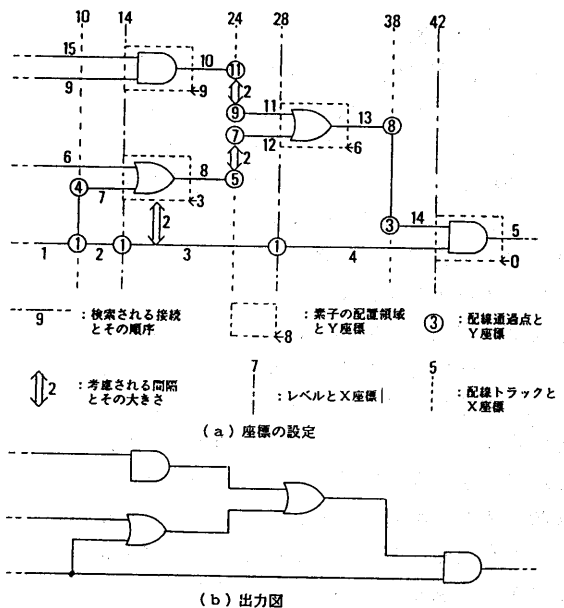


図3. 絶対配置配線の例

大きさ等を考慮してY座標を決定する。素子および配線通過点に添えた数値は、決定されたY座標である。そしてレベルおよびY方向の配線トラックに添えた数値は、その上に位置する素子および配線通過点のX座標である。これらの情報により図3-bの出力図が得られる。

6. テスト・システムの概要

図4に、本手法に基づくテスト・システムの構成を示す。

論理回路図の描画データを得るまでの部分は、IBM3081システム上に言語PL/Iによってインプリメントされている。また、回路図を出力する部分は、NECのパーソナル・コンピュータPC-9801上に言語Cによってインプリメントされている。

7. 評価

図5に、テスト・システムによる出力例を示す。この回路は、4ビットカウンタである。図5において点線で囲んだ部分が各ビットに対応する類似構造を示している。各類似構造において対応する素子のX座標およびその間隔が等し

く、配線形状も類似しているため、類似構造が把握しやすくなっている。このため、この例では、1ビットごとのカウンタの集まりで4ビットカウンタが形成されていることがわかり、回路全体の機能も、ほとんど人手の介入がないにもかかわらず十分に理解しやすくなっている。このように、本手法では、当初の目的が十分に果されている。

この回路では、人手により複数の素子から成るグループが7個認識される。テスト・システムではその内6個が検出された。グループが検出できなかった原因は、素子の機能を近似的な数値で表わしていることと、グループの調整が発見的な手法によることと考えられる。検出されなかったグループ内の素子についても類似した形状にレイアウトが行われたのは、隣接したグループが検出されており、そのグループが配線形状の設定に作用したためと考えられる。

より精度の高い類似構造の認識のためには、回路を表わすグラフにおいて、部分グラフの同型性を調べることも考えられる。そのためには、多くの場合、素子数に対して指数オーダーの手間の処理が要求される。これに対して、信号確率

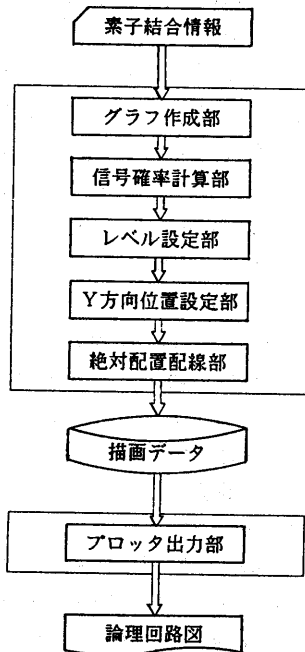


図4. テスト・システムの構成

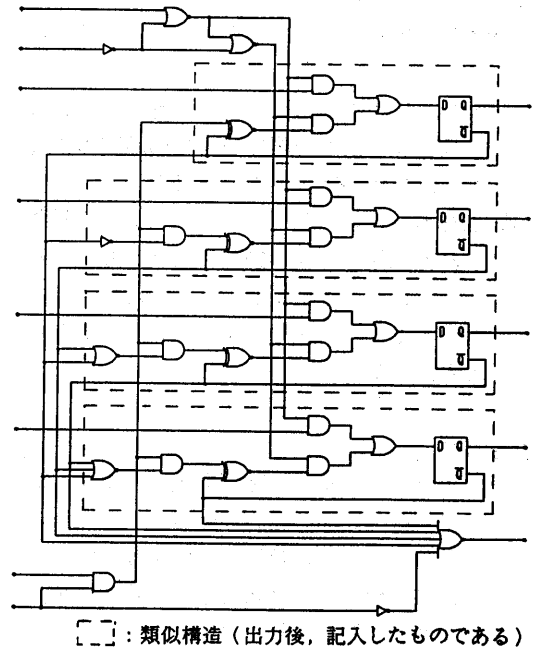


図5. TTL74S163の論理回路図

を利用した場合は数値の類似性を調べるため比較的簡単な処理となり、高速な処理が期待できる。完全なグループの検出が必ずしも必要ないことから、本手法にとって信号確率の利用は有効であると考えられる。

なお、描画データ作成のための使用CPU時間は、約6秒であった。回路のゲート数は33、信号線数は44である。

8. おわりに

以上、ゲートレベルにおける論理回路図作成の一手法について述べた。本手法では、回路中の類似した機能を持つ部分構造を図面上において把握しやすくすることで、回路機能に対する「理解しやすさ」を向上させている。

そのために、類似構造を信号確率を用いて検出している。そして、検出した回路構造に対し図面上で類似した形状になるようにレイアウトを行うために、接続関係に基づく配線形状の限定が必要と考え、配置と配線を同時に考慮することでこれを実現した。実例でも示したように、本手法を用いた回路図は、人手がほとんど介入していないにもかかわらず十分理解しやすい回路図となっている。

今後の課題として、以下のものを考えている。

- (1) グループの調整に発見的手法を用いている。今後、より多くの例について回路図の作成し、調整法の検討および改良を行う。
- (2) 現在のテスト・システムにおいては、対象回路の規模を1枚の図面に収まるもののみとしており、分割問題については扱っていない。そこで、信号確率を用いた分割手法を検討中である。

参考文献

- [1] 小嶋, 吉田他: 論理図生成の一手法, 信学技報, CAS84-134, pp. 47-54 (1984).
- [2] 新舎, 森田他: 論理図自動生成のための論理分割方式, 情報処理学会第28回全国大会 6P-9, pp. 1505-1506 (1984).
- [3] 杉本, 斎藤他: DDL/SXにおける回

路図描画法, 情報処理学会第29回全国大会 2K-2, pp. 1635-1636 (1984).

- [4] 長谷川, 門倉, 深沢: 見やすさを重視した論理回路図作成システム, 信学論 '85 /8 Vol. J68-D No. 8 pp. 1513-1520 (1985).
- [5] 真鍋, 黒沢他: 機能論理設計用図面生成システムの概要, 情報処理学会第30回全国大会 4H-14, pp. 1935-1936 (1985).
- [6] 男沢, 新舎他: 見易い論理図のための結線論理シンボル配置方式, 情報処理学会第30回全国大会 6H-9, pp. 1973-1974 (1985).
- [7] 山崎, 織田他: 回路合成システムにおける回路図生成手法, 情報処理学会第32回全国大会 6U-3, pp. 2013-2014 (1986).
- [8] 仲西, 中村: S L F に基づいたブロック図出力の一手法, 情報処理学会第33回全国大会 2R-3, pp. 2195-2196 (1986).
- [9] 中村, 飯島: 機能図入力システムにおける回路図面生成, 情報処理学会第33回全国大会 2R-4, pp. 2197-2198 (1986).
- [10] 真鍋, 西尾他: 機能論理設計のための図面生成用自動配線アルゴリズム, 情報処理学会第33回全国大会 2R-5, pp. 2199-2200 (1986).
- [11] 玉本, 成田: ランダムテストにおける入力確率の一選定方法, 信学論 '82/9 Vol. J65-D No. 8, pp. 1057-1064 (1982).
- [12] J. Savir, G. S. Ditlow, and P. H. Bardell, "Random Pattern Testability", IEEE Trans. Comput., Vol. c-33, No. 1, pp. 79-90, Jan. (1984).
- [13] S. K. Jain, V. D. Agrawal, "STAFAN: An Alternative to Fault Simulation", Proc. 21st D. A. Conf., pp. 18-23 (1984).
- [14] 寺元, 安達: 信号確率を用いたテストバリエーション評価法の検討, 情報処理学会第33回全国大会 7R-3, pp. 2293-2294 (1986).
- [15] A. V. Aho, J. E. Hopcroft, and J. D. Ullman, "Data Structure and Algorithms", Addison-Wesley Publishing Company (1983).