

アレイ構造をもつモジュールの 自動生成システムについて

西口信行 辻原悦子* 川西宏 古木勝也 新藤猛 中村弘
日本電気株式会社 (〒211 川崎市中原区下沼部1753)

LSIの集積化は年々増えており高集積化されている。さらにLSIのカスタム化に伴い多品種化がすすんでいる。このような現状において設計期間の短縮は大きな課題である。本文では設計期間短縮に有効な手段として考えられる規則化設計に注目し、アレイ構造をもつマクロセル (ROM、RAM、PLAなど) のモジュールを自動生成するシステムを開発したので報告する。

本システムでは生成するマクロセルをアレイのしかたの異なる部分に分割し、そのアレイ状態及び位置関係によってマクロの構造を定義する。レイアウト生成時にはアレイ構造の部分の繰返し数をパラメータとして与えることによって任意の大きさのマクロセルモジュールを生成するものである。ROM、PLAの場合は品種固有のパタンの発生も可能である。本システムを用いることによってカスタムの多様な要求に応じた形のマクロセルを短時間で設計できるようになった。

" An Automatic Generation System for Array-Structured
Modules " (in Japanese)

by Nobuyuki Nishiguchi , Etuko Tujihara* , Hiroshi Kawanishi ,
Katuya Huruiki , Takeshi Shindo and Hiroshi Nakamura

(NEC Corporation , 1753 Shimonumabe , Nakahara , Kawasaki ,
211 , JAPAN)

This paper describes an automatic generation system for array-structured modules such as ROM, RAM and PLA.

A module to be created has structured definition which includes array definition and relative placement of each sub-module.

The sub-module has array structure and is part of the module. In according to given parameters which are the numbers of repetition for each array to the system, the final layout of the module is generated.

In case of ROM and PLA, layout patterns depending on ROM code and PLA logic are also created automatically.

The system is a powerful and useful tool for high density custom LSI design and shortens the design time.

*現在、北陸日本電気ソフトウェア(株)勤務。
NEC Software Hokuriku, Ltd.

1. はじめに

LSIの集積度は現在においても年々増えており高集積化されている。またLSIのカスタム化もASIC (Application Specific IC) の言葉に代表されるように急激な勢いですすんでいる。このような状況下においてはカスタマの要求仕様にあったLSIを短期間で設計する必要が生じている。LSIのレイアウト設計に焦点をあてた場合主に(1)階層設計(2)記号化設計(3)規則化設計の3つのアプローチによってレイアウト設計を短期間に行うとする試みがなされている。

そこで本文では(3)の規則化設計に注目し、規則化設計の代表的なアレイ構造をもつマクロセル(ROM、RAM、PLAなど)のモジュールを自動生成するシステムについて報告する。

本システムでは生成するマクロセルをアレイのしかたの異なる部分に分割し、そのアレイ状態及び位置関係によってマクロの構造を定義する。実レイアウト作成時にはアレイ構造の部分の繰返し数をパラメータとして与えることにより任意の大きさのマクロセルを生成する。パラメータとしてはROM、RAMの場合はビット長、ワード長などであり、PLAの場合は入力数、出力数、積項数などである。

さらにROM、PLAの場合は品種固有のROMコードやPLAの論理に依存した上地レイアウトの発生も可能である。

このようにして本システムを用いることによってカスタマの要求に応じた形のマクロセルを短期間でレイアウト設計することが可能となる。

このようなマクロセルを生成する方法としてはレイアウト記述言語を設定して、レイアウトを言語で表現し、その際にパラメータにあたる部分を変数として定義する方法があるが、^{[1]~[3]}本システムでは仮想的なレイアウトを考え、パラメータを入力することによって仮想的なレイアウトを実際のレイアウトボタンとして変換するものである。

ここでは本システムのシステム構成、システムの中核となるマクロ構造の構造定義、実現のアルゴリズム、な

らびに実施例について述べる。特にPLAについてはフォールディングも可能となっている。

2. システム構成

本システムのシステム構成図を図1に示す。本システムは次のようなサブシステムからなる。

- (1) 構造定義作成部
- (2) パラメータ入力部
- (3) 下地作成部
- (4) PLA論理コード生成部
- (5) PLA用上地作成部
- (6) ROM用上地地作成部
- (7) 下地、上地マージ部

(1)の構造定義作成部は次章で述べる構造定義の作成を支援するものでグラフィックのイメージによりインタラクティブに生成することができる。

(2)のパラメータ入力部は生成しようとするマクロ種類に応じて必要となるパラメータをインタラクティブに質問に答える形で入力することができる。

(3)は(2)で入力されたパラメータならびにPLA、ROMの場合は論理コード、ROMコードからくる値をもとにそれに応じた形の下地レイアウトを作成する。さらにPLA、ROMの場合はそれとともに上地レイアウト発生に必要なデータも作成する。

(4)のPLA論理コード生成部は文献[4]のPLAYERシステムを使用している。このシステムによってブール式記述、状態遷移記述から論理コードを生成する。

(5)のPLA用上地作成部は論理コードを実現するためのレイアウトボタンを発生するものである。レイアウトボタン発生時にフォールディング及び配線容量最小化も行っている。

(6)のROM用上地地作成部はROMコードに応じた形でROMコードボタンを発生する。

(7)では(5)及び(6)で発生された上地レイアウトと(3)で発生された下地レイアウトとのマージを行い所望のマクロのレイアウトを生成する。

(1)の構造定義作成部ではパーソナルコンピュータ

PC-98XA上で実現され、(4)のPLA論理コード作成部はミニコンピュータ上で実現されている。その他の部分はACOS1000のメインフレーム上で実現されている。それぞれのハードウェアはLANによって接続されており統合化されている。

本システムは上記サブシステムから構成されPLA、ROMの場合は品種固有レイアウトも生成可能であり、短期間に所望のアレイ構造をもつマクロセルモジュールのレイアウト設計が可能である。

3. 構造定義

本システムでは各マクロ種類に応じて構造を記述する構造定義ファイルを準備する。準備された構造定義ファイルの記述に従い、外部から与えられたパラメータに応じた大きさのマクロセルを生成する。

構造定義は次の2つの定義部分からなる。

- (1) サブマクロ格子定義
- (2) サブマクロ内セル定義

ここでサブマクロとはある基本セルまたはそのいくつかをアレイ上に配置してできるセルである。

サブマクロ格子定義はサブマクロの相対位置を格子(グリッド)によって記述したものである。同一格子にあるサブマクロは実レイアウト上でも同一座標になることを示している。格子表現は相対的位置関係のみを示すものであり実際の大きさを表現しているものではない。サブマクロ格子定義はグラフィックなインタラクティブな入力が可能である。

サブマクロ内セル定義はサブマクロを構成する基本セルとそのセルのアレイ情報を記述する。この場合複数個の基本セルのアレイ情報も記述できる。

図2にRAMの場合の例を示す。図2(a)は格子表現を用いてRAMの構成を示したものである。図2(b)はサブマクロ格子定義である。図2(c)はサブマクロ内セル定義である。マトリクスの部分により基本セルアレイ状態が記述されている。アレイの個数はマクロセル生成時に入力される。基本セルの部分に基本セル名とその方向を示している。方向は図2(d)のような記述によって表現している。

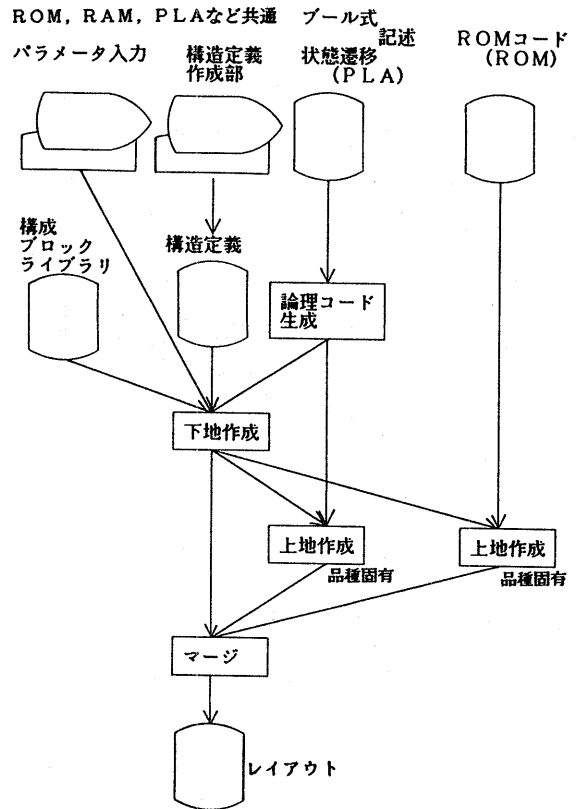
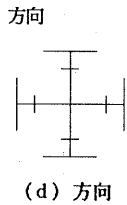
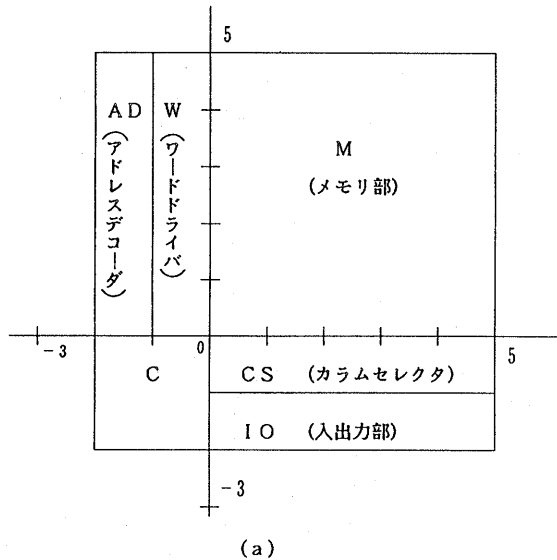


図1 システムフロー

図2(a)のAD部(アドレスデコーダ部は図2(e)のように基本セルa1、ac、arが配置されている。この例のように各基本セルは配置される部分によって向き(ミラー配置も含)がちがう。このような場合でも構造が記述でき図2(c)のように記述できる。この場合図2(c)の基本セル部が一固まりとなってY回繰返されることを示している。

以上の例からも明らかなように構造定義は種々のマクロの構造が記述できる。これによって幅広い応用が可能となっている。



格子定義

サブマクロ

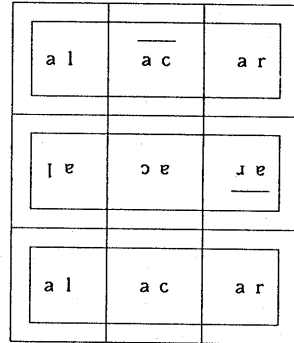
M : (0, 0), (0, 5), (5, 5), (5, 0), (0, 0)
 CS : (0, -2), (0, 0), (5, 0), (5, -2), (0, -2)
 W : (-2, 0), (-2, 5), (0, 5), (0, 0), (-2, 0)
 AD : (-2, 0), (-2, 5), (-1, 5), (-1, 0), (-2, 0)
 ⋮

(b) 格子定義

サブマクロ定義

サブマクロ	マトリクス	基本セル(方向)
M :	X * Y	m(F)
CS :	X * 1	cs(F)
W :	1 * Y	w(F)
AD :	1 * Y	a1(F) ac(F) ar(F)
		a1(D) ac(D) ar(D)
		a1(F) ac(F) ar(F)
		⋮

(c) サブマクロ定義



— : ミラー配置

(e)

図2 構造定義

4. 配置順序決定アルゴリズム

本章では構造定義によって定義されたマクロをパラメータに応じて大きさを決め、実レイアウトを生成する方法について述べる。

ここでは次のようなフェーズからなる方法を採用している。

[実レイアウト生成]

- step 1 各サブマクロに対して実際の大きさを求める。
- step 2 垂直方向に対して実際の大きさを与えるサブマクロの順番を決め、サブマクロの実レイアウト位置を決定する。
- step 3 水平方向に対して実際の大きさを与えるサ

ブマクロの順番を決め、サブマクロの実レイアウト位置を決定する。 [終了]

step 1についてはパラメータ及び基本セルの大きさから容易に求めることが可能である。

step 2及びstep 3は垂直方向と水平方向の違いはあるが同様の方法をとっているのでここではstep 2を説明する。

step 2の詳細フローは次のようにグラフの生成、グラフの探索を行い位置を求める手法によっている。グラフ理論の用語については文献 [5] による。

[サブマクロ位置決定]

step 2.1 構造定義ファイルの格子定義よりx軸に平行な線分をぬきだす。

step 2.2 上記抽出された線分を頂点对应させ、頂点が同一サブマクロに属する場合枝をもうける。枝の向きは線分のy座標の絶対値の小さいものから大きいものへ定義する。枝の重みはstep 1で求めたサブマクロの線分間の実際の大きさとする(図3(a))。

step 2.3 step 2.2で求めたグラフにおいて各頂点对应する線分がy座標が同一でx座標に重なり(端点での重なりを含む)をもつ場合頂点を縮退させる(図3(b))。

step 2.4 step 2.3で生成されたグラフを格子座標のy座標が0の頂点より BFS (Breadth First Search) を行い、探索された順に頂点に枝の重みを加えたものを与える。その頂点の重み和が対応する線分の実レイアウトに位置とする(図3(b)の()の内の数字)。

[終了]
水平方向も同様にして求める。このようにして各サブマクロの位置を求めてパラメータによる大きさのちがうマクロセルの生成が可能となる。

5. PLAにおける実施例

本章ではフォールディング可能なPLAの構造に本システムを適応したのでそれについて述べる。

5.1 PLAの構造

本システムで自動生成されるPLAの構造を図4に示す。入力は図4の上部より入り、AND平面、OR平面は同一方向である。出力は図4の下部より得られる。積項線、出力線は第1層A1により論理実現に必要なトランジスタ間のみを配線し、論理コンタクトを置くことによってその論理を実現している。AND平面によって得られた積の結果の信号線はスルーホールによって第2層A1に引き込まれ、その第2層A1によってロードトランジスタに接続される。その後OR平面への入力となる。

5.2 フォールディングを考慮した配線経路決定アルゴリズム

前述のようなPLA構造のため配線工程のみでフォールディングが可能である。このためフォールディングを

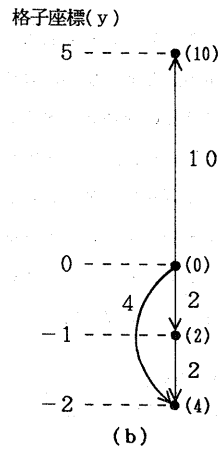
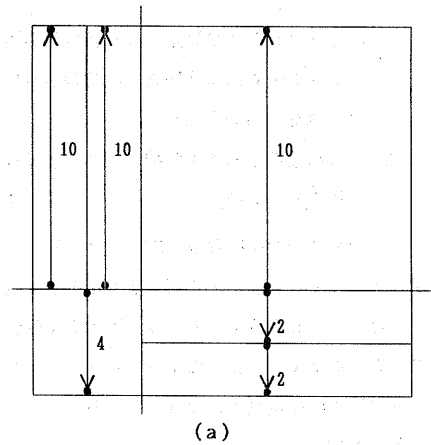


図3 マクロ位置決定

考慮しながらの配線経路決定を行っている。フォールディングを考慮した配線経路決定のアルゴリズムはAND平面、OR平面同様なのでAND平面について述べる。本手法では入力信号の順番はすでに与えられているものとする。図5(a)に実現すべき回路例を示す。

[フォールディングを考慮した配線経路決定]

- step 1 論理コードと入力信号に応じ、各積項の1層A1配線の必要な範囲を決め、入力信号位置を論理コンタクト位置とする(図5(a))。
- step 2 step 1で求めた1層A1配線の短い順に同一位置に2層A1の引き出し位置が重ならないように2層A1による引き出し位置を1層A1配線の範囲内で求める。このとき1層A1配線の範囲内で求まらない場合は1層A1配線を最小間隔ずつ延長して求める。こ

のときプロセスの制限により各積項の論理コ
ンタクト位置には2層A1配線の引き出しは
許されない(図5(c))。

step3 各積項の1層A1配線(step2によっ
て得られたもの)をレフトエッジ法によっ
てつめ合わせを行なう(図5(d))。[終了]

上記方法はstep2により第1層A1の総配線長を
できるだけ短くなるようにしており、配線容量低減に役
立っている。またstep3によりフォールディングを
しておりPLAの面積最小に役立っている。

5.3 結果

本システムによって生成されたPLAの例を図6に示
す。入力数16、積項数34、出力数8のPLAである。
自動生成のためのCPUは論理コード生成29sec(1
MIPSミニコンピュータ)、レイアウト生成は上地
下地とも16sec(ACOS1000)であった。
面積は1.6 μ mルールで426.4 μ m \times 452.2
 μ mである。回路シミュレーションの結果tpdは10
msec,消費電力は14mWであった。

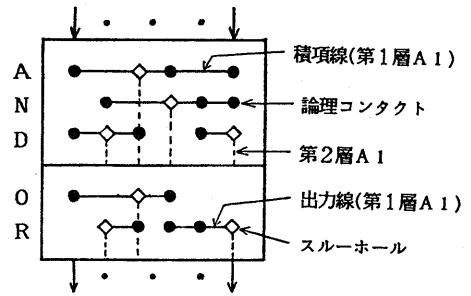
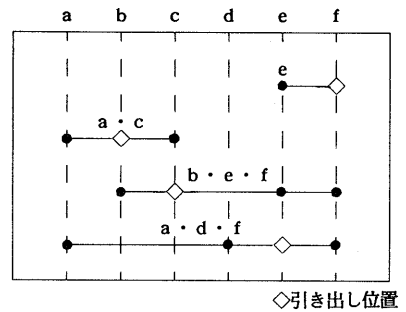


図4 PLAの構造



実現する積項

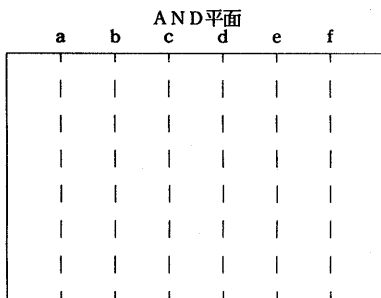
- (1) $a \cdot d \cdot f$
- (2) $b \cdot e \cdot f$
- (3) $a \cdot c$
- (4) e

◇引き出し位置

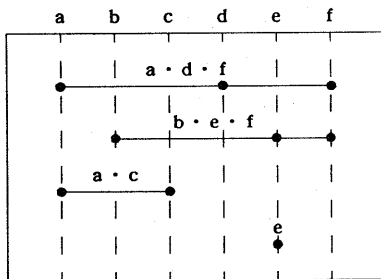
積項 2層A1引き出し位置

e	f (eの位置は引き出し不能)
$a \cdot c$	b
$b \cdot e \cdot f$	c
$a \cdot d \cdot f$	e

(c)

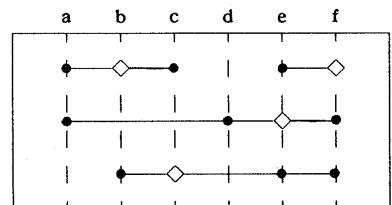


(a)



(b)

● 論理コンタクト位置



(d)

図5 PLAの実現

6. その他の実施例

図7にROMを適用した例を示す。このROMは10 bitで1セル構成になっている。1.6 μ mルールで2.9mm \times 1.8mmの大きさになっている。生成に要したCPU時間は30sec(ACOS1000)である。

7. まとめ

アレイ構造をもつマクロセルモジュールを生成するシステムについて述べた。本システムは実レイアウトに近い形で、しかも異なったマクロ種類に対しても柔軟に構造定義の記述が可能である。これによって大きさの異なるROM、RAM、PLAを始めとしたアレイ構造をもつ種々のマクロセルモジュールが短期間で生成可能となった。

今後の課題としてはより柔軟に各種マクロセルを生成するために簡易配線機能のとり込み、またシリコンコンパイラの機能としてシミュレーションモデルの発生などが挙げられる。

本システムの充実によってさらに多様なニーズにあったLSIの開発期間の短縮が可能となると予想される。

[参考文献]

- [1] 原嶋 他, "レイアウト記述言語を用いたセルコンパイラ," 昭和62年電子情報通信学会全国大会, 講演番号 334(1987)
- [2] 黒沢 他, "LSI用モジュール自動生成システム," 昭和62年電子情報通信学会全国大会, 講演番号 335(1987)
- [3] 石川, 吉村, "規則構造に注目したLSI機能ブロックの自動生成," 情報処理学会 第33回(昭和61年)全国大会, 講演番号 4R-1(1986)
- [4] Y.Koseki and T.Yamada, "PLAYER: A PLA Design System for VLSs," proc. of 22nd DA conf., pp766-769 (1985)
- [5] A.V.Aho et.al., "The Design and Analysis of Computer Algorithms," Addison - Wesley (1974)
- [6] Y.Kitamura et.al., "A CMOS Macro Logic Array," proc. of ISSCC '86, pp68-69 (1986)

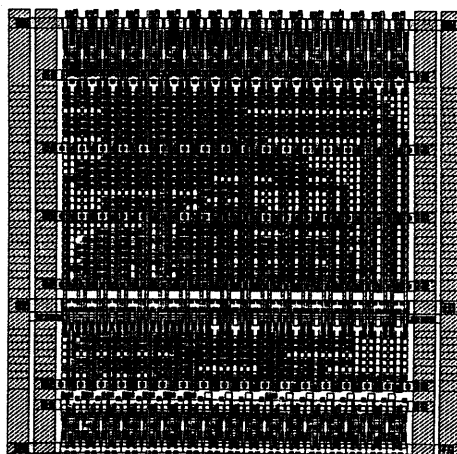


図6 PLAの例

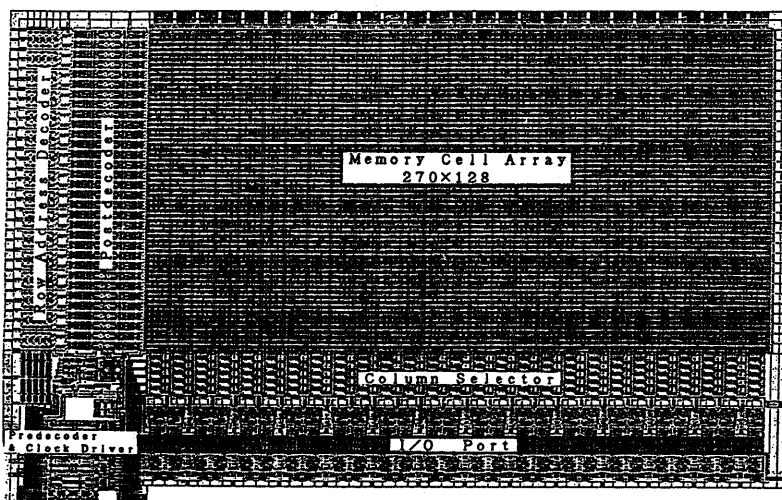


図7 ROMの例