

## 論理回路変換プログラム：LORES/EX

平峰 正信 石川 淳士 石田 耕三  
小栗 澄男 村井 真一  
三菱電機(株)

論理回路変換プログラムLORES/EXはルールベース手法を利用して、既存の論理回路を別の半導体技術で実現可能な回路に自動変換するプログラムであり、次のような特徴を持っている。1)ルールベース手法の採用により多様な半導体技術に適用でき、半導体技術の変化にも容易に対応できる。2)評価関数に基づく競合解消法の導入により高品質回路が得られる。3)自動回路分割機能により数千ゲート規模の回路を実用的時間内で変換できる。4)回路標準化ルールの導入がルールベースのサイズを小さくし、ルールの追加、修正を容易にしている。

"A Rule Based Logic Reorganization Program LORES/EX"  
(in Japanese)

by Masanobu HIRAMINE, Junji ISHIKAWA, Kozo ISHIDA,  
Sumio OGURI and Shinichi MURAI

(Mitsubishi Electric Corporation,  
5-1-1 Ofuna Kamakura, Kanagawa, 247, JAPAN)

LORES/EX is a rule based reorganization program, which transforms an existing logic circuit into the one dependent on another technology. The program has several features as follows: 1)The program is applicable to various technologies and can flexibly be adjustable to technology changes. 2)Application of the conflict resolution based on the evaluation functions contributes to the generation of high quality circuits. 3)The program has the function of automatically partitioning a circuit into subcircuits, so that it can reorganize the circuit consisting of a few thousands of circuit primitives in a practical computation time. 4)Introduction of the circuit standardization rules makes the size of the rule base much smaller, and makes the addition and modification of rules easier.

## 1. はじめに

近年、半導体技術の進歩が著しく、既存の論理回路を新しい半導体技術で実現したいという要求がますます高くなってきている。既存の論理回路を別の半導体技術で実現できる回路に変換する論理回路変換は、人手で行うと非常に多くの労力と時間を要する作業である。そのため、この論理回路変換作業の大幅な工数削減を目的として、自動的に変換を行う種々のプログラムがこれまでに発表されている(1)~(5)。しかしながら、これらは、論理回路変換プログラムに対する下記のような要件をすべて満足するものではなかった。

- ・短時間で人手設計に比べ見劣りしない結果の出力
- ・半導体技術の変更により生じる実装可能素子(マクロ)の追加、修正に対する柔軟な対応
- ・種々の制約(タイミング、面積、ファンアウト制約、等)の考慮

ところで、上記の要件を満たすアルゴリズムは明確でなく、一旦作成されたプログラムは、機能向上のために適宜修正、拡張が必要になる。そこで、我々は知識工学的手法の一つであるルールベース手法(3)(4)(6)を導入して、論理回路変換プログラム LORES / EX ( LOGic REorganization System/EXpert )を開発した。LORES / EXの第一版では、そのターゲットとしてCMOSゲートアレイを選択している。

以下では、本プログラムの概要と回路標準化そして、特にルールベース手法で問題となる高速化、高品質化の方法について述べ、最後に評価について述べる。

## 2. プログラム概要

### 2-1. プログラム構成と動作

LORES / EXはプロダクション・システム(6)を基礎としている。図1は多数のTTL素子から構成された既存回路を1個のLSIに変換する実施例の構成を示している。

ワーキングメモリは、自動回路分割ルーチンによって、変換対象となる大規模回路から分割された部分回路の回路データを格納し、ルールベースは、IF-THEN形式の回路変換ルールを格納する。インタプリタはワーキングメモリ内の回路データとルールベース内のルールのIF部の間でマッチン

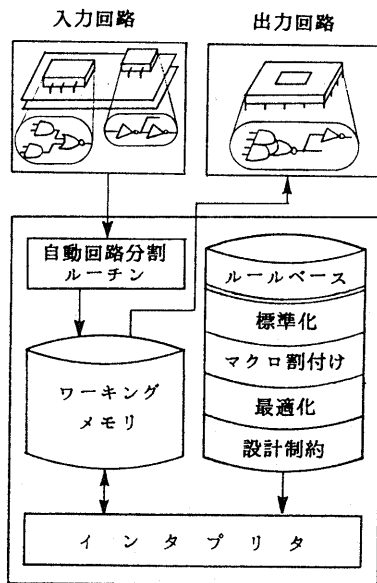


図1. プログラム構成

グを行い、マッチングのとれたルール集合(競合集合という)の中から一つを選択し(競合解消という)、THEN部の実行を指令する。

上記ルールベースは次のような変換ルールから構成される(図2)。

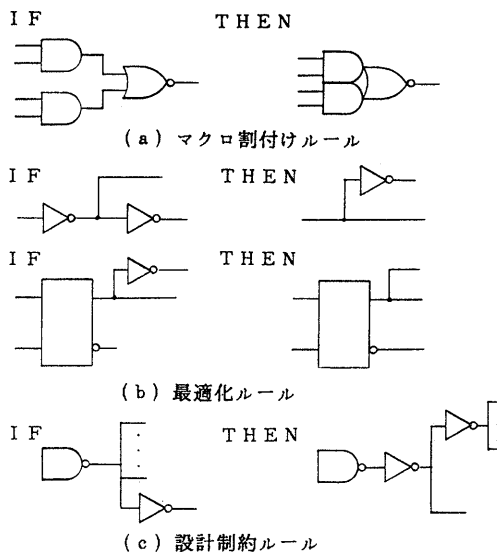


図2. 変換ルール例

- a) 目的とする半導体技術で実装可能なマクロを割付けるマクロ割付けルール
- b) インバータの縮退やFFの出力置換等の最適化ルール
- c) ファンアウト調整等を行う設計制約ルール
- d) 一定の規則に従って回路を標準化する標準化ルール (次章参照)

変換ルールには、ルール a) のようなライブラリから得られるもののほか、ルール b) c) のようなエキスパート (設計者) が持っている経験的知識をルール化したものがある。標準化ルール d) は、ルール数を少なくするために新たに設けたもので、最も優先度の高いルールである。

図3は回路変換の処理例を示している。この例では、ルール R1, R2, R3 が破線で囲んだ部分回路とマッチングがとれて競合集合を形成しており、この中から R1 が選択され回路が書き換えられている。ワーキングメモリが更新されると、

新たな競合集合が形成される。この一連の処理はマッチングがとれなくなるまで繰り返される。

### 2-2. 問題点

手続き型言語を用いた場合、半導体技術の変更に伴うマクロの追加、修正はプログラム全体の改修につながる。これに比べ、ルールベース手法を取り入れると、マクロに依存するルールの書き換えだけで容易に対応可能となる。しかし、ルールベース手法を採用したことにより新たに発生する問題として、(i)ルール数の増大およびルールの複雑化によるルールの追加、修正自体の困難化、(ii)回路の大規模化によるワーキングメモリの増大が引き起こす計算機処理時間の爆発的増加、(iii)競合解消法の良否が解の品質へ与える多大な影響が上げられる。LORES/EXでは、標準化ルールの採用によるルールの追加、修正の容易化、自動回路分割機能の導入による変換処理の高

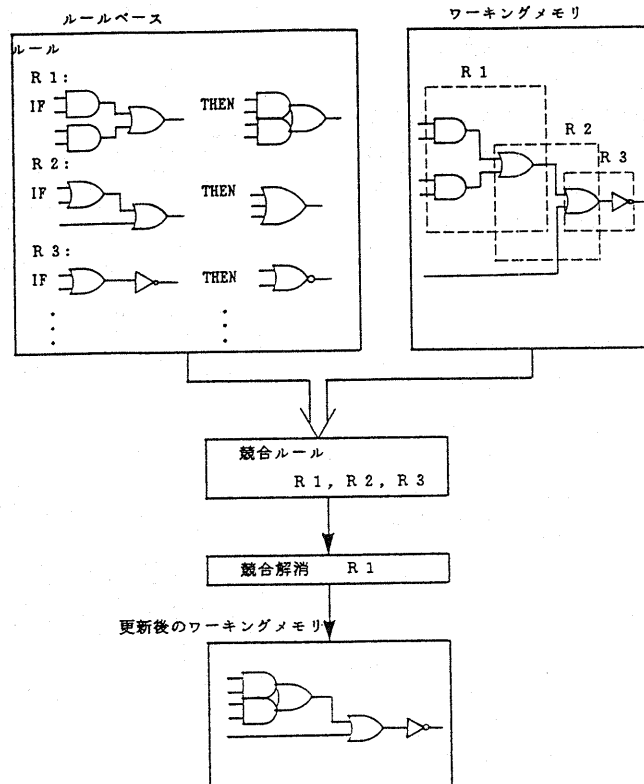


図3. 変換処理例

速化、評価関数を用いた競合解消法による高品質化を達成していることを特徴としている。以下の各章で、これらのことについて詳述する。

### 3. 回路標準化

一般に、図4に示すように、1つのマクロに論理的に等価で変換可能な回路パターンは複数個存在する。これらの回路パターンを全て区別して考えた場合、大量のルールを用意しなければならず、マクロの変更時に非常に多くのルールを追加、修正しなければならない。そこで、LORES/EXでは標準化ルールを設けて、この問題を解決している。

標準化ルールは、図5に示したものを含めて10個のルールから構成されており、ルールに付した重みに従って協調して実行される。標準化ルールは、次のような3つのタイプに分類することができる。

- a) 論理的に冗長なゲートの削除
- b) 回路表現規則
- c) 仮想ゲートの挿入

a) 図は直列インバータを削除する例を示している。b) 図はa)のルールと協調して、新たに設けた回路表現上の制約を満たすように回路を変換するルールの例である。この制約とは、分岐のない信号線で接続されているゲートの間には、反転入力および反転出力を認めないというものであ

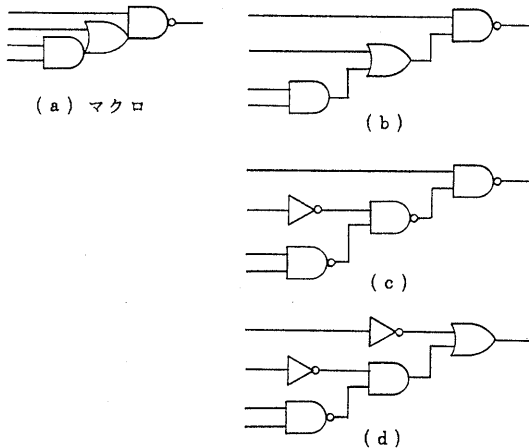
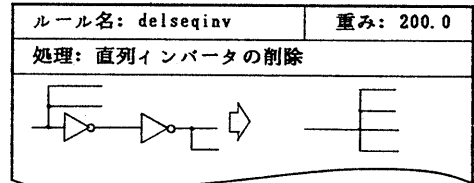


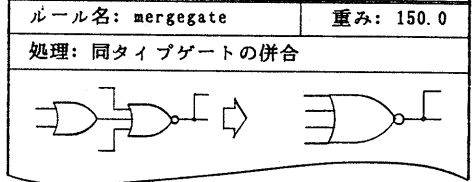
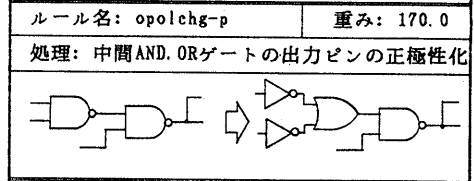
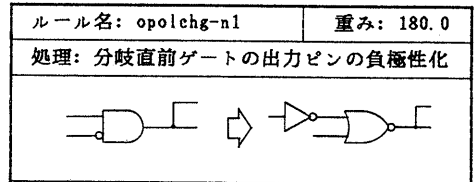
図4. マクロとマッチング可能な回路例

る。標準化ルールを適用すると、図4(a)のマクロに変換可能な回路は図4(b)に示した回路パターンのみで限定される。

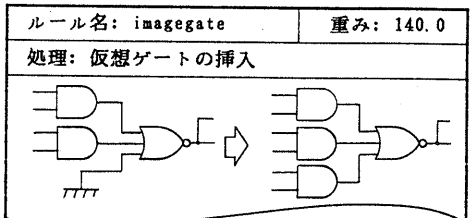
(c)の仮想ゲートとは1入力のAND素子あるいは1入力のOR素子のことである。速度条件が厳しい場合、図6のように大きなマクロを、その入力ピンの一部をGNDあるいはVCCに接続して論理的に等価な回路とし、割付けを行う必要が生じる。このように機能的に大きなマクロを、無駄セルを許して割付け可能とすると、1つのマク



(a) 冗長論理の削除



(b) 回路表現規則



(c) 仮想ゲートの挿入

図5. 標準化ルール

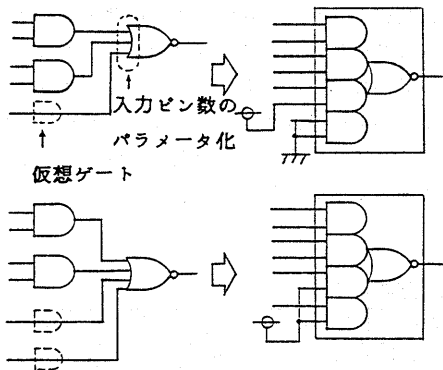


図6. 大きなマクロの割付け

ロにマッチング可能な回路パターンがいくつも存在することになる。そこで仮想ゲートを挿入し、ゲートの入力ピン数をパラメータ化した。これにより、回路パターンに対応した柔軟なマクロの割付けを、1つの変化ルールで容易に記述できるようになった。

このように標準化ルールの導入は、ルールの総数を少なくして、ルールの追加、修正を容易にしている。また、ルールの数の減少は競合集合の縮小にもつながり、マッチングと競合解消に要する計算機時間を短縮し、変換処理の高速化にも寄与している。

#### 4. 高速化

変換の対象となる回路規模が増大するに従って回路変換に要する計算機時間は爆発的な増加の傾向を示す。このため、変換作業を実用的時間内に抑えることは非常に困難な問題である。この計算機時間の増大の原因は、ワーキングメモリ内の回路データおよび競合集合の増大にある。

##### 4-1. ルールのグループ化

高速化の常套手段として用いられるルールのグループ化は、ルールの全体集合をいくつかのグループに分けて、マッチングを試みるルールの範囲を限定する方法である。このグループ化は、3章で述べたルールの標準化と同様に競合集合の増大を抑えるものである。LORES/EXもこの方法を取り入れ、2-1で述べたルールの種類に応じてルールをグループ化している。グループ化されたルールは、回路変換の段階に応じて、回路デー

タとのマッチングに制限を受ける。これを適切に制御するために、メタルールが用意されている。しかし、回路の標準化とルールのグループ化だけでは、回路の大規模化に伴うワーキングメモリの増大による処理時間の増加を十分に抑えることはできなかった。

##### 4-2. 自動回路分割機能

そこで、LORES/EXでは、与えられた回路をいくつかの部分回路に分割する自動回路分割機能を導入している。これによりワーキングメモリ内のデータ量を小さく保つことができ十分な高速化が達成される。この回路分割を導入するにあたり重要なことは、回路分割が変換結果に何の影響も与えないことである。本プログラムが対象としているCMOS G.A.のマクロセル内には信号線の分岐が見られないことから、信号線の分岐点を切断点として回路を分割してもマクロの割付け方には変化は起こらない。図7の×印は回路切断点を、は分割された回路領域を示している。

LORES/EXのほとんどの変換作業（標準化、マクロ割付け）は個々の部分回路に対して行われ、最後に、部分回路をすべて統合し、分割の切り口周辺の最適化および設計制約処理を実行する。従って、CMOS G.A.に関しては分割による変換結果への影響はまったくないことが保証される。分割機能を導入したことにより、数Kゲート規模の回路を一度に変換することが可能となる。

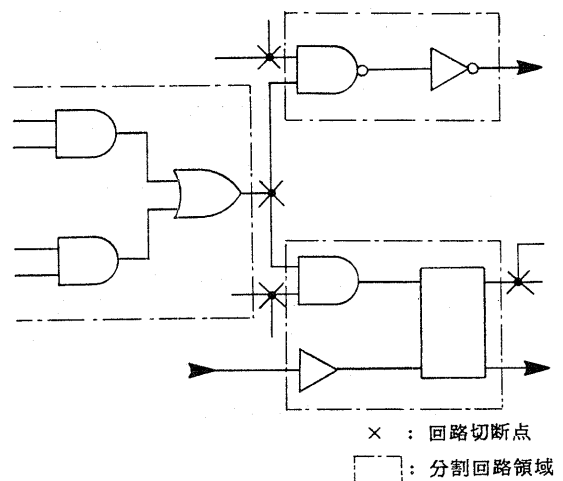


図7. 回路分割例

## 5. 高品質化

どのような競合解消法を採用するかにより、最終的な変換回路の品質は大きく左右される。例えば、図8(a)の回路パターンにマッチングがとれるマクロ割付けルールとして(b)-1~3が考えられるが、面積効率を重視するか遅延効率を重視するかによって割付けるマクロが異なる。従って、面積優先か遅延優先かに応じてマクロを選択する方法は、単純な競合解消法では不可能である。

LORES/EXでは、人手設計並みの品質を持つ変換回路を得るために、評価関数を用いた競合解消法を導入しており、セルの有効利用率を考慮しながら、できるだけ遅延の小さいマクロを割付けるようにしている。競合する各ルールはマッチングのとれたパターンに従って評価され、その評価値の最も大きいルールが選択される。複合ゲートのマクロを利用する場合、面積効率と遅延効率との間にトレードオフの関係が生じることがあるため、どちらを重視するかは評価関数中のパラメータにより制御する。

## 6. 評価

前述のように、LORES/EXは高速化のために自動回路分割機能を導入している。そこで、まず最適な分割回路規模を求めるための評価を行った。評価用回路は89素子から成るALU回路を2個並べた回路で、表1はこの結果を示している。

分割規模を小さくすると、1つの部分回路に対しては高速に処理できるが繰り返しが多くなる。反面、分割規模を大きくすると繰り返しは少なくなるが1つの部分回路に多大な時間を費やす。表1は、20素子前後の部分回路に分割することが適当であることを示している。

表1 最適分割素子数

分割素子数	10	15	20	25	30	40	50
CPU(sec)	66.86	63.35	62.93	63.84	64.98	69.89	75.11

次に、全体回路規模に対する実行時間について評価を行った。表2は評価用回路を上記のALUをn個並べた回路とし、分割規模を20としてVAX11/780上で実行した時間結果を示している。この結果から、計算機時間は回路規模の約1.5乗に比例することがわかり、数Kゲート規模の回路に対して、実使用が可能である。

表2 速度評価

回路規模(素子数)	89	178	267	356
CPU(sec)	23.38	64.16	117.1	184.9

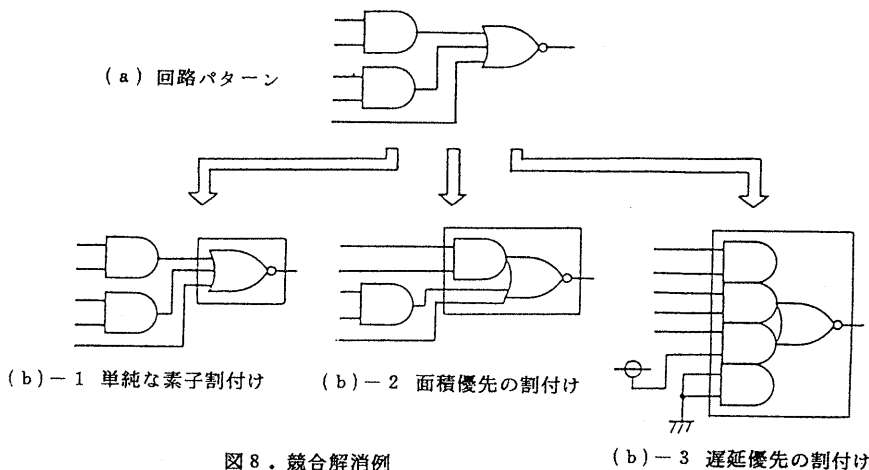


図8. 競合解消例

最後に、変換の品質についての評価実験を行った。表3はLORES/EXによる面積優先および遅延優先の自動変換結果と人手設計との比較を示している。図9にLORES/EXで遅延優先とした自動変換結果と人手設計例を示す。この評価実験では、面積（ベーシックセル数）、遅延（最大素子段数）のどちらの面でも人手設計と比べ満足のいく結果が得られた。ベーシックセル数が人手設計よりも自動変換のほうが少なくなっている理由は、人手設計が設計制約においてより大きなマージンを見込んでいることによる。

表3 品質評価

	ベーシックセル数	最大素子段数	素子数
LORES/EX(面積優先)	326	9	87
LORES/EX(遅延優先)	348	7	87
人手設計	370	7	90

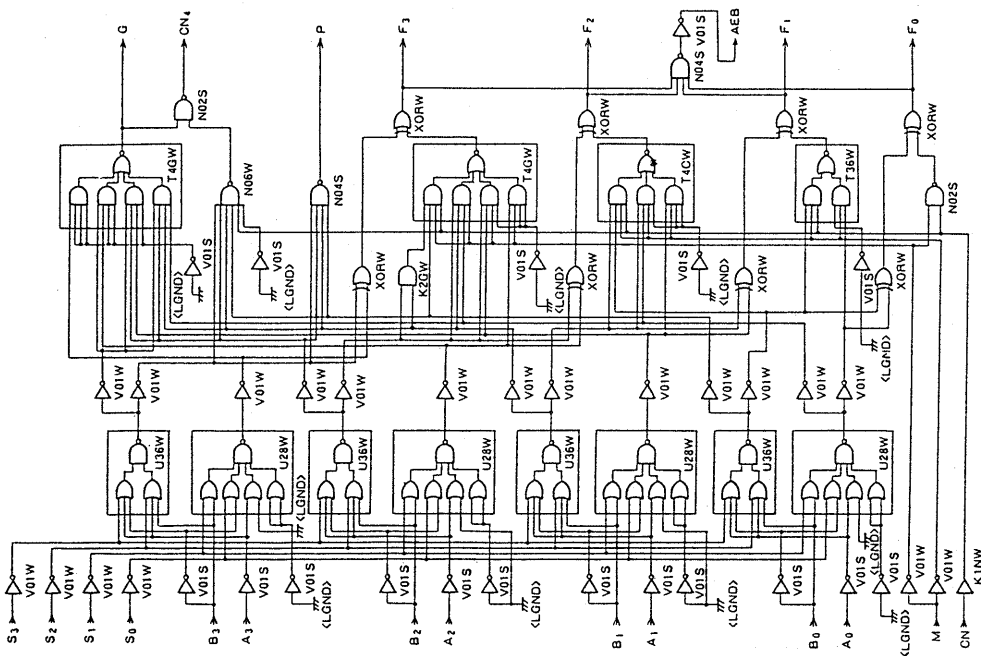
## 7. おわりに

既存の論理回路を別の半導体技術で実現するためのルールベース手法に基づく論理回路変換プログラムLORES/EXを開発した。LORES/EXの特徴としては、ルールベース手法の採用により半導体技術の変化に容易に対応できること、さらに、回路標準化、評価関数を用いた競合解消法、自動回路分割機能を導入したことにある。これにより、評価結果が示すように計算機処理の高速化と変換回路の高品質化が可能となった。

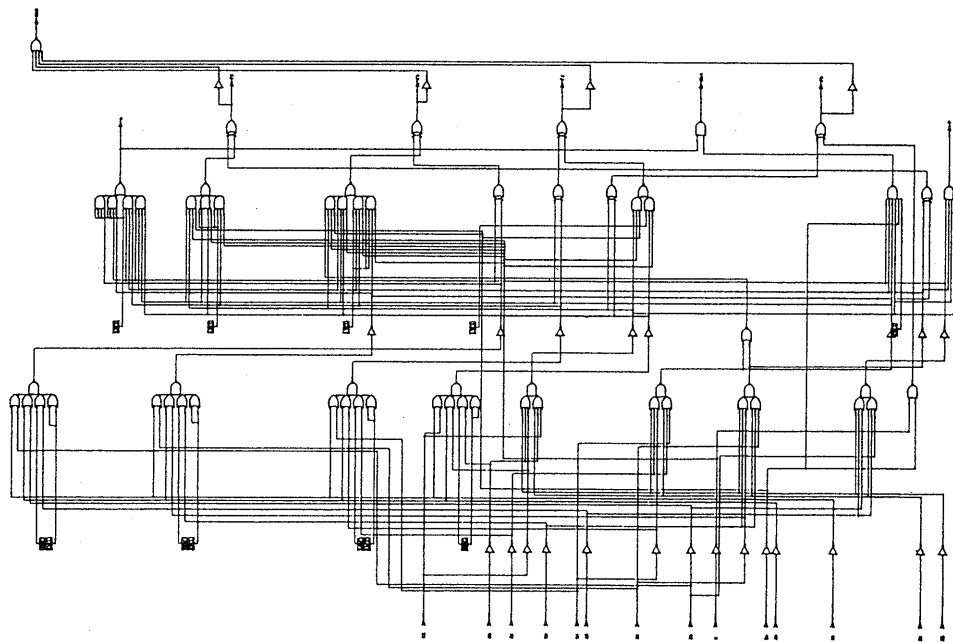
### [参考文献]

- [1] C. Tanaka, S. Murai, et al., "An integrated computer aided design system for gate array masterslice Part1. Logic reorganization system LORES-2". Proc. 18th DAC. 1981
- [2] Kiyoshi Enomoto et al., "A Logic Reorganization System". IEEE Design & Test, pp. 35-42, Oct. 1985
- [3] 石田, 石川, 村井 他: ルールベースを用いた論理マクロ割付け, 情報処理「VLSI CADへの知識工学の応用」シンポジウム, pp. 37-45(1986)

- [4] Aart J. de Geus and William Cohen, "A Rule-Based System for Optimizing Combinational logic". IEEE Design & Test, pp. 22-32, 1985
- [5] J.L. Gilkinson et al., "Automated technology mapping", IBM J. RES. Develop. Vol. 28, No. 5, pp. 546-556, 1984
- [6] 科学技術序編: 知識ベース・システム, 大蔵省印刷局, 1985



(b) 人手設計



(a) 自動変換結果

図9. 自動変換結果(遅延優先)と人手設計