設 計 自 動 化 42－4
（１９８８．５．１７）

MULTES／IS：不完全スキャン方式自動テスト生成システム

荻原拓治　室井克信　猿山秀一　米森玄一　村井真一

三菱電機　カスタムＬＳＩ設計技術開発センタ

本報告では、一つのＬＳＩ中から自動テスト生成可能な部分と人手作成パタンによる故障シミュレーション部分を自動的に識別し、効率良くテスト生成を行う自動テスト生成システムＭＵＬＴＥＳ／ＩＳの概要、システム構成、評価結果等について述べている。ＭＵＬＴＥＳ／ＩＳで自動テスト生成可能な部分は完全スキャン回路部、不完全スキャン回路部、同期回路部、組合せ回路部であり、人手作成パタンによる故障シミュレーション部は非同期回路部である。ＭＵＬＴＥＳ／ＩＳを完全スキャン回路５品種、不完全スキャン回路５品種、非スキャン同期回路５品種、非同期混在回路１品種に適用した結果、ほとんどの品種で故障検出率９８％以上のテストパタンが自動生成できた。

MULTES／IS：TEST GENERATION SYSTEM FOR INCOMPLETE SCAN CIRCUITS

Takuji Ogihara, Katsunobu Muroi, Shuichi Saruyama, Genichi Yonemori and Shinichi Murai

ASIC Design Enginnering Center
Mitsubishi Electric Corporation
5-1-1 Ohfuna, Kamakura, 247 JAPAN

This paper describes an automatic test generation system MULTES/IS which effectively generates test vectors by recognizing the circuit block for which test vectors are automatically generated and the circuit block for which test vectors have to be manually prepared. The circuit blocks for which test vectors are automatically generated are complete scan, incomplete scan, non-scan synchronous and combinational circuit block , and the circuit block for which test vectors have to be manually prepared is asynchronous circuit block. MULTES/IS has been applied 5 complete scan circuits , 5 incomplete scan circuits, 5 non-scan synchronous circuits and 1 circuit including asynchronous circuit block , and test vectors with more than 98% fault coverage have been automatically generated for most of all circuits.

1　はじめに

論理回路の大規模化に伴い、そのテストはますます困難になりつつある。この問題を解決する手法の一つとして、スキャン設計［1］の様なテスト容易化設計が行われている。しかし回路内のすべてのレジスタをスキャンレジスタで構成する完全スキャン設計には次の様な欠点もあり、必ずしも完全スキャン設計が採用できない場合もある。

①スキャン化によりチップ内のハードウェア量が数％～数十％増加する。

②スキャンレジスタ内のセレクタにより、ＬＳＩの動作速度が低下する場合がある。

③論理設計者はオリジナル回路をスキャン回路に変換しなければならない。

この様な欠点を緩和する手法として、レジスタの一部をスキャンパス中に含めない不完全スキャン設計［2］がある。この手法では、スキャンパスで囲まれる分割回路はレジスタを含む同期回路となるが、分割回路内のレジスタの段数は比較的少ないため、性能の良い同期回路テストジェネレータが提供されれば、それほど多大な処理時間を費やさなくてもテストパタンの自動生成が可能となる。

ところで、ＬＳＩの集積度はどんどん増加しているものの、ＬＳＩの使用用途によっては数百から数千ゲート規模のＬＳＩの需要もまだまだ多くある。これらの小規模ＬＳＩに対しては同期回路テストジェネレータの要求が強い。また、ゲートアレイのビジネスにおいては、ユーザがどんなＬＳＩを設計するか分からない。非同期論理を含むＬＳＩも数多く設計される。非同期論理を含むＬＳＩに対して、むりやり順序回路テストジェネレータを適用すると、タイミング問題を発生するテストパタンを生成するため、問題がある。

そこで我々は、一つのＬＳＩ中から自動テスト生成可能な部分と人手作成パタンによる故障シミュレーション部分を自動的に識別し、効率良くテスト生成を行う自動テスト生成システムＭＵＬＴＥＳ／ＩＳを開発した。ＭＵＬＴＥＳ／ＩＳで自動テスト生成可能な部分は完全スキャン回路部、不完全スキャン回路部、同期回路部、組合せ回路部であり、人手作成パタンによる故障シミュレーション部は非同期回路部である。

2　ＭＵＬＴＥＳ／ＩＳの特徴

ＭＵＬＴＥＳ／ＩＳの特徴を下に示す。

①一つのＬＳＩの中でテストパタン生成の自動化可能な部分をなるべく多くする。

②テスト生成の自動化が不可能な部分は、その部分にのみ故障をロードし、故障シミュレーションする。

③故障生成では、等価故障、検出不要故障、検出不可能故障を予め除去しておく。

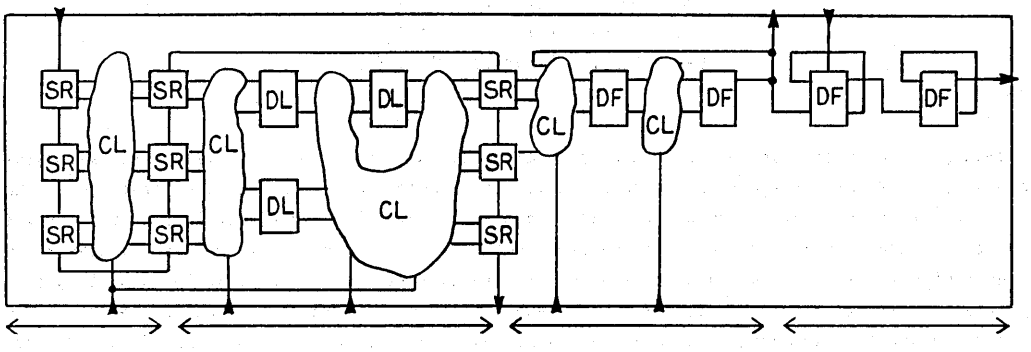
④故障検出率は、テスト生成の自動化部分、非自動化部分回路にかかわらず、あくまでＬＳＩ全体で評価する。

⑤テストジェネレータは同期回路を扱うことができ、故障シミュレータを併用すことにより効率よくテストパタンを自動生成する。

⑥テスト生成／故障シミュレーションではポテンシャル・ディテクト法の様なあいまいな故障検出判定法を用いておらず、固有初期値伝搬法［6］により明らかに検出可能なもののみ故障検出の対象としているにもかかわらず高故障検出率を達成可能である。

⑦ＭＵＬＴＥＳ／ＩＳ検証システムの開発によりＭＵＬＴＥＳ／ＩＳのシステム動作が正しいかどうかをより高い確率で検証することができる。［7］

図２．１では、一つのＬＳＩ中に構成されている各設計方式と、それらに対するテスト生成がＭＵＬＴＥＳ／ＩＳにより自動化されるかどうかを示している。



完全スキャン部（自動）　不完全スキャン部（自動）　同期部（自動）　非同期部（人手）

図２．１　設計方式とテスト生成の自動化

3　MULTES／ISシステム構成

図3．1にMULTES／ISシステム構成を示す。図3．1に示す様にMULTES／ISは自動テスト生成系と人手作成テストパタンによる故障シミュレーション系とから構成されている。

3．1 自動テスト生成系

①ILISは論理回路からMULTES／ISプリミティブ表現されたネットワークを作成する。

②RUCSは対象回路が完全スキャン設計、不完全スキャン設計、同期回路設計ルールを満足しているかどうかチェックすると同時に非同期部を自動的に認識する。

③LOPSはRUCSにより認識された自動テスト生成可能な部分をLSI全体から切り出す。また、LSI全体の故障ファイルを作成する。

④ALTES／SはLOPSにより切り出された自動テスト生成可能な部分（完全スキャン部、不完全スキャン部、同期回路部、組合せ回路部）に対し自動的にテストパタンを生成する。この時、検出された故障に対し、故障ファイルに検出済みフラグを立てる。

⑤TEPEXは分割回路単位に自動生成されたパタンをLSI全体のテストパタンに編集する。LSI中にスキャンパスがあれば、スキャンイン／アウトを考慮したLSI全体のテストパタンに編集する。

3．2　人手パタン作成－故障シミュレーション系

設計ルールチェックプログラムRUCSにより自動テスト生成不可能と認識された部分回路（非同期部）に対してはテストパタンが自動生成できないので、人手パタンによる故障シミュレーションを実行する。この時、対象回路はLSI全体であるが、故障ファイル中の未検出故障をロードしALTES／Sにより故障シミュレーションを実行する。ロードされる故障は基本的に非同期部分の故障であるので、LSI全体中に占める非同期部分が少ない時、故障シミュレーション時間は激減する。故障シミュレーション終了時点で自動テスト生成での故障検出率、人手パタンによる故障検出率、LSI全体の故障検出率、未検出故障リストが出力される。

4　MULTES／ISプリミティブ

表4．1に自動テスト生成可能なプリミティブと人手パタンによる故障シミュレーションの対象となるプリミティブを示す。

表4．1　MULTES／ISプリミティブ

入出力	外部入力、外部出力、双方向端子 疑似入力、疑似出力	自動
ゲート	AND，NAND，OR，NOR XOR，XNOR，TRI，TG	自動
記憶素子	Dラッチ、DFF、SRL	自動
	RSラッチ、JKFF	人手
機能素子	ROM，RAM，PLA	人手

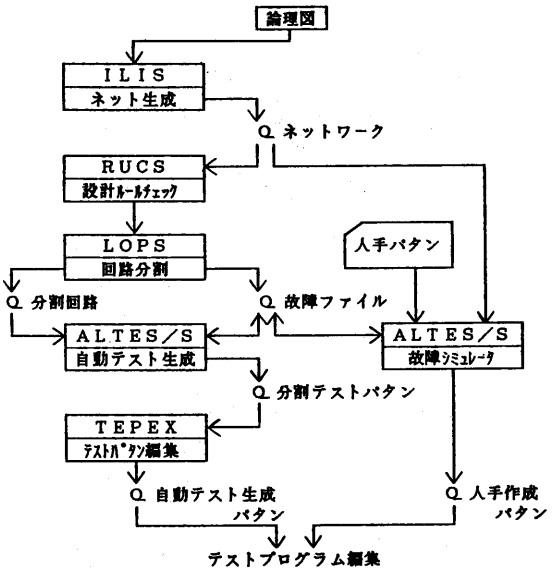


図3．1　MULTES／ISシステム構成

5　設計ルール違反部の認識と削除

MULTES／ISは、完全スキャン回路部、不完全スキャン回路部、同期回路部および組合せ回路部に対しテストパタンを自動生成する。従って、これらの設計ルールに違反する論理は設計ルールチェックプログラムRUCS［3］により自動的に認識され、分割プログラムLOPSにより自動テスト生成対象回路から自動的に削除される。

5．1　設計ルール違反部の削除

表5．1に示す設計ルール違反の核となる素子の入出力を次の様に削除する。（図5．1）

①設計ルール違反の核となる素子から入力側へバックワードトレースし、信号分岐点、シフトレジスタ、外部入力までの素子を削除する。

②設計ルール違反の核となる素子の出力信号は切断し、テスト生成時常に不定値Xを出力するICE素子に接続する。

表5．1　設計ルール違反の核

RSFF，JKFF，ROM，RAM，PLA等の自動テスト生成の対象外となる素子
設計ルール違反となるレジスタ 同相クロック転送構成の受け側のレジスタ セット／リセットが生きているレジスタ クロック端子にクロックが入らないレジスタ データ端子にデータが入らないレジスタ
クロック制御が正しく行われないゲート

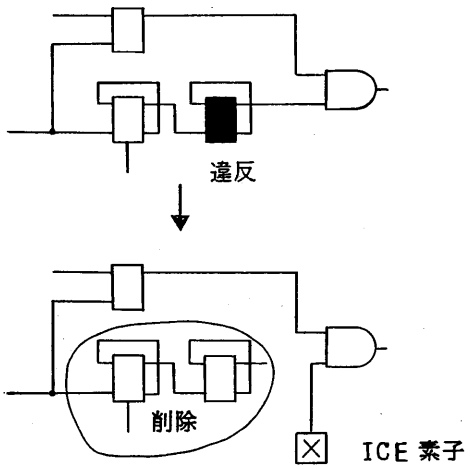


図５．１　設計ルール違反部の削除

６　故障生成

ＭＵＬＴＥＳ／ＩＳでは、故障モデルとして０縮退故障（ＳＡ０）、１縮退故障（ＳＡ１）を扱う。この時、取り扱う故障数を減らすため、図６．１に示す様に等価故障、検出不要故障、検出不能故障はあらかじめ故障生成の対象から除外される。

ここで、検出不要故障は外部出力で観測できない信号上であり、検出不能故障は電源信号上のＳＡ１、グランド信号上のＳＡ０の他に内部パスのコントロール信号上の故障のうち、正常回路あるいは故障回路で内部パスの出力をＺにする故障である。

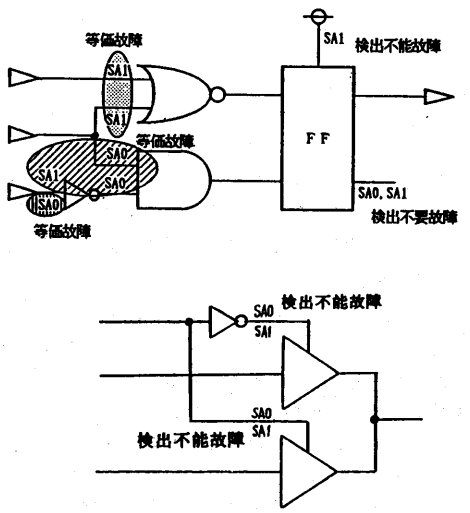


図６．１　故障の削除

７　テスト生成

自動テスト生成可能な分割回路中の未検出故障を１つ選び、テストパタン・ジェネレータでテストパタン生成を行う。生成されたテストパタンは、通常多くの入力端子に対しては何も生成されないため、その入力端子に０／１の乱数あるいは前パタンと同じ値を割当て、そのパタンで故障シミュレーションを実行し、同時に検出できる故障を除去する。このようにテストパタン・ジェネレータと故障シミュレータを繰り返し実行してテストパタンを自動生成する。

７．１　テスト生成対象回路

自動テスト生成の対象となる分割回路は一般的に図７．１のようにモデル化される。ここで、テスト生成対象回路中にスキャンレジスタがある場合、スキャンレジスタはテスト生成用に疑似入力端子、疑似出力端子を持ったＴＳＲＬ［4］に変換される。

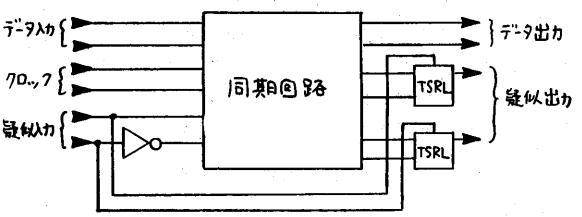


図７．１　テスト生成モデル

７．２　信号値

テスト生成では以下の信号値を扱う。

０　：Ｌｏｗ　信号
１　：Ｈｉｇｈ信号
Ｚ　：Ｈｉ－Ｉｍｐｅｄａｎｃｅ
Ｘ　：不定値
$\underline{C}$　：ポジティブクロックパルス
Ｃ　：ネガティブクロックパルス
$\underline{Xn}$：識別番号ｎのレジスタの固有初期値
Ｘｎ：識別番号ｎのレジスタの固有初期値の補数

ここで、ＸｎおよびＸｎは故障の影響によりクロックが入らなくなる識別番号ｎのレジスタの初期値を表す固有初期値とその補数である。

７．３　テストパタン生成アルゴリズム

テストパタン生成では素子に目的値を設定するための処理と故障信号を外部出力に伝搬させるための処理があるが、同期回路を扱うためＤラッチに対し、次のように処理を行う。

（1）Dラッチへの値設定

①Dラッチのクロック入力が不定値Xの時、クロック入力にクロック信号Cを設定するようにバックワードトレースする。（図7．2a）

②Dラッチのクロック入力に信号値Cが既に設定されている時、Dラッチの入力データにDラッチの出力値を設定するようにバックワードトレースする。（図7．2b）

③Dラッチのクロック入力に信号値0が既に設定されている時、1周期前の時刻で現在のDラッチの出力値となるようにバックワードトレースする。（図7．2c）

（2）Dラッチを介した故障の伝搬

①故障信号がDラッチのデータ入力に伝搬した時、クロック入力にクロック信号Cを設定し、故障信号を外部出力に伝搬させるように試みる。もし、この時刻内で故障信号が外部出力まで伝搬できない場合、Dラッチに取り込まれた故障信号を次の時刻で保持するようにクロックに信号値0を設定するように試みる。そして、保持された故障信号を次の時刻以降で、外部出力まで伝搬させるように試みる。（図7．3a）

②故障信号0／CがDラッチのクロック入力に伝搬した時、通常1時刻前では正常回路および故障回路ともにクロック入力にクロック信号Cを設定することができる。従って、1時刻前で正常回路および故障回路ともDラッチを初期化し、故障信号の伝搬した時刻で、初期化した値の反転値になるようにDラッチのデータ入力に値を設定する。これにより、現時刻での正常回路のDラッチにはクロックが入らないため1時刻前で初期化された値を保持し、故障回路のDラッチにはクロックが入るため現時刻での値を取り込んでしまう。
従って、正常回路と故障回路で出力値が異なるため、新たな故障信号となって伝搬させることができる。（図7．3b）

③故障信号C／0がDラッチのクロック入力に伝搬した時、故障回路ではDラッチにクロックを入れることができず、Dラッチは初期化できなくなる。そこで、故障の影響によって内部状態を初期化できなくなる各Dラッチに対し、故障回路での初期値として固有初期値Xn（nはDラッチの識別番号）を与える。その後、正常回路での信号値0とXnおよび正常回路での信号値1とXnの2つの故障信号0／XnおよびI／Xnを新たな故障信号として、異なる時刻で外部出力まで伝搬させることを試みる。実際の回路でこのような故障があった場合、Xnは0または1のどちらであるか判らないが、少なくともどちらかの値が変化せずに保持されていると考えられる。従って、外部出力に伝搬した0／Xn，1／Xnのどちらかが実際の故障の影響となるので、このような故障に対してもテストパタンが生成可能となる。（図7．3c）

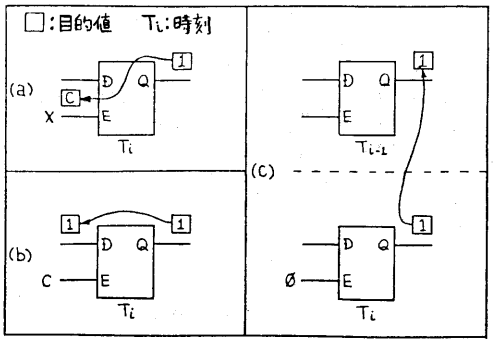


図7．2　Dラッチへの値設定

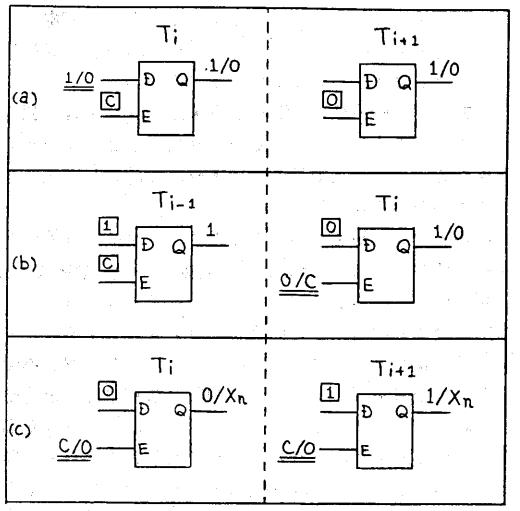


図7．3　Dラッチを介した故障の伝搬

8　故障シミュレーション

ここで述べる故障シミュレータはコンカレント方式に固有初期値伝搬法を付加したもので、自動テスト生成時にも併用される。

8．1　固有初期値

図8．1に示すように、記憶素子のクロック信号線上に故障が存在する故障回路においては、その記憶素子の出力信号値を決定することができない場合があり、通常の故障シミュレータでは記憶素子の故障信号値が不定値Xのままで残ってしまう。正常信号値が0あるいは1としてかつ故障信号値が不定値Xとして出力端子まで伝搬した故障を"POTENTIALLY DETECT"として扱う場合があるが、実際にはこの故障が検出できたかどうかは不確かである。

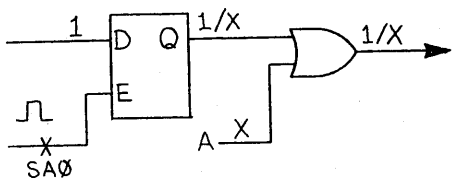


図８．１　POTENTIALLY DETECT

例えば、図８．１に示す場合について考えると、故障シミュレータ上では記憶素子の故障信号値は不定値Ｘとして扱うが、実際のデバイス上ではＸという信号値は存在せず、０または１のどちらかであると考えられる。また、信号線Ａの値も不定値Ｘとなっているが、実際のデバイス上でもし信号値が１になっていた場合、故障信号はマスクされて出力端子では検出できない。

一方、"POTENTIALLY DETECT"を考慮しない場合、記憶素子のクロック信号線上の故障は検出することができず、故障シミュレータ上では永久に未検出故障として残ってしまう場合がある。

このような問題点を解決するため、我々は信号値に固有初期値を導入した［6］。固有初期値とは、故障により初期化のできなくなる記憶素子の初期値を表すもので、識別番号ｎの記憶素子の固有初期値をＸｎとする。このＸｎは０または１のどちらかに確定はできないが、不変である信号値を表している。この固有初期値は、出力端子において、１／Ｘｎ、０／Ｘｎの両方が検出された場合にその故障が検出されたと判定される。すなわち、図２で示すように、Ｘｎが実際のデバイスで０であっても１であっても、必ず出力端子までの経路が活性化されている場合に故障検出と判定するため、より正確な故障検出率が求まる。

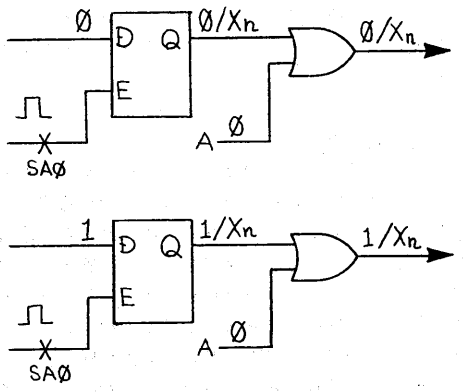


図８．２　固有初期値

９　実行結果

ＭＵＬＴＥＳ／ＩＳを回路規模４００素子から１００００素子までの１６品種の回路で評価した。表９．１から表９．５で評価回路の特性及びＭＵＬＴＥＳ／ＩＳの実行結果を示す。１６品種の内訳は完全スキャン回路５品種、不完全スキャン回路５品種、非スキャン同期回路５品種、非同期混在回路１品種である。

９．１　各種設計方式に対するテスト生成評価

①故障検出率（表９．１）

非同期混在回路の故障検出率９２．５％を除くと、設計方式に関係なく、ほとんどの品種で９８％以上の故障検出率を達成できた。また、テスト生成で冗長と判定された故障を除くと、半分の品種で１００％の故障検出率を達成できた。

②計算機時間（表９．１）

同一回路規模の完全スキャン回路、不完全スキャン回路、非スキャン同期回路に対するテスト生成時間比は約１：３：８であった。また、数Ｋ素子規模の非スキャン同期回路のテスト生成時間は数時間であり、この程度の回路規模ではスキャン設計を行わなくても、実用的な計算機時間で自動テスト生成可能であった。

③テストパタン数（表９．１，表９．２）

回路中の故障数に対するテストパタン数は完全スキャン回路、不完全スキャン回路、非スキャン同期回路でそれぞれ１／１４，１／９，１／６になっている。また、１テストでのテストシーケンス長、つまり、１つの故障を検出するためにテストジェネレータが生成したパタン数は完全スキャン回路、不完全スキャン回路、非スキャン同期回路でそれぞれ１、１．７、４．６になっている。

９．２　未検出故障と計算機時間の評価

ＭＵＬＴＥＳ／ＩＳで未検出となっている故障として次のものが考えられる。

①冗長故障

②バックトラックの制限により打ち切られた故障

③１回のテスト生成でのテストシーケンス数の制限により打ち切られた故障

テスト生成に成功した故障と、これらの理由によりテスト生成に失敗した故障の割合と計算機時間の使用率を表９．２に示している。回路によってはテスト生成失敗に費やした計算機時間が全体の６１％をしめるものもある。従って、今後テスト生成失敗に費やす計算機時間を削減するようにアルゴリズムを改善する必要がある。

表９．１　評価対象回路の特性とＭＵＬＴＥＳ／ＩＳ実行結果

回路	設計方式	素子数	故障数	SRL数	DL/DF数	PI数	PO数	SC0	SC1	SO	検出率1	検出率2	パタン数	ＣＰＵ
SD4	スキャン	447	374	4	0	52	67	0/0	0/0	0/0	98.4%	100.0%	39	0.1 MIN
SD10	スキャン	985	840	112	0	67	47	0/0	0/0	1/1	99.3%	100.0%	74	0.3 MIN
SD15	スキャン	1517	2222	79	0	70	48	0/0	0/0	0/1	100.0%	100.0%	148	0.8 MIN
SD46	スキャン	4581	6199	449	0	99	106	0/0	0/0	1/1	99.4%	99.8%	194	7 MIN
SD61	スキャン	6148	8287	426	0	46	56	0/0	0/0	1/1	98.3%	99.8%	669	43 MIN
IS12	不完全	1186	1848	40	12	77	25	0/8	0/9	1/15	100.0%	100.0%	90	0.5 MIN
IS15	不完全	1464	1820	75	36	64	47	0/1	0/1	1/2	98.6%	100.0%	182	1 MIN
IS19	不完全	1907	2994	20	135	57	21	0/1	0/1	1/2	99.4%	100.0%	523	4 MIN
IS41	不完全	4185	5934	253	18	140	86	1/9	1/9	2/20	99.5%	99.8%	568	30 MIN
IS42	不完全	4195	6399	162	75	113	75	0/16	1/16	2/19	99.5%	99.9%	530	20 MIN
SQ7	同期	685	1513	0	64	41	46	0/1	0/1	1/1	100.0%	100.0%	251	1 MIN
SQ9	同期	875	2196	0	128	43	18	0/1	0/1	1/1	100.0%	100.0%	271	1 MIN
SQ62	同期	6188	11549	0	574	176	54	1/22	1/40	3/58	97.6%	97.7%	2221	125 MIN
SQ68	同期	6750	15437	0	960	49	23	1/6	0/6	5/12	99.0%	99.0%	3293	300 MIN
SQ100	同期	9959	18693	0	392	168	94	0/32	0/32	2/71	98.1%	98.7%	1957	479 MIN
AS35	非同期混在	3480	9551	300	57	67	61	0/1	0/1	1/1	92.5%	92.5%	2469	45 MIN

素子数：ＭＵＬＴＥＳプリミティブ数でＳＲＬ，ＤＬ，ＤＦは１個と数える
ＳＣ０：素子を０に設定するために印加すべきクロック数の平均値／最大値
ＳＣ１：素子を１に設定するために印加すべきクロック数の平均値／最大値
ＳＯ　：素子を観測するために印加すべきクロック数の平均値／最大値
検出率１：テスト生成で冗長と判定された故障も含めた回路全体の故障検出率
検出率２：テスト生成で冗長と判定された故障を除いた回路全体の故障検出率

表９．２　未検出故障と計算機時間

回路	故障数	未検出故障数		テスト生成試行		ＣＰＵ時間の割合			１テストでのCPU時間			１テスト当りのテストパタン数
						テスト生成		故障SIM	テスト生成		故障SIM	
		冗長	その他	成功	失敗	成功	失敗		成功	失敗		
SD4	374	6	0	39	6	16%	4%	75%	0.02S	0.03S	0.08S	1
SD10	840	6	0	74	6	18%	2%	67%	0.03S	0.05S	0.19S	1
SD15	2222	0	0	148	0	14%	0%	82%	0.05S	0	0.28S	1
SD46	6199	27	10	194	37	10%	17%	70%	0.22S	2.03S	1.62S	1
SD61	8287	48	97	669	145	9%	45%	44%	0.36S	7.92S	1.67S	1
IS12	1848	0	0	90	0	9%	0%	89%	0.03S	0	0.34S	1
IS15	1820	26	0	111	26	23%	3%	70%	0.15S	0.08S	0.44S	1.6
IS19	2994	19	0	199	19	27%	5%	65%	0.35S	0.74S	0.84S	2.6
IS41	5934	17	14	311	31	12%	61%	26%	0.69S	34.45S	1.46S	1.8
IS42	6399	28	6	358	35	20%	35%	44%	0.62S	10.94S	1.36S	1.5
SQ7	1513	0	0	150	0	33%	0%	62%	0.15S	0	0.27S	1.7
SQ9	2196	0	0	144	0	28%	0%	67%	0.18S	0	0.43S	2.4
SQ62	11549	29	262	520	386	7%	61%	31%	1.02S	11.83S	4.55S	4.3
SQ68	15437	5	156	260	116	12%	28%	60%	8.06S	43.51S	41.59S	12.7
SQ100	18693	113	244	951	362	5%	21%	74%	1.46S	17.03S	22.29S	2.1

表９．３　非同期混在回路のテスト生成

ＭＵＬＴＥＳ／ＩＳ						人手作成テストパタンのみによる故障ＳＩＭ		
同期部のテスト生成			非同期部の故障ＳＩＭ			回路全体の		
検出率	パタン数	ＣＰＵ	検出率	パタン数	ＣＰＵ	検出率	パタン数	ＣＰＵ	検出率	パタン数	ＣＰＵ
94.3%	245	5 MIN	63.6%	2224	40 MIN	92.5%	2469	45 MIN	70.2%	2224	192 MIN

９．３　非同期混在回路に対する評価

ＭＵＬＴＥＳ／ＩＳでは非同期論理を含む回路中の同期部分に対してはテストパタンを自動生成し、非同期部分に対してはその部分にのみに故障を挿入し、人手作成テストパタンにより故障シミュレーションを実行し、回路全体の故障検出率を評価する。表９．１のＡＳ３５は非同期部分を１８％同期部分を８２％含む非同期混在回路である。この回路に対し、人手作成テストパタンのみで故障シミュレーションを実行した時の故障検出率は７０％、計算機時間は１９２分であったが、ＭＵＬＴＥＳ／ＩＳにより同期部分のテスト生成後、人手作成テストパタンで故障シミュレーションを実行した結果、故障検出率は９２％、計算機時間は４５分と改善できた。（表９．３）

このことはＭＵＬＴＥＳ／ＩＳは非同期混在回路に対しても効率よくテスト生成できることを示している。

９．４　人手作成パタンと自動生成パタンの比較

不完全スキャン回路１品種、非スキャン同期回路１品種および非同期混在回路１品種に対し、機能検証用テストパタンを印加し故障シミュレーションを実行した場合と、ＭＵＬＴＥＳ／ＩＳでテストパタンを自動生成した場合とで故障検出率、計算機時間を比較した。（表９．４）

その結果、機能検証用テストパタンでの故障検出率は６８％から８２％だったものがＭＵＬＴＥＳ／ＩＳでは９２％から９９％に向上できた。また、計算機時間も人手作成パタンの場合１９２分から２６０分だったものがＭＵＬＴＥＳ／ＩＳでは２０分から１２５分に改善できた。

９．５　固有初期値伝搬法の有効性

固有初期値伝搬法の有効性を確かめるため、非スキャン同期回路および不完全スキャン回路の４品種に対し、固有初期値を使用したモードと固有初期値を使用しないモードでテスト生成を実行し、故障検出率と実行時間の評価を行った。（表９．５）

その結果、固有初期値を使うモードの故障検出率は９８％から１００％で、固有初期値を使わないモードの故障検出率８９％から９５％に比べ、高い故障検出率のテストパタンが自動生成できた。また、実行時間も固有初期値を使うモードの方が固有初期値を使わないモードより短時間であることが判る。これは、固有初期値を使うモードでは、記憶素子の内部状態を設定できなくする故障も検出されるが、固有初期値を使わないモードでは、そのような故障は検出されず故障リスト中にいつまでも残ってしまうからである。

この結果から、固有初期値伝搬法は故障検出率向上およびテスト生成時間の短縮にきわめて有効であると言える。

表９．４　ＭＵＬＴＥＳ／ＩＳによるテスト生成と人手作成パタンによる故障シミュレーション

回路	ＭＵＬＴＥＳ／ＩＳ 検出率	パタン	ＣＰＵ	故障シミュレーション 検出率	パタン	ＣＰＵ
IS42	99.5%	530	20 MIN	82.5%	1740	198 MIN
SQ62	97.6%	2221	125 MIN	68.8%	6861	260 MIN
AS35	92.5%	2469	45 MIN	70.2%	2224	192 MIN

表９．５　固有初期値伝搬法の評価

回路	固有初期値使用時 検出率	パタン	ＣＰＵ	固有初期値未使用時 検出率	パタン	ＣＰＵ
SQ7	100.0%	251	66 SEC	93.4%	252	78 SEC
SQ9	100.0%	272	94 SEC	89.7%	264	121 SEC
IS15	98.6%	182	73 SEC	95.9%	192	87 SEC
IS19	99.4%	523	257 SEC	94.3%	497	292 SEC

１０　おわりに

本報告では、一つのＬＳＩ中から自動テスト生成可能な部分と人手作成パタンによる故障シミュレーション部分を自動的に識別し、効率良くテスト生成を行う自動テスト生成システムＭＵＬＴＥＳ／ＩＳの概要、システム構成、評価結果等について述べた。

ＭＵＬＴＥＳ／ＩＳを完全スキャン回路５品種、不完全スキャン回路５品種、非スキャン同期回路５品種、非同期混在回路１品種に適用し評価した結果、ほとんどの品種で故障検出率９８％以上を得るテストパタンが自動生成できた。

参考文献

[1] T.W.Wiliams and K.P.Parker, "Design for Testability - A Survey", IEEE Trans. on Computer, Vol.C-31, pp.2-15, Jan,1982.

[2] E.Trischler, "Incomplete Scan Path with an Automatic Test Generation Methodology", 1980 ITC, pp.153-162, 1980.

[3] K.Muroi, M.Kitta, T.Ogihara and S.Murai, "A Hierarchical Logic Design Rule Check Program for Scan Design Circuits", ICCAD'86, pp.106-109, Nov, 1986.

[4] T.Ogihara, S.Murai, Y.Takamatsu, K.Kinoshita and H.Fujiwara, "Test Generation for Scan Design Circuits with Tri-state Modules and Bidirectional Terminals", 20th DAC, pp.71-78, Jun, 1983.

[5] H.Fujiwara and T.Simono,"On the Acceleration of Test Generation Algorithms", IEEE Trans. on Computer, Vol.C-32, No.12, pp.1137-1144, Dec, 1983.

[6] 狼山，荻原，村井，"ALTES/RA:レジスタファイルを含む論理回路のテストパタン自動生成プログラム"，情処学会，DA研究会35-3，1986 12月.

[7] 荻原，狼山，米森，"MULTES/IS:不完全スキャン方式自動テスト生成システム(6)MULTES/IS検証システム"，情処学会，35回全国大会，pp.2205-2206，1987 9月.