

論理合成システム LODES の
論理最適化手法

横山敏之* 秋吉克一** 鈴木和代**

*松下電子工業(株)開発推進センター

** (株)松下ソフトリサーチ

あらまし LODES は機能記述言語、真理値表、論理式、機能図などの機能仕様を入力とし特定のテクノロジーの最適化された論理回路を出力する論理合成エキスパートシステムである。本システムの論理レベルの合成は、テクノロジーに依存しない組合せ論理の二段および多段の論理最適化をアルゴリズムによって、また局所変換を主体としたテクノロジーマッピングをルールベースの手法により構成している。本稿では、組合せ論理の最適化手法について述べる。

Logic Optimization

For Logic Synthesis Expert System LODES

Toshiyuki YOKOYAMA* Katsuichi AKIYOSHI** Kazuyo SUZUKI**

*Matsushita Electronics Co. Development Promotion Center

1, Kohtari-Yakimachi, Nagaokakyo, Kyoto, 617, Japan.

**Matsushita Soft Research Inc.

Abstract LODES is a logic synthesis expert system, which accepts functional specifications such as hardware description language, boolean expressions, truth tables, functional diagrams and outputs optimized logic circuits of specified technology. In this system, logic level synthesis is realized as combination of algorithmic and rule-based methods, the former is two and multi level logic optimization independent of technology and the latter is technology mapping mainly based on local transformation. In this paper, we describe about methods of combinatorial logic optimization for LODES.

1. はじめに

LODES (Logic Design Expert System) [1] は松下電器産業・半導体研究センターで開発されている論理合成エキスパートシステムである。LODESは機能記述言語、真理値表、論理式、機能図などの機能仕様を入力としスタンダードセルなどの論理回路を合成するシステムであり、抽象的な機能のレベルからテクノロジーに依存した論理レベルまでの各段階で最適化を行い最終的に高品質の論理回路を生成することを特徴としている。今回、処理規模の拡大と効率の向上のために、LODESのサブシステムとして組合せ論理の最適化システム「ole (Optimal Logic Extractor)」を開発したので報告する。次章ではLODESの構成について述べ、第3章では論理最適化手法について説明し、第4章で評価結果を示す。

2. LODESの概要

図1にLODESの構成を示す。LODESの論理合成部は機能記述言語トランスレータ、

機能マクロ展開、テクノロジーマッピングおよび論理最適化からなっている。トランスレータでは機能記述言語を解析し構文レベルの最適化処理を行い機能マクロの接続情報を出力する。機能マクロ展開ではトランスレータの出力や機能図として入力された機能マクロの接続情報に対して各機能マクロを展開しテクノロジー非依存の抽象的な論理接続情報を出力する。テクノロジーマッピングでは抽象的な論理接続情報を入力し特定のライブラリーのセルへの割り付けを行う。以上は主としてルールベースの手法で最適化を行っている。論理最適化部は真理値表、論理式、既成の論理回路の論理を抽象化した回路、あるいは機能マクロ展開の出力などの抽象的な論理接続情報を入力とし二段論理圧縮および多段化によって論理を最小化する。この部分はアルゴリズムによる最適化を行っている。LODESで合成された結果は論理図として論理シミュレータやレイアウトシステムに引き継がれる。

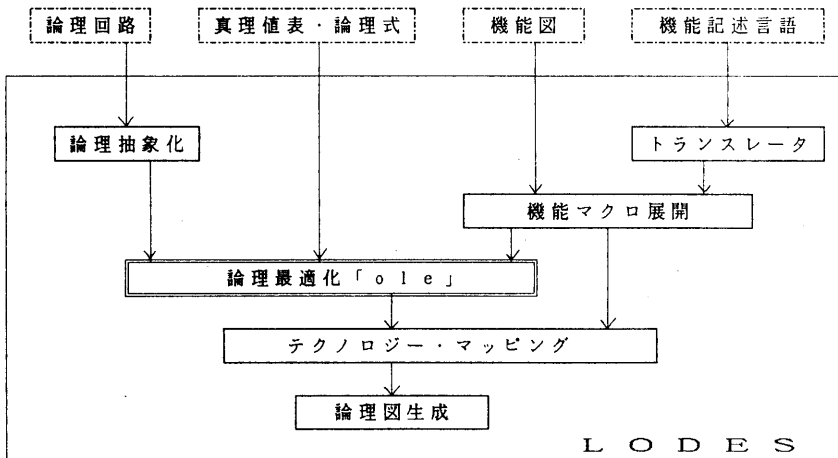


図1 LODESの構成

3. 論理最適化手法

3-1 概要

論理最適化部は、ESPRESSO形式の真理値表、Cライクな論理式あるいは論理接続情報を入力として論理最適化を行い結果を論理接続情報として出力する。LODESでは実現される論理回路の総面積の最小化を行い遅延制約とのトレードオフを調整する機能を持っている。それに対応して論理最適化部では面積を表すパラメータとして論理式の変数の総数であるリテラル数、遅延を表すパラメータとして積項、和項を各々1段と数える論理段数を用いている。実際のライブラリーに登録されているセルの面積や論理段数、あるいはファンアウト制限などはテクノロジーマッピングで考慮される。

他に、論理が大規模となり互いに独立な論理回路が入力中に混在する場合これを認識し分割する機能や、入出力の論理照合を行う検証機能を持っている。

3-2 処理手順

図2に論理最適化の処理の流れを示す。

組合せ論理抽出

論理接続情報を入力とした場合は最適化の対象となる抽象的な組合せ論理回路部分を抽出する。

論理二段化

論理接続情報あるいは論理式として入力された論理回路は一般に多段論理となっているため二段の積和形論理に展開する。これは多段のままでは冗長部分の発見が困難なことから二段論理の簡約化に優れた手法が存在しこれを適用するためである。

出力極性最適化

二段化された論理あるいは真理値表で与えられた論理に対して各出力の極性の組合せを決定する。これは論理関数によってはその否定の方が低いコストで実現できる場合があるためである。出力極性最適化は各出力の両極性の論理関数を作り二段論理圧縮を行った結果から最もリテラル数の少なくなる極性の組合せを求めている。

二段論理簡約化

ESPRESSO⁽²⁾を用いて論理簡約化を行

う。

論理多段化

多段化による論理回路の削減を行う。論理多段化手法については次節で詳細を述べる。

論理併合

論理接続情報を入力としたものについては組合せ論理以外の回路を併合して出力する。

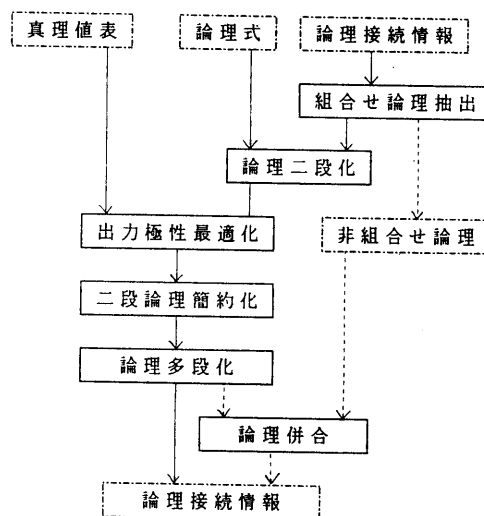


図2 論理最適化部の構成

3-3 論理多段化

論理の多段化は因数分解およびweak-divisionの方法を用いて行う。因数分解では論理式の算術的に因数分解可能な因子を求めその因子を新たな変数として論理式を置き換える。weak-divisionでは複数の論理式に共通な因子を求め同様に置換する。例えば論理式

$$y1 = a*b + b*c + c*d + d*a + b*e + d*e$$

$$y2 = a*f + c*f + g$$

が与えられたとき、y1とy2は因数分解可能な共通因子a+cを持ち、これを新たな変数として置き換えると

$$x1 = a + c$$

$$y1 = b*x1 + d*x1 + b*e + d*e$$

$$y2 = x1*f + g$$

となりそのリテラル数の合計は初期値の17から13に減少する。さらにy1は因数b+dで因数分解でき

$$x1 = a + c, x2 = b + d$$

$$y1 = x1*x2 + x2*e$$

$$y2 = x1*f + g$$

となり、リテラル数は11に最小化される。図3にこれらの関係を論理図で示す。多段化によって論理回路の接続数(ゲートの入力数の合計)が減少する様子がわかる。

多段化は次の処理を繰り返すことによって行う。

1) 因子の抽出

与えられた論理式から因数分解可能な因子を算出する。

2) 因子の選択

因数分解による効果の最も大きな因子を選び出す。

3) 因子の置換

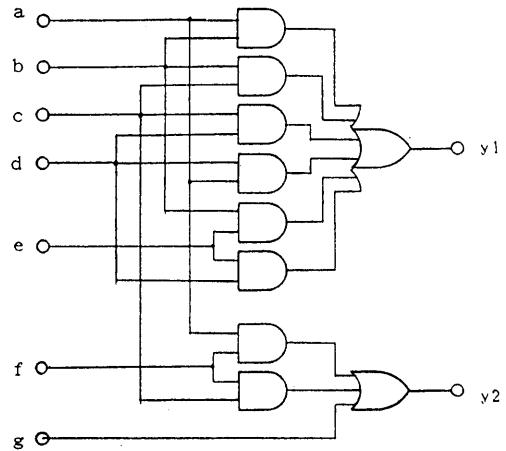
選択された因子を新たな変数で表し、論理式をその変数で置き換える。

以上の処理の中で因子の選択の方法が最適化結果に大きく影響する。

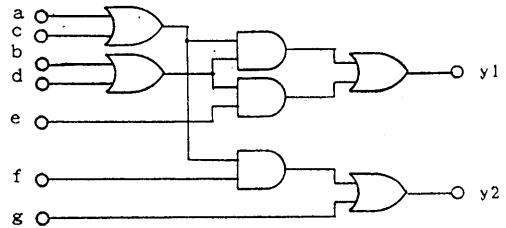
3-4 本システムの多段化手順

本システムでは論理回路を積和形の二段論理で表されるノードの接続で表す。各ノードは否定出力も同時に得られるものとして扱う。多段化はまず積項で表されるノードがあれば和項に変換し各ノードの積和形の因子を利用して多段化を行う。次に和項で表されるノードがあれば積項に変換して共通積項を利用して多段化を行う。

次に因子を選択する際のの評価方法について述べる。前述の通り本システムではリテラル数を回路面積のパラメータとしているため、因子の利得をその因子で論理回路を置換したときのリテラル数の減少分としている。因子の算出の後、すべての因子について利得を算出し利得最



(a) 二段論理



(b) 多段論理

図3 論理多段化

大の因子を採用して因数分解を行う。このとき因子の否定論理が同時に因子になる場合がある。従来は因数分解の後にその否定論理による論理式の置き換えを行っていたが、本システムでは予め因子の否定論理による利得も評価することにより精度の高い多段最適化を行っている。また従来は複数の論理式の共通因子による多段化と単一の論理式の因数分解の2段階で行っていたが、本システムでは因子評価の際、共通の因子であるかどうかは区別せずに利得の大きさで置換順序を決めている。以上のことにより因数分解の結果として排他的論理和となるものが実質的に優先して選択されることになり実現コストの小さな排他的論理和を抽出できることになる。

また因子の否定を求めたり、多くの因子を評価することは処理時間増大の要因となる。本システムでは一旦抽出した因子は元の論理関数に変更されない限りその否定論理とともに保存し再評価も変更されたノードに対してのみ行っている。

これにより処理時間の増大を最小限におさえている。

3-5 遅延制約

一般に多段化によって論理回路の面積は減少するが論理段数は増加し、それに伴い遅延時間が増加する。LODESでは詳細な遅延時間の調整はテクノロジーマッピングで行う。しかしテクノロジーマッピングは局所変換による最適化を行うため、論理段数が深いと効率が悪く、また最適解を得にくい。そのため論理最適化において、あらかじめ論理段数に制約を与えるこ

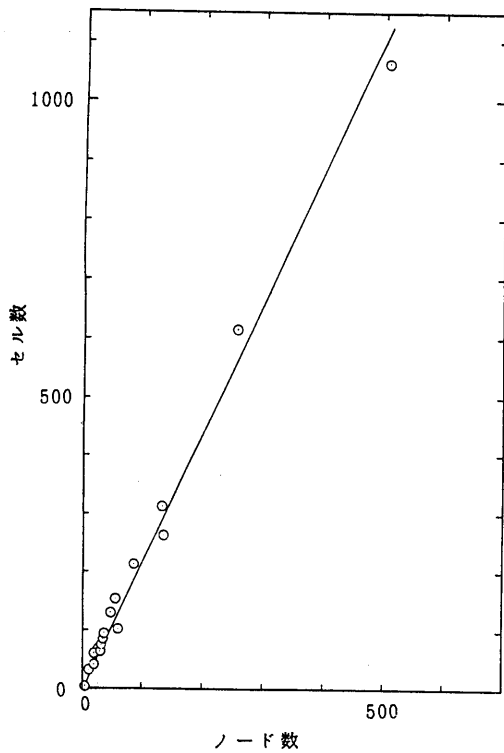
とができる。制約は入力毎の信号入力タイミングおよび出力毎の遅延制約を論理段数換算で設定し、因数選択のときに、因数分解によって制約を満たさなくなる因子を除外することによって実現している。

4 実験結果

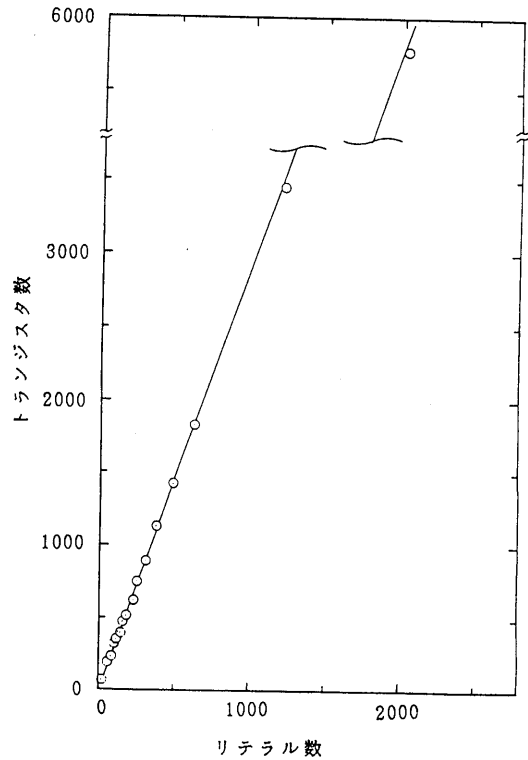
真理値表で表されたデータに対して論理最適化を適用した結果を表1に示す。MIS⁽³⁾による合成結果と比較したところ本手法により平均10%回路規模が減少した。図4に論理最適化結果とテクノロジーマッピング後のスタンダードセル回路のセル数、トランジスタ数で表されたセルの総面積との関係を示す。論理最適化結果と最終的な論理回路の規模が強い相関関係にあることが分かり論理最適化の指標の妥当性を示している。

表1 論理最適化結果

回路名	真理値表			最適化結果 (リテラル数)		
	入力数	出力数	積項数	MIS	ole	ole/MIS
C 1	10	10	75	137	116	0.85
C 2	9	1	87	261	252	0.97
C 3	5	28	87	246	229	0.93
C 4	9	5	167	171	156	0.91
C 5	7	2	9	23	21	0.91
C 6	22	29	87	-	497	-
C 7	5	3	32	64	55	0.86
C 8	7	3	141	108	130	1.20
C 9	8	4	256	288	229	0.80
C 1 0	10	4	58	246	178	0.72
C 1 1	25	8	110	97	101	1.04
C 1 2	5	1	16	24	8	0.33
C 1 3	41	35	1459	-	2017	-
C 1 4	14	8	1028	-	1207	-
C 1 5	8	7	32	74	82	1.11
C 1 6	25	18	29	-	122	-
C 1 7	14	14	305	678	616	0.91
C 1 8	14	14	1848	-	2506	-
C 1 9	117	88	1227	-	983	-



(a) ノード数 v s セル数



(b) リテラル数 v s トランジスタ数

図4 論理最適化とテクノロジーマッピング結果

5. まとめ

論理合成エキスパートシステム LODES におけるアルゴリズムによる論理最適化について報告した。ルールベースのテクノロジーマッピングと組み合わせることによって高品質の論理回路を合成することができた。今後回路規模の増大に伴い処理効率の向上が課題となる。

謝辞

最後に本システムの開発にあたって御協力、御教示をいただきました西山保氏を始めとする松下電器産業半導体研究センターの皆様へ深く感謝の意を表します。

参考文献

- [1] 植田 他: "論理合成システム LODES の概要と評価" 情報処理学会設計自動化研究会報告 No.45, 1988
- [2] R. Bratton et al.: Logic Minimization Algorithms for VLSI Synthesis, Kluwer Academic Publisher, 1984
- [3] R. Brayton et al.: "MIS: A Multiple-Level Logic Optimization System", IEEE, Trans CAD, Vol. CAD6 No. 6, p1062, 1987