

レイアウト・ベンチマークの現状と将来

山内 貴行

シャープ(株)コンピュータシステム研究所

小川 泰

(株)日立製作所中央研究所

佐藤 政生

拓殖大学工学部情報工学科

電子回路設計では、なるべく良い設計を行うために、様々な手法が適用されている。これらの手法の善し悪しを評価するために、共通の基準となる回路を作成し、各手法による設計結果を比較検討する(ベンチマーク)活動がここ数年盛んになってきた。特に、米国においては、MCNC (Microelectronics Center of North Carolina) が中心となり、ベンチマーク回路の収集、作成、配布、ワークショップの開催などを行っている。本稿では、5月に行われたレイアウトに関するMCNC国際ワークショップの報告、MCNCで現在配布しているベンチマーク回路の紹介、日本におけるベンチマーク活動状況の報告をレイアウトを中心に行う。

Current Status and Prospect on Layout Benchmarks

Takayuki Yamanouchi

Computer Systems Laboratories, Sharp Corporation

2613-1 Ichinomoto-cho, Tenri, Nara 632, Japan

Yasushi Ogawa

Central Research Laboratory, Hitachi, Ltd.

1-280 Higashi-Koigakubo, Kokubunji, Tokyo 185, Japan

Masao Sato

Department of Information Engineering, Takushoku University

815-1 Tatemachi, Hachioji, Tokyo 193, Japan

One of benchmark goals is common ground for evaluating CAD systems and algorithms. MCNC (Microelectronics Center of North Carolina) has been playing the central role in collecting, generating, and distributing benchmark circuits. Several international workshops on CAD have been held by MCNC. This year, its workshop on layout synthesis was held in May. This manuscript consists of three reports: report on the workshop, report on MCNC benchmark circuits, and report on where the benchmark of Japan is and where it is going.

International Workshop on Layout Synthesis 報告

1 はじめに

International Workshop on Layout Synthesisの概要について、ベンチマークの話題を中心に報告する。

2. ワークショップの概要

期間 : 1990年5月8日~11日
(但し、8日はレセプションのみ)
場所 : Research Triangle Park,
North Carolina, USA
発表件数 : 25件 (投稿36件)
参加者数 : 92名

参加者内訳

所属機関別	国別
企業 : 52名	米国 : 68名
大学 : 34名	日本 : 7名
その他 : 6名	その他 : 17名

LSIのレイアウト設計自動化技術に関するワークショップで、MCNCの主催で行われた。MCNCでは、論理合成と、自動レイアウトに関するワークショップを1987年より毎年交互に行っており、本年はテーマがレイアウトの年にあたる。

ワークショップは、講演とベンチマークを中心に構成されている。表1にプログラムを示す。

3 講演について

11のセッションが開かれ、25件の発表が行われた。発表者の内訳を以下に示す。

発表者内訳

所属機関別	国別
企業 : 9件	米国 : 17件
大学 : 14件	日本 : 2件
その他 : 2件	その他 : 6件

レイアウト設計自動化についてほぼ全ての分野をカバーする内容となっている。特別なテーマとして、並列シミュレーティッドアニーリング法における誤差の考察と、分枝限定法を用いた配置手法などが取り上げられた。

4 ベンチマークについて

MCNCでは、ベンチマークの目的を次の様に位置付けている。

1. レイアウトシステムやアルゴリズム評価のための共通基盤の構築
2. レイアウトシステムにとって業界標準である、代表的なデータの収集
3. 大規模データによる性能限界の向上
4. ベンチマークデータからのフォーマット変換の容易さ

今回のベンチマークデータは、90年1月末より配布が開始され、最終的に3回のアップデートが行われた。

データはYAL (Yet Another Language)、VPNR (Vanilla Place 'N Route) の2種類のフォーマットで配布された。(当初一部のデータについては、一方のフォーマットのみ)

参加者の便宜を図るため、以下のパーサやデータ変換ソフトウェアがデータに添付された。

- ・YAL parser
- ・VPNR→YAL変換
- ・VPNR parser
- ・VPNR→Timberwolf変換
- ・YAL→VPNR変換
- ・VPNR→EDIF変換

ベンチマークは、7テーマについて行われた。テーマ名とデータ数を表2に、参加研究機関名と参加テーマを表3に示す。参加者は、結果のプロット図面を掲示と共に、ベンチマークセッションで、システムやアルゴリズムの紹介と実験結果の説明を行った。

最も参加が多かったテーマは、①のマクロセルレイアウトであり、計5機関が参加した。

表4、5、6に、スタンダードセル、マクロセル、マクロセル・スタンダードセル混在型、それぞれのベンチマークデータの内容を示す。

ベンチマークチュアのKozminski氏(MCNC)が行ったデータについての解説によると、

1. スタンダードセルのデータ中で、規模の面を除いて最も困難なデータはbiomedである。その理由は、他のデータに比べて端子数の極端に多いネットが複数存在するためである。
2. fract、struct、biomedはMCNCのセルライブラリを使用しており、フィードスルーをすることがほとんどできない。
3. industry1はセル上配線の性能をテストするためのデータである。
(industry1のセルの端子は、セル内部に存在する。このデータのレイアウトを試みた機関はなかった-筆者注)

4. マクロセルのデータでは、ami49中のブロックの大きさの違いが最も大きく、apte中のブロックはほぼ同じ大きさである。

ベンチマークの結果は、同じデータについての結果が少ないため、テーマ①と、テーマ⑥のデータ primary2 について比較できる程度である。レイアウト時の条件(スタンダードセルの段数等)の違いを考慮すると、厳密に比較することは難しいと思われる。

今後のベンチマークの課題として、Kozminski氏は以下の項目をあげた。

1. データの充実
 - ・コンパクト--より大規模なデータが必要
 - ・混在型--マクロセル数とスタンダードセル数の比の違いデータが必要
 - ・Sea-of-Gate用ベンチマーク
 - ・配置のみや配線のみベンチマーク

2. ベンチマークデータの統合
 - ・同じ回路を用いた異なる種類のベンチマーク

データの統合について、MCNCでは biomed のデータを最初の候補と考えている。これは、このデータについて異なるレベルの回路記述が既に存在するためである。

筆者はワークショップチェアの Franc Brglez 氏(MCNC)と話す機会を得た。MCNCでは、より多くの人々がベンチマークに参加することを望んでおり、日本でのベンチマーク活動については大歓迎で、日本からの新しいデータの提供やベンチマーク結果の公表などを期待している、ぜひ協力してやっていきたい、とのことであった。

[参考文献]

K. Kozminski, MCNC Layout Benchmarks, Third Annual OASIS Research Review, Vol. II.

表4 Standard cells benchmark profiles

参加テーマ	データ数
① マクロセルレイアウト	5
② レイアウトコンパクト	7
③ フレキシビリティ	7
④ ゲートアレイ	4
⑤ マクロセルスタンダードセル混在型レイアウト	3
⑥ スタンダードセルレイアウト	8
⑦ フロアプランニング	2

Name	#cells	#nets	#I/O	pins/net	pins/cell	net cardinality
fract	125	147	24	2.79	3.63	70(2),44(3), ... 3(17)
primary1*	752	985	81	3.35	3.97	558(2), 249(3), ... 11(17), 3(18)
struct	1888	1920	64	2.82	2.86	737(2), 1152(3), 32(17)
industry1	2271	2593	814	3.09	3.53	1712(2),405(3), ... 1(238), 1(320)
primary2*	3014	3136	107	3.83	3.99	1941(2), 365(3), ... 1(34), 1(37)
biomed†	6417	5742	97	3.88	3.47	3998(2), 870(3), ... 4(656), 1(861)
industry2*	12142	13419	495	3.57	3.95	9407(2), 2024(3), ... 2(516), 1(585)
industry3*	15059	21940	375	3.1	4.52	10959(2), 6112(3), ... 1(88), 1(325)

* Also used as gate array benchmarks

† Also used as a floorplanning benchmark

表2 ベンチマークのテーマ

表5 Macro cells benchmark profiles

参加機関	参加テーマ
Yale Univ.(注1)	①, ④, ⑥
東芝	④
京都大学	①
U.C.Berkeley	①, ⑦
Seattle Silicon	①, ⑤, ⑥
Delft Univ.	①
MCNC	⑥
Duke Univ.(注2)	⑤

Name	#blocks	#nets	#I/O	pins/net	pins/cell	net cardinality
ami33	33	123	40	3.9	14.5	104(2),10(3), ... 1(50), 1(56)
ami49	49	408	22	2.28	19	336(2), 52(3), ... 6(9), 1(10)
apte	9	97	73	2.21	23.8	59(2), 26(3), ... 1(14), 3(15)
hp	11	83	45	3.18	24	45(2), 11(3), ... 2(516), 1(585)
xerox*	10	203	2	3.43	69.6	128(2), 43(3), ... 1(31), 1(72)

* Also used as a floorplanning benchmark

(注1) 結果のみ公表

(注2) プロット図面のみ公表

表6 Mixed macro/standard cells benchmark profiles

表3 ベンチマーク参加機関とテーマ

Name	#blocks	#cells	#nets	#I/O	pins/net	pins/cell	net cardinality
g2	17	113	362	72	2.56	7.54	239(2),82(3), ... 2(12), 1(22)
a3	25	519	928	49	2.66	6.46	664(2), 136(3), ... 3(17), 1(21)
t1	26	432	1123	65	2.49	7.81	891(2), 113(3), ... 1(26), 1(33)

表1 1990年ワークショップ・プログラム

MCNC Program of the International Workshop on Layout Synthesis Research Triangle Park, North Carolina, USA May 8-11, 1990 Sponsored by MCNC in Cooperation with acm SIGDA		Thursday, May 10
Tuesday Evening, May 8		8:30-9:00a.m. Continental Breakfast (MCNC)
4:30-8:30p.m.	Registration (Holiday Inn)	9:00-10:30a.m. Session 6: Floorplanning Session Chair: Ralph Otten, Delft University of Technology Session Co-Chair: Krzysztof Kozminski, MCNC
8:30-9:30p.m.	Reception and cocktails (Holiday Inn)	6.1 GRCA: A Global Approach for Floorplanning Synthesis, A. Henjfel, Swiss Federal Institute of Technology
Wednesday, May 9		6.2 Floorplanning with In-Place Quadripartitioning, J. Paolokat, G. Zimmerman, University of Kaiserslautern
8:30-9:15a.m.	Continental Breakfast (MCNC)	6.3 An Optimal Algorithm for Floorplan Area Optimization, T. Wang, D. Wong, University of Texas-Austin
9:15-9:30a.m.	Introduction Franc Brglez, Workshop Chairperson, MCNC Matt Kuhn, President, MCNC Carl Sechen, Technical Program Chairperson Yale University	10:30-11:00a.m. Break
9:30-10:30a.m.	Session 1: Macro Cell Layout Systems Session Chair: Carl Sechen, Yale University	11:00-12:30p.m. Session 7: Special Topics Session Chair: Jonathan Rose, University of Toronto
1.1	Ongoing Research and Development of BEAR Layout System, M. Pedram, UC-Berkeley, W. Wai Dai, UC-Santa Cruz, M. Marek-Sadowska, UC-Berkeley, Y. Ogawa, Hitachi, Ltd.	7.1 Clock Tree Design for Period Minimization in Standard Cell Layout, D. Joy, M. Ciesielski, University of Massachusetts
1.2	New Algorithms for the Placement and Routing of Macro Cells, W. Swarcz, C. Sechen, Yale University	7.2 Permissible Error in Parallel Simulated Annealing, M. Durand, Columbia University, S. White, IBM Corp.
10:30-11:00a.m.	Break	7.3 Equilibrium Conditions of Asynchronous Parallel Simulated Annealing, D. Graessing, IBM Corp./UCLA
11:00-12:00p.m.	Session 2: Mixed Macro/Standard Cell Layout Session Chair: Al Dunlop, AT&T Bell Laboratories Session Co-Chair: Michael Lorenzetti, MCNC	12:30-1:30p.m. Lunch (MCNC)
2.1	Simulated Annealing Placement for Mixed Macro Cell and Standard Cell Layout, M. Upton, K. Sami, S. Sugiyama, Seattle Silicon Corp.	1:30-3:00p.m. Session 8: Symbolic Layout and Compaction Session Chair: Jeff Burros, IBM, Corp. Session Co-Chair: David Boyer, Bellcore
2.2	MONTAGE: An Automatic Layout System for Mixed Standard Cells and Macro Blocks-Extended Abstract, J. Apte, G. Kedem, Duke University	8.1 DASL: Constraint Graph Compaction with Symbolic Tubes, D. Boyer, Bellcore
12:00-1:00p.m.	Lunch (MCNC)	8.2 Lazy Constraint Generation for 2D Compaction, G. Bois, E. Cerny, Université de Montréal
Duke University • North Carolina State University • University of North Carolina at Chapel Hill North Carolina A&T State University • University of North Carolina at Charlotte • Research Triangle Institute		8.3 Symcell: A Symbolic Standard Cell Design System, K. Ramachandran, R. Cordell, D. Olay, D. Deutsch, A. Kwah, Bellcore
1:00-2:30p.m.	Session 3: Detailed Routing Session Chair: Malgorzata Marek-Sadowska, UC-Berkeley Session Co-Chair: James Cohoon, University of Virginia	3:00-3:30p.m. Break
3.1	New Layout Synthesis Benchmarks, K. Kozminski, MCNC	3:30-5:00p.m. Session 9: Standard Cell Placement Session Chair: Dwight Hill, AT&T Bell Laboratories Session Co-Chair: Krzysztof Kozminski, MCNC
3.2	A Detailed Router for Field Programmable Gate Arrays, S. Brown, J. Ross, Z. Vranasic, University of Toronto	9.1 A Method of Dataflow Oriented Cell Initial Placement, T. Hamoi, C. Miura, S. Miyamoto, Hitachi, Ltd.
3.3	MARS: A General Routing Framework, M. Igusa, A. Sangiovanni-Vincentelli, UC-Berkeley	9.2 A New Standard Cell Placement Approach Using Tabu Search Techniques, M. Bartholomeus, Siemens AG
2:30-3:00p.m.	Break	9.3 A New Area-Based Figure of Merit for Layout Synthesis Systems, A. Rajanata, A. Tyagi, UNC-Chapel Hill
3:00-4:00p.m.	Session 4: Channel Routing Session Chair: Malgorzata Marek-Sadowska, UC-Berkeley Session Co-Chair: James Cohoon, University of Virginia	6:00p.m. Dinner (Holiday Inn)
4.1	Compacted Channel Routing on Deutsch's New Benchmarks, H. Chen, J-F Lee, IBM Corp.	7:30p.m. Panel Session by the pool (Holiday Inn)
4.2	The Effect of Channel Router Algorithms on Chip Yield, M. Lorenzetti, MCNC	Friday, May 11
6:00p.m.	Dinner (Holiday Inn)	8:30-9:00a.m. Continental Breakfast (MCNC)
7:30p.m.	Session 5: Benchmark Poster Introductions (Holiday Inn) Session Chair: Krzysztof Kozminski, MCNC	9:00-10:30a.m. Session 10: Global Routing Session Chair: Ulrich Lauther, Siemens AG/UC-Berkeley
		10.1 Mickey: A Macro Cell Global Router, D. Chen, C. Sechen, Yale University
		10.2 Standard Cell Global Routing Optimization, S. Hustin, Cadence Design Systems Inc.
		10.3 A Global Router for Sea-of-Gates Circuits, K-W Lee, C. Sechen, Yale University
		10:30-11:00a.m. Break
		11:00-12:00p.m. Session 11: Branch and Bound Placements Session Chair: Satoshi Goto, NEC Corp. Session Co-Chair: Gerhard Zimmerman, Univ. of Kaiserslautern
		11.1 Branch-and-Bound Placement for Building Block Layout, H. Onodera, Y. Taniguchi, K. Tamaru, Kyoto University
		11.2 Optimal Linear Ordering with a Flexible Cost Function, H. Cai, P. Six, H. De Man, IMEC vzw
		12:00-1:00p.m. Lunch (MCNC)
		1:00p.m. A tour of MCNC, including the NC Supercomputing Center, will be conducted. Shuttle buses depart for airport.

MCNCベンチマーク回路

前記ワークショップにおけるレイアウトに関するベンチマーク回路(表2)は次の4国際会議で用いられた回路をベースに作成された。

- ① 1987 Physical Design Workshop
(ゲートアレイ、スタンダードセル)
- ② 1987 ICCD (コンパクション)
- ③ 1988 MCNC Int. Workshop on Placement and Routing (①+ビルディングブロック)
- ④ 1989 Physical Design Workshop
(モジュールジェネレーションとシリコンコンパイラ)

MCNCでは、表2の回路の他に、以下の設計工程に関する回路を配布している。

1. テスト

テストに関するベンチマーク回路は、1985年のISCAS (International Symposium on Circuits and Systems) において、今年のワークショップの委員長である Franc Brglez氏 (MCNC) と藤原先生 (明治大学) によって提案された10個の回路(表7)と、1989年に追加された31個の回路がある。

表7 テスト用ベンチマーク回路 (1985年版のみ)

Circuit Name	Circuit Function	Total Gates	Input Lines	Output Lines	Faults ¹
C432	Priority Decoder	160 (18 EXOR)	36	7	524
C499 ²	ECAT	202 (104 EXOR)	41	32	758
C880	ALU and Control	383	60	26	942
C1355 ²	ECAT	546	41	32	1574
C1908	ECAT	880	33	25	1879
C2670	ALU and Control	1193	233	140	2747
C3540	ALU and Control	1669	50	22	3428
C5315	ALU and Selector	2307	178	123	5350
C6288	16-bit Multiplier	2406	32	32	7744
C7552	ALU and Control	3512	207	108	7550

¹ Reduced equivalent fault set based on equivalence fault collapsing.

² Circuits C499 and C1355 are functionally equivalent. All EXOR gates of C499 have been expanded into their 4-NAND gate equivalents in C1355.

2. 論理合成

論理合成に関するベンチマーク回路は次の3種類よりなる。

- ① ESPRESSO-MV 形式の状態遷移表 (表8)
- ② ESPRESSO 形式の2段論理式 (表9)
- ③ BLIF 形式の多段論理式 (表10)

これらのデータの他には標準的なセルライブラリが2種類用意されている。最終的には、上記回路の合成・最適化を行い、用意されたセル(ゲート)を用いた多段回路を合成することが目的となる。

表8 状態遷移ベンチマーク回路

FSM Name	Inputs	Outputs	Products	States
bbara	4	2	60	10
bbsse	7	7	56	16
bbtas	2	2	24	6
beecount	3	4	28	7
cse	7	7	91	16
dk14	3	5	56	7
dk15	3	5	32	4
dk16	2	3	108	27
dk17	2	3	32	8
dk27	1	2	14	7
dk512	1	3	30	15
donfile	2	1	96	24
ex1	9	19	138	20
ex2	2	2	72	19
ex3	2	2	36	10
ex4	6	9	21	14
ex5	2	2	32	9
ex6	5	8	34	8
ex7	2	2	36	10
keyb	7	2	170	19
kirkman	12	6	370	16
lion	2	1	11	4
lion9	2	1	25	9
mark1	5	16	22	15
mc	3	5	10	4
modulol2	1	1	24	12
opus	5	6	22	10
planet	7	19	115	48
planet1	7	19	115	48
sl	8	6	107	20
sla	8	6	107	20
s8	4	1	20	5
sand	11	9	184	32
scf	27	56	166	121
shiftreg	1	1	16	8
sse	7	7	56	16
styr	9	10	166	30
tav	4	4	49	4
tbk	6	3	1569	32
train11	2	1	25	11
train4	2	1	14	4

回路の品質を評価する目安としては、ゲート数（またはセルの総面積）と最大遅延時間が挙げられている。しかし、セルに割り当てる前の回路のリテラル数および論理段数を用いて評価する場合もある。

日本では、富士通研究所などで積極的にベンチマークが行われている。

表9 2段論理ベンチマーク回路

Circuit Name	Inputs	Outputs	Product Terms
5xp1	7	10	75
9sym	9	1	87
bw	5	28	87
duke2	22	29	87
rd53	5	3	32
rd73	7	3	141
rd84	8	4	256
sac2	10	4	58
vg2	25	8	110
con1	7	2	9
misex1	8	7	32
misex2	25	18	29
misex3	14	14	1848
misex3c	14	14	305
seq.pla	41	35	1459
clip.pla	9	5	167
o64.pla	130	1	65
e64.pla	65	65	65
xor5.pla	5	1	16
apex1.pla	45	45	206
apex2.pla	39	3	1035
apex3.pla	54	50	280
apex4.pla	9	19	438
apex5.pla	117	88	1227

表10 多段論理ベンチマーク回路

Circuit Name	Circuit Function	Inputs	Outputs	Approx. Gates
9symml	Count Ones	9	1	43
f51ml	Arithmetic	8	8	43
z4ml	2-bit Add	7	4	20
C432	Priority Decoder	36	7	160
C499	Error Correcting	41	32	202
C880	ALU and Control	60	26	383
C1355	Error Correcting	41	32	546
C1908	Error Correcting	33	25	880
C2670	ALU and Control	233	140	1193
C3540	ALU and Control	50	22	1669
C5315	ALU and Selector	178	123	2307
C6288	16-bit Multiplier	32	32	2406
C7552	ALU and Control	207	108	3512
des	Data Encryption	256	245	74000
rot	Logic	135	107	691
b9	Logic	41	21	125
apex6	Logic	135	99	452
apex7	Logic	49	37	176

3. モジュール・ジェネレーション

今年のワークショップでは、1989年の Physical Design Workshop で用いられたベンチマーク回路の内2つだけがスタンダードセル用回路として用いられただけである。この2つを含めてモジュールジェネレーションに関してはいくつかの回路が存在する。これらは、次の5グループに分類されている。

- ① 中規模セルによる機能テスト
8ビット・アキュムレータ (416 Tr)
- ② ALU
4ビットALU (307 Tr)
小数乗算器 (125ゲート、722 Tr)
16ビット整数乗算器 (2,000ゲート、8990 Tr)
- ③ FSM
信号機制御回路 (54ゲート、332 Tr)
中規模回路 (653ゲート、3998 Tr)
大規模回路 (18,000ゲート、94,554 Tr)
- ④ RAM
SRAM
- ⑤ アナログ
オペアンプ、フィルタ

日本では、日立中央研究所、シャープ、などでベンチマークが行われている。

MCNCベンチマークの問い合わせ先:

Krzysztof Kozminski
MCNC
P.O.Box 12889
RTP, NC 27709
USA
tel. 919-248-1969
e-mail kk@mcnc.org

日本におけるベンチマーク活動状況

— レイアウトを中心に —

情報処理学会設計自動化研究連絡会には、いくつかの分科会がある。「CADモデル」は1989年7月に新設された分科会である。分科会は現在、11企業、10大学から、レイアウト関連の研究開発に従事している22名の委員で構成されている。以下に、CADモデル分科会の目的、ならびに、過去、現在、未来の活動について述べる。

1. CADモデル分科会の目的

ベンチマーク回路の収集、作成、配布を行い、ベンチマークを普及させ研究開発成果の具現化を行うことにより、CAD技術者の研究開発意欲の向上、学会での研究発表機会の増加をはかることを目的とする。国際的には、MCNCワークショップへの日本からの参加を増やし、各個人の知名度を上げることによって、国際会議での論文採択件数増加を試み、DAC (Design Automation Conf.) でベンチマーク・セッションを設け日本からの参加を呼びかけることを目的とする。

ベンチマークの重要性はもはや言うまでもないが、今年のICCAD (International Conference on Computer-Aided Design) の Call for Papers を見てもわかるように、単なるヒューリスティック手法の場合は特に、実際の回路データによる実験結果の提示が求められる。ベンチマーク結果は、国際会議で論文が採択されるための十分条件から必要条件に変わりつつあるといえよう。

2. 今までの活動

分科会の活動が軌道に乗るまでは、とりあえず、国内で研究開発者が多く、また、今年のMCNCワークショップのテーマであるレイアウトを中心として活動を行うこととした。

2-1. 既存ベンチマーク回路の収集と国内配布

MCNCのベンチマークは、現在、世界的に普及している唯一のものである。分科会ではMCNCが配布しているすべての回路を入手した。また、この回路のすべて、もしくは、一部を11企業、11大学に配布した。

2-2. 1990年 MCNCワークショップへの参加奨励

ベンチマークへの試みを呼びかけ、MCNCワークショップへの参加を奨励した。これにより、レイアウトに関しては、7企業、3大学で何らかの形でベンチマークが行われた。ワークショップへの参加状況は前記の通りである。

3. 現在進行している活動

MCNCベンチマークの国内普及は一段落したと考えられる。現在は、ベンチマークの質の向上とベンチマーク環境の整備を目的として以下の活動を行っている。

3-1. 既存ベンチマークの適性判断

MCNCベンチマーク回路を検討することにより、その適正を判断する作業を開始した。これにより、ベンチマークの真の姿、ベンチマークはこうあるべきだという指針を定めてゆきたい。この検討結果はMCNCにフィードバックされることになる。CADモデル分科会は、MCNCに対抗するものでなく、二人三脚で進んでゆく。

3-2. データフォーマットの指定

レイアウト用入出力データのフォーマットは複数

あるが、国内では1つに統一べく検討を行っている。この作業が順調にいくと大きな利点が生じる。それは、有名な基本的手法などを指定されたフォーマットに基づいてインプリメントしておけば、それをパブリック・ドメイン的に配布することにより、他の研究機関ではインプリメントする必要がなくなり、ベンチマーク環境の大幅な改善となるからである。

現在は、EDIFが有力候補となっている。EDIFが選定された場合には、ベンチマーク用EDIF入門冊子の作成と配布を予定している(EDIFは表現方法に自由度があるため、ある程度記述に関する制約を設ける必要がある)。この作業は、設計自動化研究連絡会「特定テーマ」分科会と合同で行われている。

3-3. デザインルール・ライブラリの検討

デザインルール・ライブラリに関する検討を行っている。基本的には、MCNC同様、MOSISのデザインルール・ライブラリに従う予定である。

3-4. 日本版ベンチマーク回路の作成

企業では、ベンチマーク用回路の選定と3-2で指定されるフォーマットによって公開する向けの加工作業が始まった。この回路はその後、3-1の適性判断、必要に応じて修正作業を経た後、CAD関連各所に配布されることになる。同時に、MCNCに登録されることになる。

4. 今後の活動(企画)予定

前節の活動が順調に進行すれば、次のような企画が可能となる。

4-1. DAワークショップでのポスターセッション

昨年まで「DAシンポジウム」が今年より「DAワークショップ」と改名され、8月30日より9月1日まで南箱根生産性研修会館で開催される。このワークショップにおいて、ベンチマーク結果やCADシ

ステムのデモンストレーションを行いたい。これは、「特定テーマ」分科会と合同で行われる。

4-2. CAD競技会の企画

DACの投稿締切である11月前後に「CAD競技会」が開催できれば理想的であろう。

4-3. 1991年 DAC でのベンチマーク・セッションの企画と参加奨励

上記のベンチマークに関する活動により基礎体力をつけた後、DACでベンチマーク・セッションを設け日本から多く研究者が参加できるようにしたい。これは、本分科会の当初の最終目的である。

5. おわりに

ベンチマークは何と云っても、多くの人々の挑戦がなくては意味がありません。CADモデル分科会の活動がきっかけとなり、1人でも多くの方がCADベンチマークに興味を持ち、ベンチマーク結果を公表したり、1つでも多くのパブリック・ドメイン・CADソフトを流通させてくださることを心より希望いたします。

今後は、活動に余裕ができ次第、論理合成やテスト、シミュレーションなどの分野でのベンチマーク環境を整えて行く所存ですので、その際には、関係各所の御協力をお願い申し上げます。

また、本分科会に対する御意見、御希望などございましたら遠慮なく御連絡ください。

連絡先：〒193 八王子市館町815-1

拓殖大学工学部情報工学科

佐藤政生

tel. 0426-65-1441 内線 5301

fax. 0426-64-2743

e-mail satom@wucc.waseda.ac.jp

(電話連絡がとりにくいことが、しばしばございますので、その時には伝言を残しておいてください。)