

## 組合せ回路の単一短絡故障に対する検出率の一評価法

山崎 浩二      山田 輝彦

明治大学理工学部

あらまし Abramoviciらの方法を拡張した、組合せ回路の単一短絡故障に対する検出率を評価する実用的な方法を提案する。評価は次の手順で行われる：

- 1)短絡故障と縮退故障の関係に着目して、短絡故障が検出できるか否かを調べる。
- 2)論理シミュレータを活用して、残りの短絡故障が検出できるか否かを調べる。

実験結果は、単一縮退故障検出用テスト集合が短絡故障に対しても有効であることを示している。また、評価に要する時間は縮退故障シミュレーションの10倍程度である。

### An Approach to Evaluate the Single Bridging Fault Coverage for Combinational Circuits

Kouji Yamazaki and Teruhiko Yamada

School of Sciencd and Technology, Meiji University

Abstract This paper proposes a practical approach for evaluating the single bridging fault coverage, which extends the conventional approach proposal by Abramovici. This approach consists of the following processes;

- 1)To determine the detection of bridging faults based on the relations between bridging faults and stuck-at faults.
- 2)To determine the detection of the remaining bridging faults with feedback loops, utilizing the logic simulator.

Computer experiments show that a test set for single stuck-at faults is useful for the detection of bridging faults and this approach requires about ten times CPU time of stuck-at fault simulation.

## 1. はじめに

従来より、テスト品質は主として単一縮退故障の検出率を用いて評価されてきた。しかしながら、VLSIでは短絡と断線が同程度の頻度で発生するので、単一短絡故障に対する検出率を評価し、場合によっては短絡故障に対するテスト生成をすることも必要であると思われる。

文献[1]では、小規模な回路についてはあるが、単一縮退故障検出用のテストパターンによる単一短絡故障の検出率が評価されており、また短絡故障のテスト生成についても考察がなされている。このような研究・開発を進めるためには、大規模な回路に対して短絡故障の検出率を効率よく評価できるツールを開発することが必要不可欠である。

ベル研のLAMPシステムには、ディダクティブ法にもとづく短絡故障のシミュレータがインプリメントされている[2]。しかし、起こりうる単一短絡故障の数は回路規模の2乗に比例するので(但し、レイアウトを考慮するとその数はかなり減少する)、大規模な回路では故障リストが膨大なものとなってしまい、この方法は必ずしも効率がよいとはいえない。これに対して、縮退故障と短絡故障が検出される条件の關係に着目し、縮退故障のシミュレータを活用して短絡故障の検出率を評価する方法[3]が提案されている。この方法は、フィードバックループを生じる短絡故障の評価が不十分ではあるが、処理効率の大幅な向上が期待できる。

本稿では、文献[3]の方法を拡張して、フィードバックループを生じる短絡故障についての問題点を解決した評価法を提案する。また、計算機実験による性能評価の結果を示す。

## 2. 短絡故障回路の動作[4]

論理ゲートで構成され、フィードバックループをもたない組合せ回路Cにおいて、2本の信号線間に短絡が生じた場合の動作を0遅延モデルの下で考える。回路Cに信号線aからbに至る経路が少なくとも1つ存在するとき、この回路は次の部分回路 $C_a$ 、 $C_b$ 、 $C_z$ を図1(a)の実線で示すように接続した回路 $\tilde{C}$ と等価である。

$C_a$ :  $v_a$ を出力、 $V$ を入力とし、各入力から信号線aに至る経路上の全てのゲートよりなる回路。

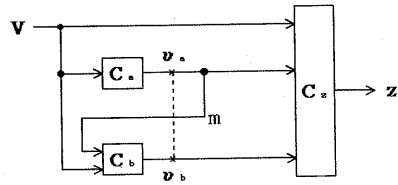
$C_b$ :  $v_b$ を出力、 $V$ 及び $v_a$ を入力とし、各入力から信号線bに至る経路上の全てのゲートよりなる回路。

$C_z$ :  $z$ を出力、 $V$ 、 $v_a$ 及び $v_b$ を入力とし、各入力から $z$ に至る経路上の全てのゲートよりなる回路。

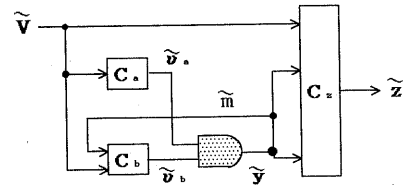
但し、 $V$ 、 $z$ 、 $v_a$ 、 $v_b$ はそれぞれ回路Cの外部入力、外部出力、信号線a、bの信号を表す。

回路Cの信号線aとbに短絡故障が存在するときの動作は、回路 $\tilde{C}$ に破線で示す短絡故障が存在するときの動作と等価である。さらに、この短絡故障がワイヤードANDとして機能する場合は、同図(b)のようにフィードバックループをもつ非同期順序回路としてモデル化できる。この回路を $\tilde{C}_{..}$ と表す。 $\tilde{V}$ 、 $\tilde{z}$ 、 $\tilde{v}_a$ 、 $\tilde{v}_b$ は、それぞれ回路Cの $V$ 、 $z$ 、 $v_a$ 、 $v_b$ に対応する。以下で、回路 $\tilde{C}_{..}$ のものである

ことを明示するためにこの記号“ $\sim$ ”を付す。なお、信号線aからbに至る経路が存在しないときは、信号線 $\tilde{m}$ がない特別な場合と考えることができる。



(a)  $\tilde{C}$



(b)  $\tilde{C}_{..}$

図1 短絡故障をもつ組合せ回路のモデル

テスト $t_i$ における故障回路 $\tilde{C}_{..}$ の振舞いを、 $t_i$ における回路Cの信号線a、bの信号 $v_{..}$ 、 $v_{..}$ に関して、表1のように分類することができる。なお、 $v_{..} \rightarrow v_{..}$ は信号線aからbに至る活性化経路が存在し $v_{..}$ の値が $v_{..}$ の値によって決まることを、また $v_{..} \rightarrow v_{..}$ はそうでないことを表す。

表1 故障回路 $\tilde{C}_{..}$ の振舞い

$v_{..}$	$v_{..}$	$v_{..} \rightarrow v_{..}$	$v_{..} \nrightarrow v_{..}$
1	1	保 持	正 常
1	0	発 振	aに0誤り
0	1	bに0誤り	
0	0	正 常	

表1の“保持”、“発振”とは、フィードバックループの作用により、以下に例示するような現象が生じることを表す。

### [例1]

図2の回路Cにおいて、信号線aとjが短絡したとき、この回路は図3(a)のようにモデル化できる。この故障回路

$\tilde{C}_{s,j}$ に(b)のテストを行なった場合は、(c)のように動作する。

・正常回路Cではテスト $t_1$ において $v_{1a}=v_{1j}=1$ であるが、故障回路 $\tilde{C}_{s,j}$ ではテスト $t_0$ での値を保持するため、テスト $t_1$ において $\tilde{v}_{1a}=\tilde{v}_{1j}=0$ となる。

・ $\tilde{C}_{s,j}$ にテスト $t_2$ を加えると信号線 $\tilde{a}$ と $\tilde{j}$ には0と1が交互に現れ、発振する。

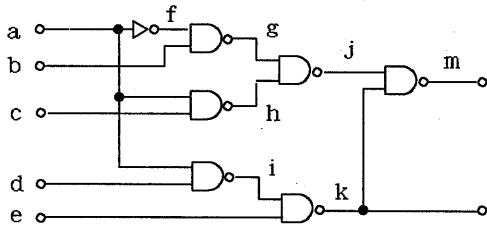
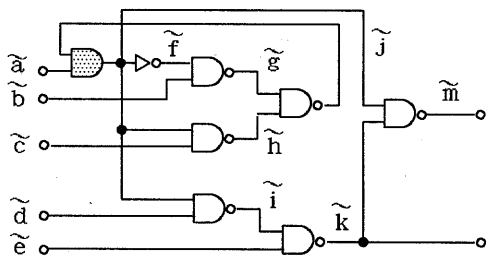


図2 被検査回路C



(a) 故障回路 $\tilde{C}_{s,j}$

	a	b	c	d	e	k	m
$t_0$	0	0	0	1	1	0	1
$t_1$	1	0	1	1	1	1	0
$t_2$	1	1	0	1	1	1	1

(b) テスト

	$\tilde{a}$	$\tilde{b}$	$\tilde{c}$	$\tilde{d}$	$\tilde{e}$	$\tilde{f}$	$\tilde{g}$	$\tilde{h}$	$\tilde{i}$	$\tilde{j}$	$\tilde{k}$	$\tilde{m}$
$t_0$	0	0	0	1	1	1	1	1	1	0	0	1
$t_1$	0	0	1	1	1	1	1	1	1	0	0	1
$t_2$	x	1	0	1	1	x	x	1	x	x	x	x

但し、 $x: 0 \Rightarrow 1$

(c)  $\tilde{C}_{s,j}$ での各信号線の値

図3 故障回路 $\tilde{C}_{s,j}$ における”保持”，”発振”の例

ワイヤードORとして機能する短絡故障の場合は、図1(b)の回路でANDゲートの代わりにORゲートを挿入することにより同様に考えることができるので、以下ではAND短絡についてのみ述べる。

### 3. 検出率の評価法

#### 3.1 診断テーブル[5]

テスト $T = \{t_0, t_1, \dots, t_n\}$ の短絡故障の検出率を評価するために、以下に示すような診断テーブルを作成する。ただし、ファンアウトは全て等電位であるので、外部入力線及び論理ゲートの出力線のみを対象とする。 $t_i \in T$ を正常回路に加えたときの信号線aの値を $v_{ia}$ とすると、各テストを行、各信号線を列とする診断テーブルの要素 $d_{ia}$ を次のように定義する。

(1)  $v_{ia} = 0$ の場合

$$d_{ia} = 0$$

(∵信号線aにANDタイプの短絡が生じても、aに1誤りが発生することはない)

(2)  $v_{ia} = 1$ の場合

i) 信号線aの値を0に固定したとき、外部出力で誤りが観測される場合

$$d_{ia} = e$$

ii) 信号線aの値を0に固定しても、外部出力で誤りが観測されない場合

$$d_{ia} = u$$

このような診断テーブルは、それぞれの信号線の0縮退故障に対するシミュレーションを流用して容易に作成することができる。

[例2]

図2の回路の表2(a)のテストに対する診断テーブルは表2(b)のように得られる。

表2 テストと診断テーブル

(a) テスト

(b) 診断テーブル

	a	b	c	d	e		a	b	c	d	e	f	g	h	i	j	k	m
$t_0$	0	1	1	0	0		$t_0$	e	u	e	e	u	u	e	e	e		
$t_1$	1	1	0	1	1		$t_1$	e	u	e	u	e	e	e	e	e		
$t_2$	1	1	1	1	1		$t_2$	e	u	e	e	u	u	e	e	e		
$t_3$	1	0	1	1	1		$t_3$	e	e	e	u	e	e	e	e			
$t_4$	0	0	1	1	1		$t_4$		u	u	e	u	u	e	e	e		
$t_5$	1	1	0	1	0		$t_5$	e	u	u	e	e	e	e	e	e		
$t_6$	1	0	0	0	1		$t_6$	u		e	u	e	e	e	e	e		

※0の記入は省略

### 3. 2 出力異常の観測される条件

故障回路 $\tilde{C}_i$ にテスト $t_i$ を行なったときに、外部出力で0誤り、1誤りまたは発振が観測される条件は、表1と診断テーブルの定義から次のように求められる。

(1)  $v_{i1} = v_{i2} = 1, v_{i1} \rightarrow v_{i2}$ の場合

フィードバックループの作用によって $\tilde{y}$ の値が0に保持されたときに、信号線 $\tilde{a}$ と $\tilde{b}$ の両方に0誤りが生じる。このときの故障回路 $\tilde{C}_i$ の各信号線の値は、回路Cにおいて信号線aの値を0に固定した状態で $t_i$ を印加したときの、それぞれに対応する信号線の値と同じである。従って、 $d_{i1} = e$ であるときに限り、外部出力で誤りが観測される。上記より、 $t_i$ より一つ前のテストにおける $\tilde{y}$ の値が0で、かつ $(d_{i1}, d_{i2}) = (e, u)$ または $(e, e)$ ならば外部出力で誤りが観測される。

(2)  $v_{i1} = 1, v_{i2} = 0, v_{i1} \rightarrow v_{i2}$ の場合

フィードバックループの作用によって $\tilde{y}$ の値が発振する。従って、 $(d_{i1}, d_{i2}) = (e, 0)$ であれば、 $\tilde{y} = 0$ において外部出力の値が回路Cの値と異なるので、発振または誤りが観測される。また、 $(d_{i1}, d_{i2}) = (u, 0)$ であっても、 $\tilde{y} = 1$ における外部出力の値が回路Cの値と異なるときには発振が観測される。

(3)  $v_{i1} = 1, v_{i2} = 0, v_{i1} \nrightarrow v_{i2}$ の場合:

信号線 $\tilde{a}$ にのみ0誤りが生じるので、 $(d_{i1}, d_{i2}) = (e, 0)$ ならば外部出力で誤りが観測される。

(4)  $v_{i1} = 0, v_{i2} = 1$

信号線 $\tilde{b}$ にのみ0誤りが生じるので、 $(d_{i1}, d_{i2}) = (0, e)$ ならば外部出力で誤りが観測される。

表1より、上記の場合以外で出力誤りが観測されることはない。

### 3. 3 評価手順

上記の条件を用いた、単一短絡故障の検出率の評価手順を以下に述べる:

任意の2本の信号線の組の全てを要素とする集合をF、与えられたテストパターンで検出できる単一短絡故障の集合を $D = \phi$ 、検出できない単一短絡故障の集合を $U = \phi$ とする。ただし、AND及びNANDゲートのファンアウトを持たない入力線間の短絡故障は冗長であるので、予めFから除去しておく。

① 条件(2)、(3)、(4)より、 $(d_{i1}, d_{i2}) = (0, e)$ または $(e, 0)$ であれば、信号線aとbの短絡はテスト $t_i$ で検出可能である。このような $t_i$ が一つでも存在する信号線の組の全てをFから除去し、Dの要素とする。

② Fの要素のうち、2線間に経路が存在しない場合は常に $v_{i1} \nrightarrow v_{i2}$ であるので、条件(3)、(4)より、検出できない。従って、このような信号線の組の全てをFから除去し、Uの要素とする。

③ 条件(1)、(2)より、Fの要素で $(d_{i1}, d_{i2}) = (e, e)$ 、 $(e, u)$ または $(u, 0)$ であるテ

スト $t_i$ が存在しないものは検出できない。従って、このような信号線の組の全てをFから除去し、Uの要素とする。

④ Fの要素のうち、 $(d_{i1}, d_{i2}) = (e, e)$ または $(e, u)$ 、 $v_{i1} \rightarrow v_{i2}$ 、かつ一つ前のテスト $t_{i-1}$ で $y = 0$ (注参照)であるテスト $t_i$ が存在するものは、条件(1)より検出可能である。従って、このような信号線の組の全てをFから除去し、Dの要素とする。

⑤ Fの要素のうち、 $(d_{i1}, d_{i2}) = (u, 0)$ 、 $v_{i1} \rightarrow v_{i2}$ 、かつbを1に固定したときの外部出力の値が期待値と異なるテスト $t_i$ が存在するものは、条件(2)より検出可能である。従って、このような信号線の組の全てをFから除去し、Dの要素とする。

⑥ 与えられたテストパターンでFの残りの要素を検出することはできない。従ってFの残りの要素の全てをUの要素とする。 ■

注) テスト $t_{(i-1)}$ において $v_{(i-1)1} = 0$ であり、テスト $t_{(i-1)+1} \sim t_{(i-1)}$ の任意のテスト $t_k$ で $(v_{k1}, v_{k2}) = (1, 1)$ かつ $v_{k1} \rightarrow v_{k2}$ であるとき、テスト $t_{i-1}$ で $y = 0$ であると判定する。この判定は、論理シミュレーションを用いて行っている。

#### [例3]

図2の回路の表2(a)のテストに対する検出率を上記の手順により評価する。

なお、ここでは信号線aとbの短絡を $(a \cdot b)$ と表すことにする。

$(b \cdot f)$ 、 $(e \cdot i)$ 、 $(g \cdot h)$ は冗長故障であるのでFから除去する。

①  $(d_{i1}, d_{i2}) = (0, e)$ または $(e, 0)$ であるテスト $t_i$ をもつ信号線の組をFから除去する。

$$F = \{ (a \cdot d), (a \cdot g), (b \cdot h), (c \cdot j), (d \cdot g), (g \cdot m), (h \cdot m) \}$$

② Fの要素のうち、2線間に経路の存在しないものをFから除去し、Uの要素とする。

$$F = \{ (a \cdot g), (c \cdot j), (g \cdot m), (h \cdot m) \}$$

$$U = \{ (a \cdot d), (b \cdot h), (d \cdot g) \}$$

③ Fの各要素について、 $(e, e)$ 、 $(e, u)$ または $(u, 0)$ であるテストが少なくとも一つ存在する。

④ Fの各要素について、

$$\cdot (a \cdot g)$$

$$(d_{11}, d_{12}) = (e, e), v_{11} \rightarrow v_{12},$$

$$(v_{01}, v_{02}) = (0, 0)$$

であるから検出可能。

$$\cdot (c \cdot j)$$

$$(d_{21}, d_{22}) = (e, e), v_{21} \rightarrow v_{22}$$

$$(v_{11}, v_{12}) = (0, 0)$$

であるから検出可能。

- (g · m)  
 $(d_{1g}, d_{1m}) = (e, e), v_{1g} \rightarrow v_{1m}$   
 $(v_{0g}, v_{0m}) = (0, 0)$

であるから検出可能。

- (h · m)  
 $(d_{1h}, d_{1m}) = (e, e), v_{1h} \rightarrow v_{1m}$   
 $(v_{0h}, v_{0m}) = (1, 0)$

であるから検出可能。

従って、 $F = \phi$ となり、終了。

上記より、未検出故障は

$$U = \{(a \cdot d), (b \cdot h), (d \cdot g)\}.$$

#### 4. 性能評価

前章で述べた手法に基づくプログラムをC言語を用いて SUN4/60上にインプリメントした。

性能評価には、ISCAS'85ベンチマーク回路とFANアルゴリズムによって生成された単一縮退故障検出用のテストパターンを用いた。表3に回路の諸元、テスト入力数及び短絡故障数を示す。

表3の回路に対するテーブルの作成時間、評価に要した時間及び故障の検出率を表4に示す。また図4にテーブルの作成から手順③までに要した時間(100パターン当りに換算)とゲート数の関係を示す。

文献[1]では、規則性をもった回路でテスト数が極端に少ない場合は別として、単一短絡故障検出用のテストパターンで単一短絡故障の98%以上の検出が可能であると述べているが、実験結果はこれを裏付けている。

文献[3]の手法では考察されていなかった”保持”, ”発振”により、更に数百個程度の故障が検出可能となっている。

回路規模に対するテーブル作成時間は、単一縮退故障の場合のシミュレーション時間とほぼ同じオーダー(回路規模の2乗以下)である。また、手順③までに要する時間は、基本的には2乗のオーダーのはずであるが、図4(b)では1乗以下となっている。これは、回路構造とテストにもよると思われるが、大半の故障がテストパターンの最初の方で検出されるためであると思われる。

表3 評価用回路の諸元

回路名	入力数	出力数	ゲート数	テスト数	故障数
c 8 8 0	60	26	383	76	97818
c 1 3 5 5	41	32	546	122	171855
c 1 9 0 8	33	25	880	163	416168
c 2 6 7 0	233	140	1193	147	1015890
c 3 5 4 0	50	22	1669	208	1457839
c 5 3 1 5	178	123	2307	175	3086074
c 6 2 8 8	32	32	2416	57	2995128
c 7 5 5 2	207	108	3512	270	6913215

表4 実験結果

回路名	C P U 時間(sec)			検出率(%)	
	テーブル作成	手順③まで	手順⑥まで	手順③まで	手順⑥まで
c 8 8 0	2.9	1.4	6.1	99.76	99.92
c 1 3 5 5	7.9	5.2	70.8	98.09	98.19
c 1 9 0 8	19.9	8.1	71.3	99.31	99.43
c 2 6 7 0	36.1	25.7	228.9	99.23	99.30
c 3 5 4 0	60.4	56.9	1031.1	98.74	98.79
c 5 3 1 5	133.8	51.4	358.2	99.91	99.94
c 6 2 8 8	29.4	21.3	37.7	99.99	99.99
c 7 5 5 2	417.1	120.0	1255.9	99.88	99.90

## 5. むすび

組合せ回路の単一短絡故障に対する検出率を評価する簡単な手法を提案し、計算機実験によりその性能評価を行った。実験結果は、98%以上の単一短絡故障の検出が簡単なテーブルの検索・比較によって行えることを示している。また、残りの故障数が全故障数に比べてそれほど多くない（全故障数の0.数%程度）と思われるので、個々の故障を論理シミュレータを活用することにより評価する方法を提案し、その有効性を示した。本手法による検出率の評価時間は、縮退故障のシミュレーション時間の数倍から10倍程度であり、実用上問題ないと思われる。

## 謝辞

テストパターン生成プログラムFANおよび評価用の回路データを提供して頂いた本学藤原秀雄教授に感謝致します。

## 参考文献

- [1] S. D. Millman and E. J. McCluskey: "Detecting Bridging Faults With Stuck-at Test Sets", Proc. ITC'88, pp. 773-783 (Sept. 1988).
- [2] S. G. Chappell, C. H. Elmendorf and L. D. Schmidt: "LAMP: Logic-Circuit Simulators", Bell S. T. J., 53, pp. 1468-1470 (Oct. 1974).
- [3] M. Abramovici and P. Menon: "A Practical Approach To Fault Simulation and Test Generation for Bridging Faults", Proc. ITC'83, pp. 138-142 (Oct. 1983)
- [4] 山田輝彦: "組合せ論理回路における短絡故障のテスト", 信学論誌D, J64-D, pp. 963-968 (Oct. 1981)
- [5] 山崎, 山田: "組合せ回路における短絡故障の診断法", 信学全大, SD-10-3 (1989)

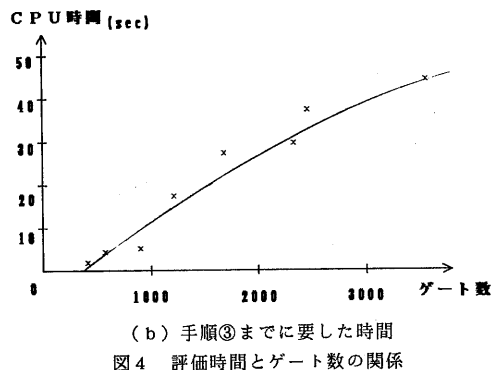
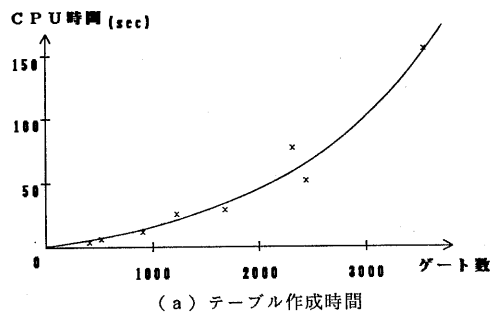


図4 評価時間とゲート数の関係