

# ICCAD報告

松永 裕介† 佐藤 政生††

† (株) 富士通研究所 †† 拓殖大学 工学部 情報工学科

あらまし 本稿では、1990年11月11日から15日にかけて米国・サンタクララで開催されたICCAD-'90について論理合成関係の発表を主に報告を行なう。

## A Report of ICCAD-'90

Yusuke Matsunaga<sup>†</sup> and Masao Sato<sup>††</sup>

<sup>†</sup>FUJITSU LABORATORIES LTD.

1051 Kamikodanaka, Nakahara-ku, Kawasaki 211, Japan

<sup>††</sup>Department of Information Engineering,

Takushoku University, Tokyo 19 3, Japan

**Abstract** This paper reports on International Conference on Computer-Aided Design (ICCAD-'90), which was held on November 11-15, 1990 at Santa Clara, USA

## 1 ICCAD-'90概要

日時： 1990年11月11日～15日

場所： 米国・サンタクララ コンベンションセンター

主催： IEEE circuits & systems societyおよびIEEE computer society

共催： ACM special interest group on design automationおよび, IEEE electron devices society

内容： テクニカル・セッション (3日間, 36セッション)

チュートリアル・セッション (半日×2セッション)

パネル・セッション

ベンダースーツ (22社)

参加人数： 約1,200人

## 2 テクニカル・セッション

テクニカル・セッションは全部で36のセッションよりなり、同時に3つのセッションが並行して行なわれる。全発表件数は124件で、分野別の内訳は次のようである。

高位レベルシミュレーション	7
シミュレーション	21
高位レベル合成	9
論理合成	28
レイアウト検証	10
配置	15
配線	14
テスト生成	13
CADフレームワーク	7

全体として件数では論理合成がもっとも多いが、これは中に論理検証も含まれているため、印象としては最近の国際会議のなかでは論理合成関係の（特に組み合わせ回路合成の）発表がもっとも少なく感じられた。論理合成関係の全体的な傾向としては、順序回路を対象にしたものが増えてきたことと、2分決定グラフ (Binary Decision Diagram) を用いたものが多いことが挙げられる。順序回路の合成/検証に関する発表は14件あり、何らかの形で2分決定グラフを用いているものも11件と、かなりの割合を占

めていた。また、今年から新しい試みとして distinguished paper という表彰が行なわれるようになった。今回は全部で 19 件（内論理合成関係は 3 件）が選ばれている。

以下、本稿ではこのなかから特に論理合成関係の発表をいくつか取り上げる。

### 1C.2 Tautology Checking Using Cross-Controllability and Cross-Observability Relations

E. Cerny, C. Mauras - Univ. de Montreal

今年より設けられた distinguished paper に選ばれている。組み合わせ回路の等価性検証を行なう際に、比較する 2 つの回路をあるカットラインで分けて、そのカットライン上で cross-controllability と cross-observability と呼ばれる関係 (relation) を計算してゆくというものである。論理関数を表現する手段として 2 分決定グラフ (Binary Decision Diagram) を用いた実験では、 $8 \times 8$  ビット乗算器 (を修正して 63 入力 15 出力とした回路) の論理検証を 10 分以内で 500 ノードしか使わずに行なっている (SUN3/260)。同一の例で、出力の論理関数を外部入力のみ関数として 2 分決定グラフで表現することは行なえず (15 出力中 3 出力が計算不可能)、計算可能だった出力に対する関数を計算するのに数時間かかっていることを考慮すると、この手法の効率の良さがわかる。

### 2C.3 Minimization of Symbolic Relations

Bill Lin - Univ. of California, Berkeley, and Fabio Somenzi - Univ. of Colorado

この論文も distinguished paper に選ばれている。symbolic relation とは、Boolean relation を多値に拡張したもので、ある入力に対して出力値が一意でなく特定の集合の中のどれか一つの要素を取ればよい、と規定された多対多の関係 (relation) を指す。この symbolic relation を満たす symbolic function の内でもっともコストの低い (積項数の少ない) ものを求めるアルゴリズムを提案している。アプローチとしては、まず、制約を和積形 2 段論理式で表現し、その論理式を充足する変数値の中で最小コストのものを求める (実は明かに NP 問題) と言うものである。また、この制約論理式を 2 分決定グラフで表現し、2 分決定グラフ上で、'1' の終端ノードへ至る経路のうちで最小コストのものを求めるという手法も提案している。2 分決定グラフを作ることができれば、問題はグラフのノード数に対してリニアな時間で解けることになる。

### 3C.1 A Unified Framework for the Formal Verification of Sequential Circuits

Olivier Coudert, J. C. Madre - BULL Research Center

### 3C.2 Implicit State Enumeration of Finite State Machines using BDD's

Herve Touati, Robert Brayton, Bill Lin, A. Sangiovanni-Vincentelli, Hamid Savoj - Univ. of California

### 3C.3 ATPG Aspects of FSM Verification

Hyunwoo Cho, Gary Hachtel, Seh-Woong Jeong, Bernard Plessier, Eric Shwarz, F. Somenzi - Univ. of Colorado

3C.1がdistinguished paper. 3件ともほとんど同一の手法についての発表で、2分決定グラフを用いて状態遷移図を暗に表現し、有限状態機械の検証や記号シミュレーションを行なう、というものである。例えば、初期状態から到達不可能な状態等を比較的簡単に求めることができる。今後、合成やテスト生成などの分野への応用が期待できる。

### 9C.3 Don't Care Minimization of Multi-Level Sequential Logic Networks

Bill Lin, A. Richard Newton, Herve J. Touati - Univ. of California

3C.2と関連した発表。状態遷移を2分決定グラフを用いて表現し、初期状態から到達不可能な状態 (invalid state) や識別不可能な状態 (equivalent state) を求めて、それらの状態をドントケアにすることによって順序回路を単純化するというもの。

### 11C.3 A Method for Concurrent Decomposition and Factorization of Boolean Expressions

J. Vasudevamurthy, Janusz Rajski - McGill Univ.

論理式を多段論理式に分解 (decompose) してゆく手法の多くはkernelと呼ばれる論理式を計算し、そのkernel自身もしくはkernel同志の共通部分で論理式を割っていくことにより多段論理式を生成するが、この手法ではkernelを用いずにtwo-literal single cube divisorとdouble cube divisorと呼ばれる論理式のみを対象に分解を行なう。従来手法の一つであるバークレイのMISと比較して、計算時間/品質ともに優れた結果を出している。これは主に、divisorを簡単なものに絞ったため探索が少なくてすむこと、divisorの否定で割った時のメリットもあらかじめ評価できること、などが理由として考えられる。

### 追記

平成3年2月5日に電子情報通信学会、VLSI設計技術研究会が東京で開催されます。この研究会では、ICCADのプログラム委員長の後藤 敏氏 (NEC) をはじめとしてICCAD参加者の講演があります。

## ICCAD-90 AT A GLANCE

PM 7:30	<b>SUNDAY, NOVEMBER 11</b>
9:00	Welcome Cocktail Party

MONDAY, NOVEMBER 12				TUESDAY, NOVEMBER 13		
	Rooms E & G	Rooms D, F & H	Multimedia Theatre	Rooms E & G	Rooms D, F & H	Multimedia Theatre
AM 7:00	Continental Breakfast			Continental Breakfast		
7:30	Speaker's Breakfast			Speaker's Breakfast		
8:00	Speaker's Breakfast			Speaker's Breakfast		
8:30	Speaker's Breakfast			Speaker's Breakfast		
9:00	1A Routing Algorithms & Complexity I	1B Timing Analysis & Verification	1C Verification	5A Analog Layout	5B High-Level Synthesis	5C Automatic Test Pattern Generation
9:30	Coffee Break			Coffee Break		
10:00	Coffee Break			Coffee Break		
10:30	Coffee Break			Coffee Break		
11:00	2A Routing Methods	2B Performance Enhancements for Logic & Switch-Level Simulation	2C Interacting Sequential Machines & Boolean Function Manipulation	6A Layout Design & Verification	6B Scheduling & Allocation	6C Topics in Testing
11:30	Lunch			Lunch		
12:00	Lunch			Lunch		
12:30	Lunch			Lunch		
1:00	Lunch			Lunch		
1:30	Lunch			Lunch		
2:00	Lunch			Lunch		
2:30	3A Floorplanning Algorithms	3B Yield Maximization	3C Sequential Verification	7A Analog Design & Test	7B Datapath Synthesis	7C Partial Scan & Test Minimization
3:00	Coffee Break			Coffee Break		
3:30	Coffee Break			Coffee Break		
4:00	Coffee Break			Coffee Break		
4:30	4A Floorplanning Systems	4B Circuit Simulation	4C Logic Synthesis	8A Placement	8B Design Management in CAD Frameworks	8C Built-in Self Test & Diagnostics
5:00	Refreshments			Refreshments		
5:30	Refreshments			Refreshments		
6:00	Refreshments			Refreshments		
6:30	Refreshments			Refreshments		
7:00	Panel: Plateaus and Dead Ends in CAD			Banquet		
7:30	Multimedia Theatre					
8:00	Multimedia Theatre					
10:00	Banquet			Banquet		
10:30	Banquet			Banquet		

## ICCAD-90 AT A GLANCE

WEDNESDAY, NOVEMBER 14				THURSDAY, NOVEMBER 15		
	Rooms E & G	Rooms D, F & H	Multimedia Theatre	CC Ballrooms	CC Ballrooms	CC Ballrooms
AM 7:00	Continental Breakfast			Tutorials		
7:30	Continental Breakfast			Continental Breakfast		
8:00	Speaker's Breakfast			Tutorial Registration (Doubletree Hotel Mezzanine)		
8:30	9A Technology Driven Routing	9B Reliability Simulation	9C Sequential Optimization	Formal Verification of Hardware Designs	Multi-Level Logic Synthesis	What's New in VLSI/CAD: A Manager's Crystal Ball
9:00	Coffee Break					
9:30	Coffee Break					
10:00	Coffee Break					
10:30	Coffee Break			Electrical Modeling of Chip and Package Interconnects	Electrical Modeling of Chip and Package Interconnects	Electrical Modeling of Chip and Package Interconnects
11:00	10A Routing Algorithms & Complexity II	10B Parallel Matrix Techniques	10C Synthesis for Test & Diagnosis			
11:30	Lunch					
12:00	Lunch					
12:30	Lunch			Lunch on Your Own		
1:00	Lunch			Lunch on Your Own		
1:30	Lunch			Lunch on Your Own		
2:00	Lunch			Hi-Level Synthesis	Synthesis for Testability	Sequential Synthesis
2:30	11A Exploratory Initiatives in CAD Frameworks	11B Switch & Logic Simulation	11C Combinational Optimization			
3:00	Coffee Break					
3:30	Coffee Break					
4:00	Coffee Break			Mixed Analog/Digital Simulation	Mixed Analog/Digital Simulation	Mixed Analog/Digital Simulation
4:30	12A Partitioning & Module Generation	12B Linear Circuit Simulation	12C Synthesis Systems			
5:00	Refreshments					
5:30	Refreshments					
6:00	Refreshments			Refreshments		
6:30	Refreshments			Refreshments		
7:00	Refreshments			Refreshments		
7:30	Refreshments			Refreshments		
8:00	Refreshments			Refreshments		
10:00	Refreshments			Refreshments		
10:30	Refreshments			Refreshments		