

全可観測な環境でのスキャンパスを有する順序回路の故障検査について

温 暁青 樹下 行三

大阪大学工学部

本稿では、回路内のすべてのゲートの出力線が観測できる環境での、順序回路の新しい故障検査手法を提案する。EBテストの使用を基礎とする全可観測な環境では、短周期の繰り返しパターンの印加が必要である。本稿では、 k -UCPスキャン回路を提案する。 k -UCPスキャン回路において、そのスキャンパスを用いて回路の組合せ部分に短周期の繰り返しパターンを印加することができる。また、任意の順序回路を k -UCPスキャン回路に変換する手法をも提案する。

Testing of Sequential Circuits with Scan Path under Highly Observable Condition

Wen Xiaoqing Kozo Kinoshita

Faculty of Engineering, Osaka University
2-1, Yamadaoka, Suita, Osaka 565, Japan

In this paper, a new method is proposed for testing sequential circuits under the highly observable condition in which outputs of all gates are assumed to be observable. The highly observable condition is based on the use of EB testers. A basic requirement in using an EB tester is that the circuit under test should be set up into a short and repetitive operation. In this paper, the concept of k -UCP scan circuits is proposed. It is shown that test vectors for all stuck-at faults in the combinational part of a k -UCP scan circuit can be applied in a successive and repetitive manner. A method for modifying a synchronous sequential circuit into a k -UCP scan circuit is also proposed.

1. まえがき

IC回路の高集積化が進み、より高度で複雑な機能を実現するにつれて、外部端子からの測定だけでは、完全な故障診断は困難になってきている。この問題を解決するために、従来のICチップ上に金属針を立てて電位を測定する方法の代わりとして、電子ビームテスト（EBテスト）の使用は不可欠である^[1]-6]。

EBテストは、電子ビームをプローブとして用い、ICの動作状態のまま、ICチップ上の電位分布や電位波形を観測できる装置である。電子ビームを回路に照射すると、二次電子が発生する。二次電子の量が回路表面の電圧に関係するので、それを測ることによりチップ表面上に現れる配線の電圧を知ることができる。EBテストの使用によって、論理レベルで故障検査を考える場合に、回路内のすべてのゲートの出力線が可観測であると仮定することができる。このようなテスト環境を全可観測な環境（Highly Observable Condition）と呼ぶことにする。全可観測な環境では、故障の影響を外部出力線まで伝搬する必要がなく、ゲートの出力線まで伝搬すればよい。

EBテストで電位波形を観測する場合に、回路を周期動作状態しておく必要がある。高い観測精度を得るために、回路の動作周期を短くする必要がある。

EBテストで組合せ回路の故障検査を行う場合に、入力ベクトルの系列 V_1, V_2, \dots, V_n を繰り返して回路に印加する。 n が大きければ、 V_1, V_2, \dots, V_n をいくつかの小さいグループに分けて、毎回1つのグループを選んで回路に印加する必要がある。この方法は、1回に一部の故障しか対象にすることができないので、故障検査の効率がよくない。この問題を解決する方法の一つとして、回路を $k-UCP$ 回路に変換することが考えられる^[7]。 $k-UCP$ 回路は k 入力の基本ゲートとインバータで構成される。本稿で示すように、全可観測な環境において、 $k-UCP$ 回路内のすべての縮退故障を $k+1$ のテストベクトルで検出することができる。 k は普通2か3なので、 $k+1$ のテストベクトルを同時に回路に印加しても、短い回路動作周期が作られる。即ち、 $k-UCP$ 回路がEBテストでの故障検査に適した回路である。

今、順序回路の場合を考える。その順序回路の組合せ部分がすでに $k-UCP$ 回路に変換されたとする。その $k-UCP$ 組合せ部分のテストベクトルを V_1, V_2, \dots, V_{k+1} とする。フリップフロップ（F/F）の存在により、

その $k+1$ のテストベクトルを連続的に繰り返して組合せ回路に印加することが困難または不可能な場合もある。例えば、スキャンバスを用いて V_1, V_2, \dots, V_{k+1} を印加しようとしても、結局 $V_1, P_1, P_2, \dots, P_h, V_2, Q_1, Q_2, \dots, Q_i, V_3, \dots, V_{k+1}, R_1, R_2, \dots, R_j, V_1, \dots$ のような入力になる。このような系列が長くなる可能性があるので、短い回路動作周期が作れる保証がない。順序回路の組合せ部分を $k-UCP$ 回路に変換したことは必ずしもEBテストでの故障検査に適した回路になったとは限らない。

本稿では、順序回路の組合せ部分が $k-UCP$ 回路に変換されたとする。その $k-UCP$ 組合せ回路に故障検査に必要な $k+1$ のテストベクトルを連続的に繰り返して印加する方法を提案する。また、任意の順序回路を $k-UCP$ スキャン回路に変換する手法をも提案する。

第2節では、 $k-UCP$ 回路について簡単な紹介を行う。第3節では、 $k-UCP$ スキャン回路の概念を提案し、そのスキャンバスを利用してテスト系列を印加する手法について述べる。最後に本稿のまとめを行う。

2. $k-UCP$ 回路

本節では、 $k-UCP$ 回路の定義、回路例およびそのテスト手法について簡単にまとめる。

【定義1】 k 入力の基本ゲート（NAND, NOR, AND, OR）とNOTゲートで構成される組合せ回路を、 $k-U$ 回路と呼ぶ。

【定義2】 $k-U$ 回路内の各 k 入力ゲートの入出力線には異なる色を、NOTゲートの入出力線には同じ色を塗るように、 $k+1$ 種の色ですべての信号線を塗ることができれば、その回路は彩色解を持つといい、 $k-U$ 回路と呼ぶ。

【定義3】 $k-U$ 回路内の各信号線に表1に示すように符号+と-（それぞれ正極性と負極性と呼ぶ）を割り当てることができれば、その回路は正しい極性を持つといい、 $k-UP$ 回路と呼ぶ。

【定義4】 彩色解と正しい極性を持つ $k-U$ 回路を $k-$

UCP回路と呼ぶ。

表1 極性割当の規則

| | INPUT | OUTPUT |
|------|-------|--------|
| NAND | + | + |
| AND | + | - |
| NOR | - | - |
| OR | - | + |
| NOT | + | - |
| NOT | - | + |

明らかに、図1の回路は2-UCP回路である。全可観測な環境で、k-UCP回路内の縮退故障とスタック・オープン故障をk(k+1)+1のテストベクトルで検出可能であることが示されている^[7]。本稿では、縮退故障のみを考える。k-UCP回路内の縮退故障を検出するテストパターンを生成するために、予め作られた基本系列と呼ばれる系列を使う。

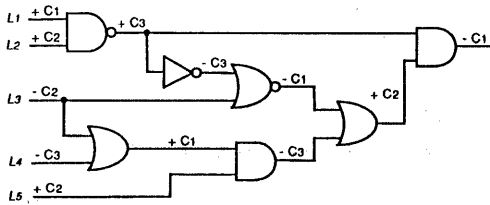


図1 2-UCP回路

【定義5】 系列 $S_1, S_2, \dots, S_{k+1}, T_1, T_2, \dots, T_{k+1}$ は以下に示す条件を満たせば、k-基本系列と呼ぶ。 S_1, S_2, \dots, S_{k+1} (T_1, T_2, \dots, T_{k+1}) をS(T)基本系列と呼ぶ。

$$S_i = a_1 a_2 \dots a_{i-1} a_i a_{i+1} \dots a_{k+1}$$

$$T_i = \overline{S_i}$$

ここで、

$$a_i = 0, a_j = 1, i, j = 1, 2, \dots, k; i \neq j.$$

例えば、2-基本系列は次の6つの系列である。

$$\begin{array}{ll} S_1 = 0 & 1 & 1 & T_1 = 1 & 0 & 0 \\ S_2 = 1 & 0 & 1 & T_2 = 0 & 1 & 0 \\ S_3 = 1 & 1 & 0 & T_3 = 0 & 0 & 1. \end{array}$$

k-基本系列は次の2つの性質を持つ。

【性質1】 任意のi (i = 1, 2, ..., k) に対して、以下の式が成り立つ。

$$\begin{aligned} \text{AND}(S_1, \dots, S_{i-1}, S_{i+1}, \dots, S_{k+1}) &= T_i \\ \text{NAND}(S_1, \dots, S_{i-1}, S_{i+1}, \dots, S_{k+1}) &= S_i \\ \text{OR}(T_1, \dots, T_{i-1}, T_{i+1}, \dots, T_{k+1}) &= S_i \\ \text{NOR}(T_1, \dots, T_{i-1}, T_{i+1}, \dots, T_{k+1}) &= T_i \\ \text{NOT}(S_i) &= T_i, \text{NOT}(T_i) = S_i \end{aligned}$$

【性質2】 任意のk本の異なるS(T)基本系列はk入力NANDとANDゲート(k入力ORとNORゲート)のすべての縮退故障を検出することができる。また、任意のSまたはT基本系列はNOTゲートすべての縮退故障を検出することができる。

任意のk-UCP回路のテストパターンはk-基本系列の組合せであり、次のように簡単に求めることができる。

回路の信号線に割り当てた色を C_1, C_2, \dots, C_{k+1} とする。 S_i を極性+と色 C_i を持つ外部入力線に、 T_i を極性-と色 C_i を持つ外部入力線に印加する。基本系列の性質1より、+(-)と色 C_i を持つすべての信号線に S_i (T_i) が現れる。即ち、回路内の任意のk入力NANDとANDゲート(k入力ORとNORゲート)にk本の異なるS(T)基本系列が現れる。基本系列の性質2より、全可観測な環境で、k-UCP回路内のすべての縮退故障が検出される。例えば、図1の回路は2-UCP回路であり、そのテストの1つは $\langle S_1 \rightarrow L_1, S_2 \rightarrow (L_2, L_5), T_2 \rightarrow L_3, T_3 \rightarrow L_4 \rangle$ である。

明らかに、次の定理が成り立つ。

【定理1】 全可観測な環境で、k-UCP回路内のすべての縮退故障をk+1のテストベクトルで検出することができる。

kは普通2か3なので、すべての縮退故障を検出できるk+1のテストベクトルを同時にk-UCP回路に印加しても、短い回路動作周期が作られる。つまり、k-UCP回路がEBテストでの故障検査に適した回路である。

3. k-UCP スキャン回路

3.1 問題点

同期式順序回路をEBテストでテストするとき、その組合せ部分回路をk-UCP回路に変換することが望ましい。しかし、その組合せ部分への入力の一部がF/Fの出力線であれば、それらの信号線を通してk-UCP組合せ部分へ基本系列を印加することは困難または不可能である。

例えば、図2の順序回路の組合せ部分は2-UCP回路である。この部分をテストするために、LaとLbにそれぞれS1とS3を印加する必要がある。また、F/Fを通して基本系列S3を印加する必要がある。S1とS3の1ビット目の値を組合せ部分に印加したとする。このとき、F/FのDの値が0となる。クロックを1個入れると、Qの値が1になる。即ち、F/Fの出力線Qを通してS3を組合せ部分に印加することができない。

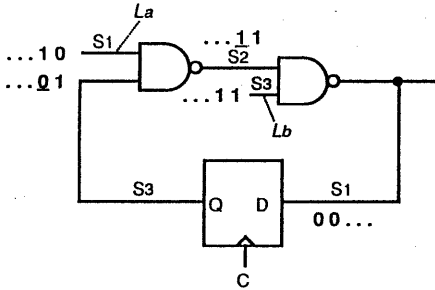


図2 基本系列の印加が困難な例

1節では、順序回路にスキャンパスがあるととしても、基本系列を連続的に繰り返して組合せ部分に印加することができない場合もあると指摘した。この問題を解決するための基本的な考え方はF/Fを特別なスキャンパスにご接続することである。

次に、基本系列に関する有用な性質について述べる。また、k-有効系列の概念を導入する。この概念は特別なスキャンパスを構成するために重要である。

3.2 k-有効系列

[定義6] 系列 $A = a_1 a_2 \dots a_n$ と $B = b_1 b_2$

$\dots b_n$ が $a_i = b_n, a_i = b_{i-1} (i = 1, 2, \dots, n)$ を満たせば、AをBのローテーションと呼び、 $A = r(B)$ で表わす。

例えば、 $A = 10010$ は $B = 00101$ のローテーションである。2節で定義した基本系列について、明らかに、 $S1 = r(S3), S3 = r(S2), T2 = r(T1)$ などが成り立つ。1つの基本系列が他の基本系列のローテーションである必要十分条件を次に示す。

[補題1] k-基本系列 $S_i (T_i)$ が $S_j (T_j)$ のローテーションである必要十分条件は $i = j + 1 \pmod{k+1} (i, j = 1, 2, \dots, k+1)$ である。

(証明) S基本系列はT基本系列の否定なので、ここでは、S基本系列の場合だけについて証明する。

まず、十分性を証明する。iとjが $i = j + 1 \pmod{k+1} (i, j = 1, 2, \dots, k+1)$ を満たすとする。i > 1の時、 $j = i - 1$ となる。S_iのiビット目の値が0、他は全部1なので、 $S_i = r(S_{i-1})$ である。i = 1の時、 $j = k + 1$ なので、 $S_1 = r(S_{k+1})$ である。

次に、必要性を証明する。 $S_i = r(S_j)$ とする。i > 1の時、S_iの定義から明らかなように、jは必ずi-1である。i = 1の時、jは必ずk+1である。□

[定義7] $h_1-h_2-\dots-h_n$ を $1, 2, \dots, k+1$ からなる系列とする。S_iとT_i (i = 1, 2, ..., n)はk-基本系列とする。S_{h_i} = r(S_{h_{i+1}}) または T_{h_i} = r(T_{h_{i+1}}) (i = 1, 2, ..., n-1)の場合、その系列をk-有効系列と呼ぶ。

例えば、1-3-2, 3-2-1, 2-1-3は2-有効であるが、1-2-3は2-有効ではない。

k-有効系列の定義から、次の2つの補題は明らかである。

[補題2] $h_1-h_2-\dots-h_m-c, c-f_1-f_2-\dots-f_n$ がk-有効系列であれば、 $h_1-h_2-\dots-h_m-c-f_1-f_2-\dots-f_n$ もk-有効系列である ($m \geq 2, n \geq 2$)。

[補題3] $h_1-h_2-\dots-h_i-h_{i+1}-\dots-h_m$ がk-有効であれば、 $h_1-h_2-\dots-h_i$ もk-有効である (2

$\leq i \leq m$).

例えば、2-1-3, 3-2-1, 1-3-2が2-有効なので、補題2より、2-1-3-2-1-3-2も2-有効である。また、補題3より、2-1-3-2も2-有効である。

k-有効系列の定義と補題2より、次の系列がk-有効であることが分かる。

$$E_k(1) = [1 - (k+1) - k - \dots - 3 - 2]^*$$

$$E_k(2) = [2 - 1 - (k+1) - \dots - 4 - 3]^*$$

.....

$$E_k(k+1) = [(k+1) - k - \dots - 2 - 1]^*$$

ここで、 $[1 - (i-1) - 2 - 1 - (k+1) - k - (k+1) - k - \dots - (i+2) - (i+1)]^*$ は $1 - (i-1) - 2 - 1 - (k+1) - k - (k+1) - k - \dots - (i+2) - (i+1)$ を無限回繰り返すことを意味する。例えば、 $E_2(1) = [1 - 3 - 2]^* = 1 - 3 - 2 - 1 - 3 - 2 - \dots$ 。

$E_k(i)$ の1番目の要素からm番目の要素までの部分系列を $E_k(i, m)$ と表わすことにする。例えば、 $E_2(1, 5) = 1 - 3 - 2 - 1 - 3$ 。k-有効系列の定義と任意のk-有効系列が i ($i = 1, 2, \dots, k+1$)で始まることより、次の補題が成り立つのが明らかである。

[補題4] i で始まる長さmのk-有効系列は $E_k(i, m)$ で表わすことができる。

例えば、 $2 - 1 - 3 = E_2(2, 3)$, $3 - 2 - 1 - 3 - 2 - 1 - 1 - 3 = E_2(3, 7)$ 。

k-有効系列に関するもう一つの問題は、 h_1, h_2, \dots, h_m ($h_i = 1, 2, \dots, k+1; i = 1, 2, \dots, m$)が長さmの基本系列を構成するかどうかである。 h_1, h_2, \dots, h_m ($h_i = 1, 2, \dots, k+1; i = 1, 2, \dots, m$)の中の t ($t = 1, 2, \dots, k+1$)の数を $Q_t\{h_1, h_2, \dots, h_m\}$ で表わすことにする。例えば、 $Q_1(1, 2, 1, 1, 3) = 3$, $Q_2(1, 2, 1, 1, 3) = 1$, $Q_3(1, 2, 1, 1, 3) = 1$ である。

[補題5] h_1, h_2, \dots, h_m ($h_i = 1, 2, \dots, k+1; i = 1, 2, \dots, m$)が長さmのk-有効系列を構成する必要十分条件は i ($i = 1, 2, \dots, k+1$)が存在し、 $Q_t(E_k(i, m)) = Q_t(h_1, h_2, \dots, h_m)$ ($i = 1,$

$2, \dots, k+1$)を満たすことである。そのk-有効系列は $E_k(i, m)$ である。

例えば、 $V = \{1, 1, 2, 2, 3\}$ を考える。 $Q_1(E_2(2, 5)) = 2 = Q_1(1, 1, 2, 2, 3)$, $Q_2(E_2(2, 5)) = 2 = Q_2(1, 1, 2, 2, 3)$, $Q_3(E_2(2, 5)) = 1 = Q_3(1, 1, 2, 2, 3)$ なので、 $1, 1, 2, 2, 3$ は2-有効系列を構成する。その系列は $2 - 1 - 3 - 2 - 1 = E_2(2, 5)$ である。

3.3 k-UCPスキャン回路

まず、k-UCPスキャン回路の一例を示す。

[例1] 図3に示す順序回路を考える。その組合せ部分がすでに2-UCP回路に変換されたとする。また、各F/Fの出力線に割り当てられた極性がすべて+であるとす。S1→F3→F2→F1のようにスキャンパスを構成する。F1, F2, F3の出力線に割り当てられた色はC1, C3, C2である。1-3-2が2-有効系列である。

まず、F1, F2, F3に0, 1, 1を設定する。その後、 $0 = S_2(2)$, $1 = S_2(3)$, S_2, \dots をS1に印加する。ここで、 $S_2(2)$ は基本系列の2ビット目の値を表わす。明らかに、F1, F2, F3の出力はそれぞれS1, S3, S2の繰り返しである。即ち、この順序回路の2-UCP回路である組合せ部分に所要の基本系列を連

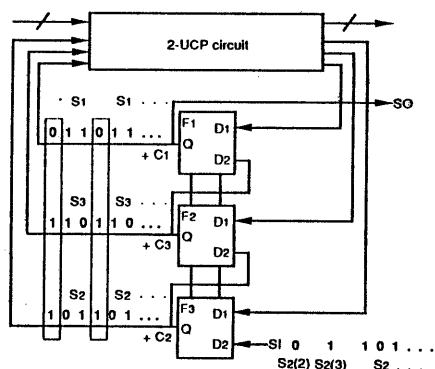


図3 スキャンパスを用いての基本系列の印加

続的に繰り返して印加することができる。それによって組合せ部分を短周期動作にすることができるので、EBテストを用いて故障検査をすることができる。 □

図3に示す順序回路の組合せ部分には、基本系列を連続的に繰り返して印加することができる。一般に、このような性質を持つ回路を次のように定義することができる。

【定義8】 F_1, F_2, \dots, F_n を F/F とする。スキャンパス $S_1 \rightarrow F_n \rightarrow F_{n-1} \rightarrow \dots \rightarrow F_1 \rightarrow S_0$ を持つ順序回路が次の条件を満たせば、この順序回路を k -UCP スキャン回路と呼ぶ。

- 1) 順序回路の組合せ部分が k -UCP 回路である。
- 2) F_1, F_2, \dots, F_n の出力線が同じ極性を持つ。
- 3) F_1, F_2, \dots, F_n の出力線の色を Ch_1, Ch_2, \dots, Ch_n とすると、 $h_1-h_2-\dots-h_n$ が k -有効系列である。

明らかに、図3に示す回路は2-UCP スキャン回路である。

【補題6】 k -UCP スキャン回路において、スキャンパスを通して組合せ部分に基本系列を連続的に繰り返して印加することができる。

(証明) k -UCP スキャン回路においてまず、スキャンパスを通して、 F_1, F_2, \dots, F_n にそれぞれ $Sh_1(1), Sh_2(1), \dots, Sh_n(1)$ を設定する。その後、スキャンイン端子 S_1 に $Sh_n(2), Sh_n(3), \dots, Sh_n(k+1)$ を順次に印加する。ここで、 $S_i(t)$ は基本系列の S_i の t ビット目の値を表わす。明かに、 F_n の出力は Sh_n である。 F_t の出力が Sh_t であるとする ($t \leq n$) と、 F_{t-1} の出力は $Sh_{t-1}(1), Sh_{t-1}(2), \dots, Sh_{t-1}(k)$ となる。 $h_1-h_2-\dots-h_n$ が k -有効系列なので、 $Sh_{t-1} = r(Sh_t)$ である。つまり、 F_{t-1} の出力は Sh_{t-1} である。従って、 F_i の出力は必ず Sh_i である。

さらに、 S_1 に $Sh_n(1)$ を加えた時、 F_1, F_2, \dots, F_n にそれぞれ $Sh_2(k+1), Sh_3(k+1), \dots, Sh_{n-1}(k+1), Sh_n(1)$ が現れる。 $h_1-h_2-\dots-h_n$ が k -有効系列なので、 $Sh_2(k+1) = Sh_1(1), Sh_3(k+1) = Sh_2(1), \dots, Sh_{n-1}(k+1) = Sh_{n-1}(1)$ となる。上の説明より、この時さらに S_1 に $Sh_n(2), Sh_n(3), \dots, Sh_n(k+1)$ を順次

に印加すると、 F_i の出力は必ず Sh_i の繰り返しとなる。 S_1 に Sh_n を繰り返して加えると、 F_i の出力は必ず Sh_i の繰り返しとなる。

T 基本系列は S 基本系列の否定なので、上に述べた結論が T 基本系列についても成り立つ。 □

3.4 k -UCP スキャン回路のテスト手法

k -UCP スキャン回路の故障検査は2段階に分けて行われる。第1段階では、シフトレジスタとして機能するスキャンパスをチェックする。 F/F がこの方法でテストできると仮定する。特に、EBテストを使用するときよい観測性が得られるので、このテストがもっと簡単にできる。第2段階では、スキャンパスを通して基本系列を印加して組合せ部分をテストする。基本系列を連続的に繰り返して組合せ部分に印加することができるので、EBテストで組合せ部分をテストすることができる。従って、 k -UCP スキャン回路はEBテストでの故障検査に適した回路である。以上述べたことより、次の定理が成り立つ。

【定理2】 全可観測な環境で、 k -UCP スキャン回路の故障検査が簡単に行われる。

4. 回路変換法

順序回路のすべてが必ずしも k -UCP スキャン回路ではない。この節では、任意の同期式順序回路を k -UCP スキャン回路に変換する手法を提案する。

一般に、回路変換は2段階に分けて行われる。まず、順序回路の組合せ部分を k -UCP 回路に変換する。その後、回路全体が定義8に挙げられた条件を満たすようにさらに調整を行う。

任意の組合せ回路を k -UCP 回路に変換する手法はすでに提案されている^[8]。与えられた回路が k -NAND ゲート (k -NOR ゲート) で構成されていれば、その回路を k -UCP 回路に変換するオーバーヘッドが低いことが実験によって分かった。

k -UCP 回路に対して、極性の割り当ての結果は1通りしかないのも、もし各 F/F の出力の極性が異なるならば、それを付加ゲートで調整する必要がある。例えば、図4(a)の F_2 が-極性を持つので、ANDゲートで調整す

る必要がある。これを図4(b)に示す。

各F/Fに割り当てられた色を Ch_1, Ch_2, \dots, Ch_m とする。 h_1, h_2, \dots, h_m が t_1, t_2, \dots, t_m というk-有効系列を構成すれば、 $SI \rightarrow Ft_m \rightarrow Ft_{m-1} \rightarrow \dots \rightarrow Ft_1 \rightarrow SO$ というスキャンパスを構成することによって、k-UCPスキャン回路が得られる。 h_1, h_2, \dots, h_m がk-有効系列を構成しなければ、次のような処理が必要である。

k-UCP回路に対して、色の割り当ての結果が1通り以上ある場合もある。この場合に考えられるのはすべての可能な色の割り当てを求め、その中にk-有効系列に対応する色の割り当てがあるかどうかを調べる方法である。しかし、すべての彩色解を求めるには時間がかかる場合もあるので、ある彩色解が与えられたとして、回路変換を行う必要がある。

ここで、F/FのF1, F2, ..., Fnに割り当てられた色を Ch_1, Ch_2, \dots, Ch_m とし、 h_1, h_2, \dots, h_m がk-有効系列を構成しないとする。この場合に、付加ゲートを用いて回路変換を行う必要がある。提案する回路変換手法は次の手続きで与えられる。

手続き C_m (回路変換) :

1) 順序回路の組合せ部分をk-UCP回路に変換する。そのk-UCP回路の彩色解を1つ求める。

2) 極性+を持つF/F数を $F+$ 、極性-を持つF/F数を $F-$ とする。 $F+$ と $F-$ を求める。

3) $F+ > F-$ ($F+ \leq F-$) の場合、AND (OR) ゲートを極性- (+) を持つF/Fの出力線に挿入する。

4) P_t を空にする ($t = 1, 2, \dots, k+1$)。

5) $t \leftarrow 1$ 。

6) W_r を空にする ($r = 1, 2, \dots, k+1$)。

7) 色 C_i を持つF/Fを集合 W_i に入れる ($i = 1, 2, \dots, k+1$)。

8) $E_k(t, m)$ の示す順番に集合 W_r ($r = 1, 2, \dots, k+1$) から要素を取り出し、列 P_t を作る。もし空の W_d から要素を取り出す必要があれば、空でなくしかも残った要素のもっとも多い列 W_g から要素F/Fを取り出す。このF/Fに $\langle d, g \rangle$ というマークを付ける。

9) $t \leftarrow t+1$ 。 $t \leq k+1$ の場合、6)に戻る。 $t > k+1$ の場合、次へ。

10) F/Fに付けられたマークがもっとも少ない P_t

を選び、それをPとする。

11) Pの示す順番にスキャンパスを構成する。もし出力に極性+ (-) を持つF/Fに $\langle d, g \rangle$ マークが付けられていれば、2つのNAND (NOR) ゲートをF/Fの出力線に挿入して、出力の色を C_g から C_d に調整する。□

2) と3) では、各F/Fの出力線が同じ極性を持つように調整する。4) ~ 11) では、なるべく少ない付加ゲートで回路全体をk-UCPスキャン回路に変換する。次は回路変換手続き C_m の一例である。

[例2] ある順序回路の組合せ部分がすでに2-UCP回路に変換されたとする。各F/Fの出力線に割り当てられた極性と色を図4(a)に示す。F2だけの極性が-なので、 $F+$ は7、 $F-$ は1である。1つのANDゲートを図4(b)に示すようにF2の出力線に挿入することによって、極性の調整を行う。

各F/Fの出力線に割り当てられた色は $C_1, C_1, C_2, C_2, C_3, C_3, C_3, C_3$ である。補題5から、1, 1, 2, 2, 3, 3, 3, 3 が2-有効系列を構成しないことが分かる。

W_1, W_2, W_3 は次のようになる。

$W_1: F_1, F_2$

$W_2: F_3, F_4$

$W_3: F_5, F_6, F_7, F_8$

$t = 1$ のとき、 $E_2(1, 8) = 1-3-2-1-3-2-1-3$ が使われる。このとき、 $P_1 = F_1-F_5-F_3-F_2-F_6-F_4-F_8 < 1, 3 > -F_7$ が求められる。同じように、 $t = 2$ と $t = 3$ のとき、 $P_2 = 3-1-5-4-2-6-8 < 2, 3 > -7 < 1, 3 >$ 、 $P_3 = 5-3-1-6-4-2-7-8 < 2, 3 >$ がそれぞれ求められる。この場合、Pに P_1 を選べばよい。Pの示す順番に形成されたスキャンパスは図4(c)に示す。2つのNANDゲートが F_8 の色を C_3 から C_1 に調整するために使われる。□

同期式順序回路をk-UCPスキャン回路に変換するオーバーヘッドは、1) 順序回路の組合せ部分をk-UCP回路に変換するオーバーヘッドと2) スキャンパス部分についての調整に必要なオーバーヘッドを含む。2) は1つのF/Fに付き、最悪の場合3、最良の場合0のk入力付加ゲートを必要とする。

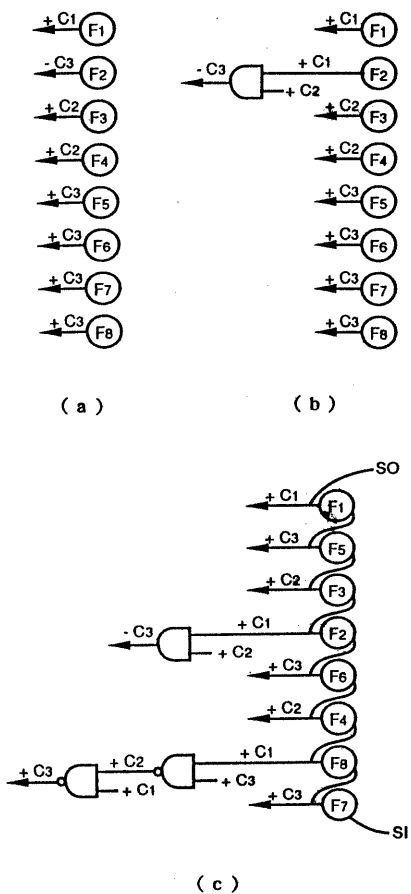


図4 回路変換例

5. むすび

本稿では、全可観測な環境での順序回路の故障検査について考察した。全可観測な環境の基礎であるEBテストを使うときの基本要請は回路が短い周期で動作することである。組合せ回路の場合、この要請は、回路をk-UCP回路に変換することによって満たされる。ところが、順序回路の場合、組合せ部分をk-UCP回路に変換するだけでは不十分である。

本稿では、k-UCPスキャン回路の提案を行なった。

k-UCPスキャン回路のスキャンパスを用いて組合せ部分に基本系列を連続的に繰り返して印加することができる。これはEBテストを利用する故障検査にとって不可欠である。また本稿では、任意の順序回路をk-UCPスキャン回路に変換する手法をも提案した。

本稿で提案した手法はEBテストを利用する効率的な故障解析に用いることができる。将来の課題として、F/Fのテスト系列の生成や組合せ回路の故障箇所の特的手法などの考察がある。また、順序回路のベンチマーク回路に対して回路変換を行ない、付加回路の評価を行いたい。

参考文献

- [1] E. Wolfgang: "Electron Beam Testing", in "Handbook of Advanced Semiconductor Technology and Computer Systems", Van Nostrand Reinhold Co. (1987).
- [2] N. Richardson: "E-Beam Probing for VLSI Circuit Debug", VLSI Systems Design, vol. VIII, pp. 24-29 (1987).
- [3] N. Kuji, T. Tamama, and M. Nagatani: "FINDER: A CAD System-based Electron Beam Tester for Fault Diagnosis of VLSI Circuits", IEEE Trans. CAD, vol. CAD-5, pp. 313-319 (1986).
- [4] 古川, 稲垣: "LSIの非接触診断技術", 電学論, 107-C, 3, pp. 245-250 (1987).
- [5] 山口, 佐藤, 戸所, 荻原, 坂本: "電子ビームテストを用いたVLSIの故障探索法の基礎検討", 信学技報, Vol. 89, No. 71, pp. 9-16 (1989).
- [6] A. Hu and H. Nijima: "New Approaches to Integrate LSI Design Databases with E-beam Tester", Proc. of 1990 International Test Conference, pp. 1040-1049, 1990.
- [7] X. Wen, K. Kinoshita: "Fault Detection and Diagnosis of k-UCP Circuits under Totally Observable Condition", Proc. of 20th FTCS, pp. 382-389, (1990).
- [8] X. Wen and K. Kinoshita: "A Testable Design of Logic Circuits under Highly Observable Condition", Proc. of 1990 ITC, pp. 955-963, (1990).