

3次元VLSIのための初期配置手法

大村 道郎

広島工業大学 工学部 電気工学科

〒 731-51 広島市佐伯区三宅 2-1-1
Tel: 082-921-3121 Fax: 082-923-2889
E-mail: ohmura@cc.it-hiroshima.ac.jp

VLSI設計において、絶縁層と素子領域を交互に積み重ねた3次元ICが注目を集めている。3次元VLSIにおける初期配置では、結合の強いモジュールを各層において平面上で近くに配置するだけでなく、モジュールの層割当てを行いながら、隣接する層も含めて立体的に近くに配置する必要がある。本稿ではネットの重心からの距離に基づいてモジュール対を交換することにより、層割当てを考慮し3次元VLSIにおける初期配置を決定するアルゴリズムを提案する。本稿では提案するアルゴリズムと共に、性能評価のために行ったシミュレーション実験の結果についても述べる。

Initial Placement Method for 3-D VLSI

Michiroh Ohmura

Department of Electrical Engineering
Faculty of Engineering
Hiroshima Institute of Technology

2-1-1, Miyake, Saeki-ku, Hiroshima, 731-51 JAPAN
Tel: 082-921-3121 Fax: 082-923-2889
E-mail: ohmura@cc.it-hiroshima.ac.jp

In VLSI layout design, a 3-D IC has been the focus of attention in which circuits are built on top of circuits. In the initial placement of 3-D VLSI, hardly connected modules should be placed not only near in the same layer, but also near among adjacent layers with layer assignment. In this paper, we propose an initial placement algorithm in which layer assignment is taken into consideration. In this algorithm, the initial placement is determined by interchanging modules based on the distance from the gravity of nets. This paper also describes the results of the simulation experiments conducted...

1 まえがき

近年の集積回路^{[4],[6]}における製造技術の進歩に伴い、MCM^[7]や、絶縁層と素子領域を交互に積み重ねた3次元ICが注目を集めている^{[3],[9]}。VLSIのレイアウト設計においては、3次元チャネルに対する詳細配線手法が幾つか発表されている^{[1],[5],[8]}。しかし3次元VLSIにおける初期配置手法は、まだあまり研究されていない。

初期配置において従来手法を適用するとすれば、最小分割法^[2]等を用いてモジュールの層割当てを行い、各層ごとに対交換法^[10]等により配置の最適化を行うという方法が考えられる。こうすることにより、結合の強いモジュールを同一の層に配置し、その層内で平面的に近くに配置することができる。しかし、この手法では3次元の配線領域を十分に生かした初期配置を得ることはできない。

本稿では各モジュールをネットの重心に近づけることにより、層割当てを行いながら接続の強いモジュール同士を隣接する層も含め立体的に近くに配置する初期配置アルゴリズムを提案する。

本手法ではまず各ネットに対し、それに接続するモジュールの配置座標から、重心を求める。次に各モジュールに対し、そのモジュールに接続するネットの重心からの距離に基づいてゲインを計算する。最後に隣接するモジュールについて、最も大きなゲインが得られるものを入れ換える。

本手法では、モジュールに対しネットの重心からの距離を計算するとき、Z方向のみ定数 k を乗じている。これは層を垂直に通過する配線が同一層内の配線に比べてコストがかかることを考慮したもので、これにより、モジュールの配置を入れ替える際、Z方向を優先させる、すなわち層割当てを考慮することができる。

本稿では、2で3次元初期配置問題の定式化を与え、3でアルゴリズムの概要について述べる。次に4でアルゴリズムの実験

結果について説明し、最後に5で今後の課題について述べる。

2 準備

この章、では3次元初期配置問題について説明する。

2.1 3次元配置領域R

チップ上に実現される回路は、モジュールの集合 $M = \{M_i\}$ によって与えられる。各モジュールは回路を構成する基本的な機能単位である。各モジュール M_i は同一の形状を持つ立方体で、その中心に仮想的な端子をひとつ持つと仮定する。

モジュール間の配線に関する結線要求は、ネットリスト $N = \{n_j\}$ によって与えられる。各ネット n_j は仮想端子の集合で定義されるがここでは単にモジュールの集合で表すものとする。

モジュールを配置する3次元領域を3次元配置領域 R と呼ぶ(図1参照)。 R は格子状に区切られ、それぞれの領域をスロットと呼ぶ。各モジュール M_i の配置座標 (x_i, y_i, z_i) は、 M_i が配置されるスロットの中心座標で表すものとする。

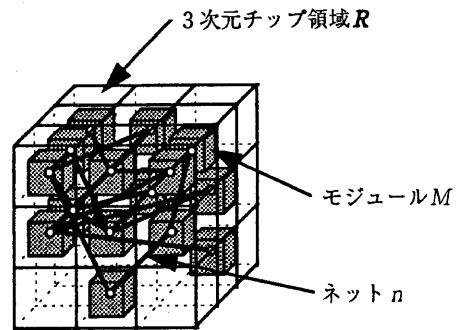


図1 3次元チップ領域

2.2 3次元初期配置問題3D I

まず、3次元配置領域 R における各ネットの配線長について説明する。

各ネット $n_j \in N$ に接続するモジュールの配置座標のうち最大X座標を x_{lj} 、最小座標を

x_{sj} , 最大Y座標を yl_j , 最小座標を ys_j , 最大Z座標を zl_j , 最小座標を zs_j とすると, ネットの配線長の総和 L は次の式で定義される.

$$L = \sum_{n_j \in N} ((xl_j - xs_j) + (yl_j - ys_j) + k(zl_j - zs_j))$$

但し, k は定数である.

層を垂直に通過するネットは, 通常, 同一層内のネットに比べて配線にコストがかかると考えられる. 配線長の総和 L の定義では, Z方向の配線長に定数 k を掛けることにより, このコストを考慮している.

次に3次元初期配置問題を定式化する.

【問題3DI】 入力として, ①モジュールの集合 M , ②ネットリスト N , ③3次元配置領域 R が与えられる. このとき, 目的関数 L の値が最小となるような3次元配置領域 R 内のモジュールの配置を求めよ.

【例1】 入力として図2に示す, ①モジュールの集合 $M = \{M_1, M_2, \dots, M_{18}\}$, ②ネットリスト $N = \{n_1, n_2, n_3\}$, $n_1 = \{M_1, M_2, M_3, M_4, M_5, M_6, M_7\}$, $n_2 = \{M_8, M_9, M_{10}, M_{11}, M_{12}, M_{13}\}$, $n_3 = \{M_{14}, M_{15}, M_{16}, M_{17}, M_{18}\}$, ③3次元配置領域 R (大きき $3 \times 3 \times 3$) が与えられたときの出力の例を図3に示す.

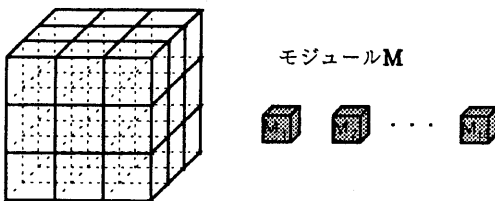


図2 例1における入力

3 3次元初期配置アルゴリズム

次に問題3DIを解くヒューリスティックアルゴリズムを説明する.

3.1 モジュールのゲイン

2.2で述べた仮想配線長を考えると, 例1におけるネット1に接続するモジュールが図4に示すような配置になっている場合を考える. このとき, 仮想配線長は $L = 2 + 2 + k \cdot 2$ となり同時に複数のモジュ

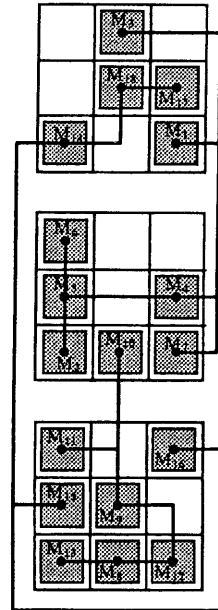


図3 例1における出力

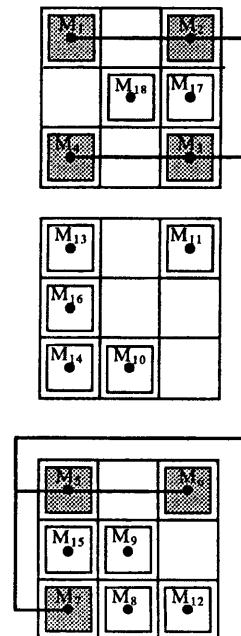


図4 ネット1

ールを動かさない限りこれを短くすることはできない。

そこで、本手法ではネットに対し重心を求め、各モジュールをその重心に近づけるように移動することにより、上述の問題点の解決を試みる。以下にアルゴリズムで必要なモジュールのゲインに関する定義を与える。

各ネット $n_j \in N$ の重心を、 n_j に接続するモジュールの配置の座標の重心と定義し、これを $(x_{g_j}, y_{g_j}, z_{g_j})$ で表す。

各モジュール M_i に対し M_i に接続するネットの集合を N_i で表す。このとき、 M_i の X 軸方向のゲイン ax_i を

$$ax_i = \frac{1}{|N_i|} \cdot \sum_{n_j \in N_i} (x_{g_j} - x_i)$$

と定義する。Y 軸方向のゲイン ay_i も同様に定義する。但し Z 軸方向のゲイン az_i は

$$az_i = \frac{k}{|N_i|} \cdot \sum_{n_j \in N_i} (z_{g_j} - z_i)$$

と定義する。ここで k は定数である。この定数は、問題 3 D I の定式化における配線長の総和 L のところで説明した定数 k に対応している。

[例 2] モジュール M_i がネット $N_i = \{n_j, n_k, n_m\}$ に接続している場合を考える。 $x_{g_j} = -2$, $x_{g_k} = 5$, $x_{g_m} = 7$, $x_i = 1$ であるとき、 M_i の X 軸方向のゲイン ax_i は

$$ax_i = (1/3)((-2-1)+(5-1)+(7-1)) = 2.33$$

となる (図 5 参照)。

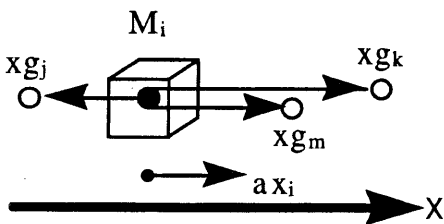


図 5 ax_i

次に 3 次元配置領域 R 内で X 軸方向に隣接するモジュール対 $M_i, M_j (x_i < x_j)$ に対し、ゲイン ax_{ij} を導入する。ゲイン ax_{ij} を

$$ax_{ij} = ax_i - ax_j$$

と定義する。

Y 軸方向に隣接するモジュール対 $M_i, M_j (y_i < y_j)$ に対するゲイン ay_{ij} , Z 軸方向モジュール対 $M_i, M_j (z_i < z_j)$ に対するゲイン az_{ij} も同様に定義する。

[例 3] モジュール対 $M_i, M_j (x_i < x_j)$ が 3 次元配置領域 R 内で X 軸方向に隣接している場合を考える。 $ax_i = 5$, $ax_j = -4$ であるとき、 ax_{ij} は

$$ax_{ij} = 5 - (-4) = 9$$

となる (図 6 参照)。

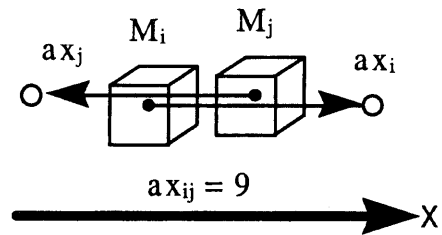


図 6 ax_{ij}

3.2 アルゴリズムの概要

提案するアルゴリズムでは以下に示す手続き 3DIA を数回適用し、解の改善を図る。手続き 3DIA の概要を以下に示す。

[手続き 3DIA]

- S 1 : $MA \leftarrow$ 隣接する全てのモジュール対の集合;
- S 2 : 各ネット $n_j \in N$ に対し、その重心 $(x_{g_j}, y_{g_j}, z_{g_j})$ を求める;
- S 3 : 各モジュール M_i に対し、ゲイン ax_i , ay_i , az_i を求める;
- S 4 : 隣接するモジュール対 $M_i, M_j \in MA$ に対し、そのゲイン $ax_{ij}, ay_{ij}, az_{ij}$ を求

- める；
- S 5 : $max \leftarrow$ ゲイン $ax_{ij}, ay_{ij}, az_{ij}$ のうち最大値 (但し, $ax_{ij}, ay_{ij}, az_{ij}$ は区別しない) ；
- S 6 : $MA = \phi$ または $max < 0$ ならば, S 1 1 へ；
- S 7 : max を与えるモジュール対 (M_i, M_j) の配置を入れ替える；
- S 8 : モジュール M_i, M_j に接続する各ネット n_k に対し, その重心 $(x_{g_j}, y_{g_j}, z_{g_j})$ を更新する；
- S 9 : モジュール M_i, M_j に対し, そのゲイン $ax_{ij}, ay_{ij}, az_{ij}$ を更新する；
- S 1 0 : $MA - ((M_i, M_j))$ として, S 5 へ；
- S 1 1 : 仮想配線長 L を計算し, 終了.

この手続き 3 D I の時間計算量は, $O(|M|N|I|)$ となる. 提案するアルゴリズムでは解の改善ができなくなるまでこの手続きを繰り返して適用する. 手続きを何回適用すれば, アルゴリズムが収束するかということは明らかではないが, 実験した範囲では数回の適用で収束した.

4 実験結果

手続き 3 D I A を日本 DEC 社の DEC station 5000/120MX (21.7MIPS) 上で C 言語を用いて実現した. 乱数データに対する提案手法と従来手法との比較実験の結果を表 1 に示す.

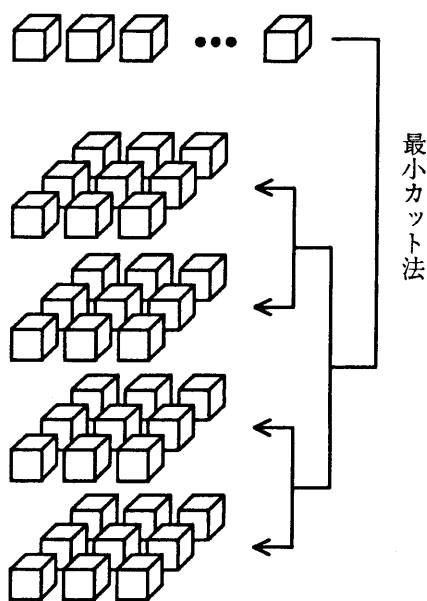
ここで従来手法とは, 与えられた論理回路を最小カット法を用いて分割することにより, まず層割当てをし, 引き続き各層ごとに対交換法により配線長の最小化を行う手法 (図 7 参照) を指すものとする.

問題の定式化において k を大きな値にしたときは, 各層ごとに独立して最適化を行う従来手法で十分適用可能である. しかし層間の配線が自由になるにつれて, すなわち問題の定式化における k の値が小さくなるにつれて, この従来手法では対応できなくなり, 一方で提案手法では変わらず良い解を得ることができる考えられる.

そこでここでは k の値が小さい場合として, $k=1.5$ としたときの提案手法と従来手法の比較実験を行った. このとき提案手法は従来法に対し平均 20.8% 良い解を得ることができた.

表 1 実験結果

データ名	3次元配置領域 R			入力論理回路		仮想配線長 L	
	層数	行数	列数	M	N	従来法	本手法
A	2	2	2	12	10	59	30
B	2	2	3	12	10	34	30
C	2	4	3	24	15	56	45
D	4	2	3	24	20	84	64
E	2	4	3	24	25	88	68
F	2	3	4	24	30	102	89
G	4	3	3	24	40	175	157
H	2	5	5	50	50	241	194



各層ごとに対交換法

図7 従来法

5 あとがき

本研究ではネットの重心からの距離に基づいてモジュール対を交換することにより、層割り当てを考慮し3次元VLSIにおける初期配置を決定するアルゴリズムを提案した。今後の課題として、アルゴリズムの高速化、及び形状の異なるモジュールに対する配置手法の開発などがある。

謝辞 4の実験結果を得るにあたり御協力頂いた本学学部生沖田修一君、土井将利君、中平直也君に感謝します。

文献

- [1] R. J. Enbody, G. Lynn, and K. H. Tan: "Routing the 3-D chip", Proc. 28th DA Conf., pp.132-137 (1991).
- [2] C. M. Fiduccia and R. M. Mattheyses: "A linear-time heuristic for improving network partitions", Proc. 19th DA Conf., pp.175-181 (1982).
- [3] T. Kunio, K. Oyama, Y. Hayashi, and M. Morimoto: "Three dimensional ICs, having four stacked active device layers", Technical Digest, 1989 IEEE IEDM, pp.837-840 (1990).
- [4] T. Lengauer: "Combinatorial Algorithms for Integrated Circuit Layout", Wiley (1990).
- [5] 大村道郎: "3次元グリーディーチャンネルルータの開発", 信学技法, VLD95-60, pp.55-62 (1995).
- [6] S. M. Sait and H. Youssef: "VLSI Physical Design Automation: Theory and Practice", IEEE press (1995).
- [7] N. Sherwani, S. Bhingarde and A. Panyam: "Routing in the Third Dimension: From VLSI Chips to MCMs", IEEE press (1995).
- [8] 袖美樹子, 吉村猛: "多層チャンネルルータ", 信学技報, VLD92-40 (1992).
- [9] A. Wada, K. Morimoto, and Y. Tomita: "4-layer 3-D IC technologies for parallel signal processing", Technical Digest, 1990 IEEE IEDM, pp.599-602 (1990).
- [10] W. Wolf: "Modern VLSI Design A Systems Approach", Prentice Hall (1994).