

Precomputed table を用いたパストランジスタ論理の遅延計算

李 副烈[†]

小西 健三^{††}

瀧 和男^{†††}

puyo@picasso.seg.kobe-u.ac.jp

konishi@icg.sharp.co.jp

taki@picasso.seg.kobe-u.ac.jp

[†]神戸大学大学院自然科学研究科

^{††}シャープ株式会社

^{†††}神戸大学工学部情報知能工学科

〒 657 神戸市灘区六甲台町 1-1

Tel:078-803-1189, Fax:078-803-1218

あらまし 我々は低消費電力 LSI のための回路の構成手法として、パストランジスタ論理 SPL とその論理設計 CAD を研究開発した。その CAD は遅延時間見積りの機能を必要とするが、パストランジスタの多段接続で構成される SPL では精度良く見積もることは困難であった。そこで本稿ではトランジスタの非線形性を 1 次元の precomputed table で表現し、RC モデルに使用される TREE アルゴリズムを用いた遅延計算手法を提案する。提案手法は各トランジスタへの入力の傾きを考慮することで遅延計算を精密に行い、table をコンパクトに表現することで高速化している。合計 3.2KB の table を用いてベンチマークデータで評価した結果、HSPICE との誤差は平均で -3.3% と良好な結果が得られた。

キーワード 遅延計算, パストランジスタ論理, precomputed table, RC モデル

Delay Calculation Method with Precomputed table for Pass-transistor Logic

Bu-Yeol LEE[†]

Kenzo KONISHI^{††}

Kazuo TAKI^{†††}

puyo@picasso.seg.kobe-u.ac.jp

konishi@icg.sharp.co.jp

taki@picasso.seg.kobe-u.ac.jp

[†]Graduate School of Science and Technology, Kobe University

^{††}Sharp Corporation

^{†††}Department of Computer and Systems Engineering, Kobe University

Rokkodai-cho, Nada-ku, Kobe 657, Japan

Tel:+81-803-1189, Fax:+81-803-1218

Abstract We have developed a pass-transistor logic SPL and a dedicated logic synthesis system for the low power LSI design. The system needed a function of delay calculation, however it was hard to realize a precise computation because SPL consisted of a long series of pass-transistors. This paper proposes a delay calculation method that uses small precomputed tables describing non-linear properties of the transistor. The TREE algorithm similar to the computation algorithm in the RC model is used. This method calculates the delays precisely considering the slope of waveforms, and realizes fast computation speed using small tables. Calculation results on MCNC benchmarks show that average errors are only -3.3% from HSPICE results although very small tables(3.2KB) are used.

key words delay calculation, pass-transistor logic, precomputed table, RC model

1 はじめに

近年、携帯情報機器の急速な普及により低消費電力化への要求が非常に高まり、その手法としてパストランジスタ論理が注目を集めている [7]. 我々も低消費電力指向のパストランジスタ論理 SPL [3, 6] とその論理設計 CAD [2] を研究開発した.

SPL は多段のパストランジスタで回路を構成することで低消費電力化に重点を置いた回路方式である. そのため SPL の CAD では既存のセルベースの遅延計算手法を用いることができず、トランジスタレベルでの遅延計算が必要となった. その一方で、SPL の CAD は繰り返し遅延時間見積りを必要とするため高速に遅延計算を行う必要があり、RC モデルを用いてスイッチレベルのタイミングシミュレーションを行っていた. しかしながら、RC モデルでは精密な遅延計算を行うことができず、回路の動作余裕を多く見積る必要があった.

そこで本稿では、トランジスタの非線形性を 1 次元の precomputed table で表現し、RC モデルに使用される TREE アルゴリズムを用いた遅延計算手法を提案する. 提案手法は各トランジスタへの入力への傾きを考慮することで遅延計算を精密に行い、table をコンパクトに表現することで高速化している.

以下、2 では RC モデルとその限界について述べる. 次に 3 では提案手法について述べる. 最後に 4 では基本回路とベンチマーク回路を用いて性能評価を行う.

2 RC モデル

2.1 パストランジスタ回路のモデリング

パストランジスタ回路の入力はゲート入力とドレイン入力¹ (パス入力) に大別される. スイッチレベルのシミュレーションを行うために、最大遅延時間はゲート入力とドレイン入力との間で、ドレイン入力の変化から出力の変化までの遅延時間とする (図 1(a)).

また、各パストランジスタは抵抗 (R) と容量 (C) でモデリングを行う. 図 1(a) の回路に対してトランジスタを π 近似した例を図 1(b) に示す. C_1 はトランジスタのゲートの電位が VDD である場合の容量、 C_0 は GND である場合の容量である.

2.2 RC モデルの遅延計算

2.1 でモデリングされた RC 回路の遅延時間は Lin and Mead の TREE アルゴリズム [4] によって計算される. 遅延時間は式 (1), (2) に示すように入力から計

¹ 入力が立上り波形であるため、ドレイン側になる

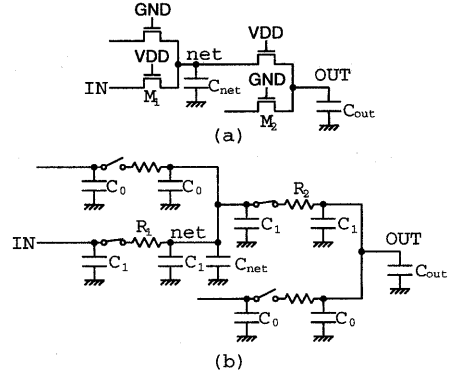


図 1: パストランジスタ回路のモデリング

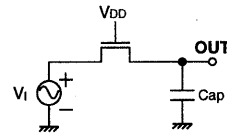


図 2: 1 段の NMOS パストランジスタ回路

算され出力に向かって累算される.

$$\text{delay}(i) = \text{delay}(p(i)) + T_i^{p(i)} \quad (1)$$

$$T_i^{p(i)} = R_{p(i),i} \cdot C_{Li} \quad (2)$$

ここで $\text{delay}(i)$ はネット i での遅延時間、 $p(i)$ はネット i の 1 段入力側のネット、 C_{Li} はネット i から出力までの負荷容量の和、 $R_{i,j}$ はネット i, j 間の抵抗である. パストランジスタの抵抗は非線形であるために、図 2 に示す最も単純なパストランジスタ回路を用いて、ステップ入力を与えたときの遅延時間を測定し、負荷容量で割った値を抵抗値として用いる.

例えば、図 1(b) の RC 回路の遅延時間は、図 3(a) に示すように、 $R_1(R_{IN,net})$ についての遅延時間 (T_{net}^{IN}) と $R_2(R_{net,OUT})$ についての遅延時間 (T_{OUT}^{net}) を累算することで求まる.

$$\text{delay}(net) = R_1 \times (C_1 \times 3 + C_0 \times 2 + C_{net} + C_{out})$$

$$\text{delay}(out) = \text{delay}(net) + R_2 \times (C_1 + C_0 + C_{out}).$$

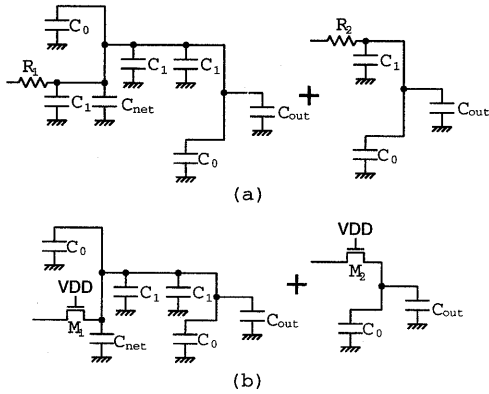


図 3: TREE アルゴリズムによる遅延計算

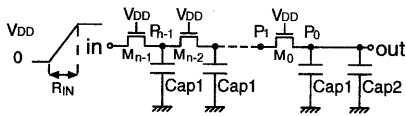


図 4: NMOS パストランジスタの多段接続回路

2.3 RC モデルの限界

RC モデルはパストランジスタを簡潔に記述できるため、非常に高速な遅延計算アルゴリズムである。しかしながら、遅延計算精度に以下の限界を持つ。

1. 回路への入力の傾きを考慮できない。
2. 同サイズのトランジスタは同じ抵抗値を持つ。

まず、1. 入力の傾きについて述べる。RC モデルではステップ入力を用いて抵抗 R を定義しているために、回路への入力の傾きを考慮することができない。この問題を解決するために CMOS 回路向けとしては Slope モデル [5] が提案されている。また、パストランジスタ向けとしても [1] が提案されている。しかしながら、[5] はゲート入力の傾きを考慮しているためにパストランジスタ回路には適用できない。[1] と提案手法との違いは 3.1 で述べる。

次に 2. 抵抗値の問題について述べる。図 4 に示す回路を用いてトランジスタの抵抗値の変化をシミュレーションした。パストランジスタの動作特性のみを明確にするために出力バッファは負荷容量 (Cap2) で代用した。0.8 μm プロセス、電源電圧 3V、NMOS パストラ

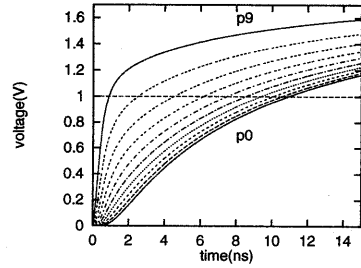


図 5: 多段パストランジスタ回路の信号波形

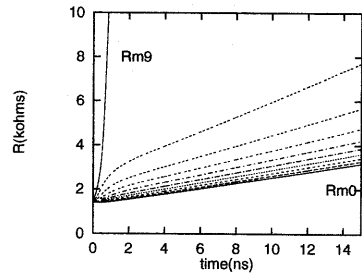


図 6: 多段パストランジスタ回路の抵抗値

ンジスタの $w=4\mu\text{m}$ 、 $\text{Cap1}=30\text{fF}$ 、 $\text{Cap2}=100\text{fF}$ 、入力立ち上がり時間 $R_{IN}=1\text{ns}$ 、パストランジスタ段数 $n=10$ の場合の、 P_i の電圧波形を図 5 に、各トランジスタ M_i の抵抗値 R_{M_i} を図 6 に示す。

図 6 に示すようにパストランジスタではドレインの入力波形の立ち上がり時間が長いほど抵抗値が低くなる。これは CMOS 回路においてゲートへの入力波形の立ち上がり時間が長いほど抵抗値は高くなるのとは対照的である。また、抵抗値は各トランジスタごとに大きく異なり、単純な RC モデルでは様々な構造の回路に対応できないことが分かる。

3 提案手法

3.1 提案手法の特徴

RC モデルでは 2.3 で述べたように 2 つ問題点があった。その問題点を解決する一つの手法として、[1] が提案されている。この手法では非飽和時 (線形領域) のトランジスタの I-V 特性近似式から計算式を用いて遅延計算を行っている。計算式を用いる手法は高速であるという利点を有するが、NMOS パストランジスタの動作を基盤効果によるトランジスタの閾値上昇などを

含めて正確に式で表現することは困難である。

提案手法は式(2)で用いた抵抗の代わりにトランジスタの非線形性を考慮に入れた HSPICE のモデルを用いる手法である。例えば、図 3(a) の RC モデルは図 3(b) に示すように、1 段のバストラジスタと負荷容量でモデリングされる。この回路は RC モデルで用いた抵抗値 R を求める回路(図 2)と全く同じである。すなわち提案手法は各バストラジスタとそのバストラジスタから出力までの負荷容量の和による遅延時間を実際の HSPICE を用いて求め、個々のバストラジスタの遅延時間を累算することで遅延計算を行う方法である。トランジスタごとの遅延時間を求める際は、各トランジスタへの入力傾きを考慮して精密な遅延計算を行う。また実装の際は、各トランジスタの遅延時間を HSPICE で計算する代わりに 1 次元の precomputed table を参照することで高速に計算する。

3.2 バストラジスタへの入力傾き

図 6 で示したようにバストラジスタ回路のトランジスタの抵抗値はそれぞれ異なる。その原因として、トランジスタごとに負荷容量(そのトランジスタから出力までの容量の和)と入力波形が異なるためであると考えられる。また、1 段目のバストラジスタでは入力波形はフルスイングするが、2 段目以降のバストラジスタでは電源電圧からバストラジスタの閾値分低下するため、別々に考慮する必要がある。そこで本手法では、1 段目の入力波形を単純な直線に、2 段目以降の入力波形を指数曲線に別々近似した。したがって、各トランジスタの遅延時間は

$$T_i^{p(i)} = \begin{cases} F_{line}(delay(p(i)), C_{Li}) & \text{if } p(i) = \text{IN} \\ F_{exp}(delay(p(i)), C_{Li}) & \text{otherwise} \end{cases} \quad (3)$$

で表される。入力に最も近いトランジスタ(図 3(b)では M_1)の入力の傾きは回路の入力として与えられた立上り時間である。

このように式(2)の代わりに式(3)を用いて、回路への入力傾きから次のバストラジスタへの入力傾きを順に求めることで、回路への入力傾きと回路内のトランジスタごとの動作の違いを反映する。

3.3 precomputed table

式(3)の F_{line} , F_{exp} は HSPICE で計算された遅延時間をそのまま用いるので、定式化の手間や誤差を押えることができる。しかしながら実装の際、HSPICE を用いて計算を行うと計算に要する時間が RC モデルに比べて桁違いに大きくなる。

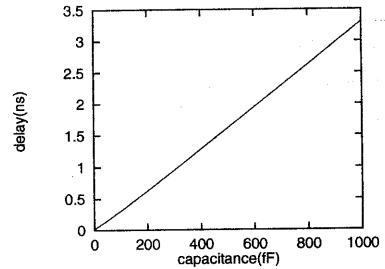


図 7: 負荷容量と遅延時間の関係

そこで本手法では予め HSPICE で計算させた遅延時間をテーブルとして用いる高速化手法 precomputed table 方式を適用した。式(3)から分かるように precomputed table はキーとして入力傾き(入力が論理反転電圧まで達する時間)と負荷容量を用いなければならない。しかしながら、入力傾きと負荷容量は連続値であり、上限も定まらないという性質を持つため、以下の問題点が生じる。

- きめ細かな離散化を行うと precomputed table のサイズは膨大になるため、メモリ効率が悪化し計算時間が増大する。
- 粗い離散化を行うと精密な遅延計算を行うことができない。

本手法ではさらにバストラジスタが常に非飽和動作(線形領域)をする性質を利用して、遅延時間を負荷容量の一次近似式、式(4)で表し、precomputed table のキーを入力の傾きのみにした。

$$T_{slope_i}(C) = A_{slope_i} \times C + B_{slope_i} \quad (4)$$

C は負荷容量、 $T_{slope_i}(C)$ は入力傾きが $slope_i$ で、負荷容量が C のときの遅延時間、 A_{slope_i} は $slope_i$ のときの比例係数、 B_{slope_i} は $slope_i$ のときの定数項である。定数項 B_{slope_i} は内在するトランジスタの容量成分による遅延時間を示す。

実際に負荷容量と遅延時間の線形性を図 2 の回路を用いて、HSPICE でシミュレーションを行って確かめた。シミュレーション条件は $0.8\mu\text{m}$ プロセス、電源電圧 3V、論理反転電圧 $V_{INV}=1\text{V}$ 、NMOS バストラジスタの $w=4\mu\text{m}$ 、入力の立上り時間 $R_{IN}=6\text{ns}$ である。図 7 より遅延時間²が負荷容量に比例することが確認できた。

²入力が V_{INV} に達してから出力が V_{INV} に達する時間

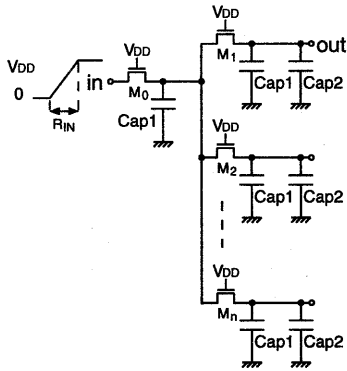


図 8: NMOS パストランジスタの複数ファンアウトの回路

4 性能評価

4.1 基本回路を用いた評価

図 4 と図 8 の回路を用いて、回路の直列段数およびファンアウト数に関して提案手法の評価を行う。0.8 μ m プロセス、電源電圧 3V、NMOS パストランジスタの $w=4\mu\text{m}$ 、 $\text{Cap1}=30\text{fF}$ 、 $\text{Cap2}=100\text{fF}$ 、入力立上り時間 $R_{IN}=1\text{ns}$ とした場合、入力信号が論理反転電圧 $V_{INV}=1.0\text{V}$ に達してから出力信号が論理反転電圧に達するまでの遅延時間の結果を表 1 と表 2 にそれぞれ示す。

HSPICE で計算した値と比較した結果、RC モデルの誤差の平均がそれぞれ 14.5%、5.5% であるのに対して、提案手法はそれぞれ -1.6%、-0.4% という良好な結果が得られた。

提案手法の結果は、直列段数が長くなるに従い、またファンアウト数が大きくなるに従い、HSPICE で求めた遅延時間よりも僅かに小さい値を示している。これは指数近似した入力波形と実際の波形との誤差や電位の変化による負荷容量の誤差に起因するためであると考えられる。

4.2 ベンチマークを用いた評価

実質的な回路での評価を行うために、MCNC の論理合成用ベンチマークデータ (LGSynth91) の Combinational Multi-Level Examples を用いて比較を行った。このベンチマークの中から 9 個の回路を選び、SPL の論理設計 CAD を用いてパストランジスタ論理に合成した。得られた回路はパストランジスタと出力バッファ (図 9) によって構成されている。出力バッファはパス

表 1: 直列段数の評価結果 (単位:ns)

直列段数	HSPICE	RC モデル (誤差%)	提案手法 (誤差%)
2	0.99	1.13(13.4)	0.99 (0.1)
4	2.55	2.90(13.8)	2.57 (0.9)
6	4.68	5.33(13.9)	4.66 (-0.3)
8	7.37	8.40(14.0)	7.32 (-0.7)
10	10.61	12.13(14.3)	10.47 (-1.3)
12	14.40	16.51(14.6)	14.19 (-1.5)
14	18.74	21.53(14.9)	18.29 (-2.4)
16	23.61	27.21(15.2)	22.89 (-3.1)
18	29.03	33.54(15.5)	28.03 (-3.5)
20	34.99	40.52(15.8)	33.63 (-3.9)
誤差平均		(14.5)	(-1.6)

表 2: ファンアウト数の評価結果 (単位:ns)

ファンアウト数	HSPICE	RC モデル (誤差%)	提案手法 (誤差%)
2	1.45	1.64(13.0)	1.49 (3.1)
4	2.47	2.66(7.5)	2.48 (0.2)
8	4.51	4.70(4.2)	4.46 (-1.1)
16	8.61	8.78(2.0)	8.46 (-1.8)
32	16.84	16.95(0.6)	16.47 (-2.2)
誤差平均		(5.5)	(-0.4)

トランジスタの鈍った波形の補正と駆動力強化の役割を果たす。出力バッファについてもパストランジスタ同様に precomputed table を用意し、計算を行った。

評価結果を表 3 に示す。ベンチマークデータは直列段数が 4 段から 31 段、ファンアウト数が 1 から 7、遅延時間が 3.4ns から 91.2ns と非常に幅広いデータであったが、ほとんどの回路において良好な結果が得られた。comp, frg1 は直列段数が 31 段、23 段と非常に大きいため、誤差が大きくなったと考えられる。

また、precomputed table のキーとして入力の傾きのみを用いることで、表 4 に示すようにテーブルのサイズをコンパクトにすることができた。

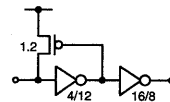


図 9: 出力バッファ回路

表 3: ベンチマークデータの評価結果 (単位:ns)

回路名	直列段数	最大ファンアウト数	HSPICE	RC モデル (誤差%)	提案手法 (誤差%)
9symml	8	2	9.16	10.09 (10.1)	8.86 (-3.2)
cm138a	5	2	4.66	5.02 (7.5)	4.61 (-1.2)
cm151a	4	1	3.36	3.65 (8.7)	3.37 (0.2)
cm162a	9	3	18.18	19.99 (10.0)	17.94 (-1.3)
cm82a	4	3	3.96	4.35 (10.1)	3.85 (-2.7)
cmb	11	2	14.40	15.79 (9.6)	14.00 (-2.8)
comp	31	2	91.24	105.66 (15.8)	85.47 (-6.3)
frgl	23	7	74.11	81.19 (9.6)	66.70 (-10.0)
parity	15	2	25.87	29.47 (13.9)	25.27 (-2.3)
誤差平均				(10.6)	(-3.3)

表 4: precomputed table のサイズ

テーブルの用途	サイズ (Kbyte)
パストランジスタ (直線近似)	0.785
パストランジスタ (指数曲線近似)	0.798
出力バッファ	1.592
合計	3.175

5 おわりに

近年、強く要求されるようになった低消費電力化の一手法としてパストランジスタ論理が注目を集めている。我々も低消費電力指向のパストランジスタ論理 SPL とその論理設計 CAD を研究開発した。その CAD は高速なトランジスタレベルの遅延計算法を必要とした。

そこで本稿ではトランジスタの非線形性を 1 次元の precomputed table で表現し、RC モデルに使用される TREE アルゴリズムを用いた遅延計算手法の提案を行った。提案手法は各トランジスタへの入力への傾きを考慮することで遅延計算を精密に行い、table をコンパクトに表現することで高速化している。

回路への入力波形を直線に、トランジスタ間の波形を指数曲線に近似して評価を行った。基本的な回路を用いた直列段数、ファンアウト数に関する評価では HSPICE との誤差が平均で -1.6%、-0.4% と良好な結果が得られた。また、ベンチマークを用いた評価では誤差が平均 -3.3% と良好な値を示した。今後モデルの入力波形をより実回路に近いものに近似することで、さらに良い精度の遅延計算が期待できる。

謝辞 本研究全般に御協力頂いたシャープ (株) の今井繁規氏をはじめ関係者の方々に感謝致します。提案手法の評価に協力、助言を頂いた研究室の岸本悟氏に感謝致します。

参考文献

- [1] P. K. Chan. An extension of elmore's delay and its application for timing analysis of MOS pass transistor networks. *IEEE Transactions on Circuits and Systems*, Vol. CAS-33, No. 11, pp. 1149-1152, November 1986.
- [2] K. Konishi, S. Kishimoto, B.-Y. Lee, H. Tanaka, and K. Taki. A logic synthesis system for the pass-transistor logic SPL. In *Proceedings of the 6th Workshop on Synthesis and System Integration of Mixed Technologies (SASIMI'96)*, pp. 32-39, November 1996.
- [3] 李副烈, 瀧和男. パストランジスタ論理に基づく低消費電力回路方式. 電子情報通信学会 VLD 技術研究報告, Vol. 95, No. 119, pp. 91-96, 12 月 1995.
- [4] T.-M. Lin and C. A. Mead. Signal delay in general RC networks. *IEEE Transactions on Computer-Aided Design of Integrated Circuits*, Vol. CAD-3, No. 4, pp. 331-349, October 1984.
- [5] J. K. Ousterhout. A switch-level timing verifier for digital MOS VLSI. *IEEE Transactions on Computer-Aided Design of Integrated Circuits*, Vol. CAD-4, No. 3, pp. 336-349, July 1985.
- [6] 瀧和男, 李副烈. パストランジスタ論理に基づく低消費電力回路方式と設計事例. 電子情報通信学会論文誌 A, Vol. J80-A, No. 5, pp. 753-764, 5 月 1997.
- [7] 日経マイクロデバイス編. 低電力 LSI の技術白書 -1 ミリ・ワットへ挑戦. 日経 BP 社, 1994.