

内部観察機能を強化した教育用16ビットマイクロプロセッサの設計と FPGAによる実現

大山 光男

倉敷芸術科学大学 ソフトウェア学科

〒712-8505 岡山県 倉敷市 連島町 西之浦 2640
e-mail: ooyama@soft.kusa.ac.jp

あらまし

計算機アーキテクチャ教育における教材として利用することを目的として、16ビットマイクロプロセッサを開発した。市販の組み込み用16ビットマイクロプロセッサの縮小命令セットを定義し、定義した命令セットを実行するCPUを新たに設計した。市販プロセッサでは難しい、命令の実行や割り込み処理のプロセスをレジスタトランスファレベルで観察するために、CPU内部の主要なレジスタの内容を直接表示し、ステージ単位（クロック単位）の実行制御機能を設けている。CPUコアはFPGA(XC4013E:Xilinx)ワンチップに実装、周辺回路を含めて小型のボード1枚に実現している。

キーワード 教育用マイクロプロセッサ, レジスタトランスファレベル, 内部観察機能, FPGA

Design of a 16-bit Microprocessor for Educational Use with Internal Observation Functions and Its Implementation on a FPGA

Mitsuo Ooyama

Kurashiki University of Science and the Arts
Department of Computer Science and Mathematics

2640 Nishinoura, Tsurajima-cho, Kurashiki-shi, Okayama, 712-8505 Japan
e-mail: ooyama@soft.kusa.ac.jp

Abstract

A 16-bit Microprocessor for educational use was designed. We defined a reduced instruction set of a real microprocessor for embedded systems and designed a CPU which implements the instruction set. The CPU core is implemented on a FPGA(XC4013E:Xilinx) and the microprocessor is assembled on a small CPU board. Contents of major registers in the CPU are displayed on the CPU board and the microprocessor can execute instructions in single stage mode to observe internal sequence of operations by register-transfer-level, which is difficult on commercial microprocessors.

key words microprocessor, educational use, register-transfer-level, observation function, FPGA

1. はじめに

計算機の仕組みと動作をより良く理解するには、講義のみならず、実物に触れ、命令が実行されていく様子をつぶさに観察することが、大いに役立つと考えられる⁽¹⁾。しかし、市販のマイクロプロセッサは、高性能化、高速化、高集積化が進み、このような目的にはあまりにも利用し難くなっている。一方、大学や高専においては、設計演習や教材として利用することを目的とした、教育用マイクロプロセッサが開発されている⁽²⁾⁽³⁾⁽⁴⁾。

このような状況にあつて、筆者らは、計算機ハードウェア／アーキテクチャの基礎レベルの教育における教材として利用することを主目的として、教育用マイクロプロセッサを開発した。教材として使用するためには、プロセッサを構成するのに必要な基本機能を備えた上で、できるだけ簡潔なアーキテクチャと命令セットを持つことが望ましい。また、命令の実行をレジスタトランスフェラレベルでフォローするための内部観察機能が欠かれない。一方、市販のマイクロプロセッサは、複雑化とブラックボックス化が著しく、このような用途にそのまま利用することは困難である。そこで、この目的のためのマイクロプロセッサを開発ことが必要となる。

アーキテクチャの決定にあつては、まず教育目的のアーキテクチャを選択、あるいは新たに設計することが考えられるし、実際多くの教育用マイクロプロセッサがそうしてきた。しかし、筆者らは、比較的簡潔なアーキテクチャを備えた市販のマイクロプロセッサをベースとして、教育用に再設計することにした。市販のマイクロプロセッサであっても、教育用として不要と思われる機能を思い切って削り、基本命令を主体とした縮小命令セットを定義し、そのためのCPUを新たに設計すれば、教育目的に利用できるマイクロプロセッサとすることができるのではないかと考えた。また、縮小ではあるが、実際に使用されているマイクロプロセッサの命令セットに興味を持ち、マイクロプロセッサに触れるきっかけの1つになればと、少しばかりの期待を持ったからである。

以下、本稿では、開発した教育用マイクロプロセッサの概要について報告する。

2. 要求仕様の検討

教育用、特にマイクロプロセッサの仕組みと動作を理解するための教材として使用することを目的とした場合、以下の特徴を備えたい。

(1) 簡潔なアーキテクチャと命令セット

マイクロプロセッサをかたち造るに必要な基本機能のみを備えた簡潔なアーキテクチャとし、命令セットも基本命令のみの構成とする。ただし、割り込み機構や、サブルーチン呼び出しなどは、重要な基本機能であり、削除しない。

(2) プロセッサ内部の観察機能

命令の実行や、割り込み処理などのマイクロプロセッサの基本動作が、高価な測定器を使わずにレジスタトランスフェラレベルで観測できる機能を備える。

以上の特徴を備えたマイクロプロセッサを実現するため、筆者らは、市販の組み込み用16ビットマイクロプロセッサCPUコアの縮小命令セットを定義し、定義した縮小命令セットを実行するためのCPUを新たに設計した。縮小命令セットは基本命令のみから構成し、CPUの設計に当たっては、主要な内部レジスタの内容表示、ステージ単位の実行制御機能を設けた。

3. マイクロプロセッサの仕様

表1に今回開発した教育用16ビットマイクロプロセッサの仕様をとりまとめて示し、以下に説明する。

(1) 全体アーキテクチャ

市販の組み込み用16ビットマイクロプロセッサである、H8/532(日立)⁽⁶⁾の周辺回路をすべて削除、CPUコアのみとし、さらに機能を基本機能に限定して再構成した。その結果、プログラミング対象のレジスタは、図1に示すように、16ビットの汎用レジスタ8本、16ビットのプログラムカウンタ、16ビットのステータスレジスタとなった。なお、汎用レジスタR7はスタックポインタ兼用であり、ステータスレジスタは、4ビットのコンディションコードレジスタと1ビットの割り込みマスクビットを含む。メモリアドレス空間は16ビット、入出力ポートはメモリ空間に割り付けるメモリマッピング方式である。

(2) 命令セット

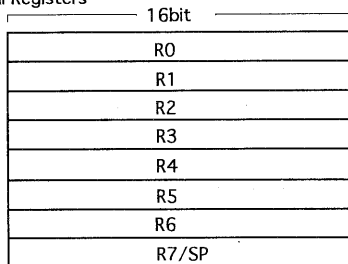
再構成したCPUコアの範囲で、基本30命令からなる縮小命令セットを定義した。命令セットの一覧を表2に示す。データ転送命令は2種(1種はI/O専用として定義)、演算命令は算術、論理、シフト演算を含めて18種、制御命令はソフトウェア割り込み、サブルーチンコール命令を含めて10種類を定義する。なお、命令語は1～4バイトの可変長である。

アドレッシングモードは6種を実現する。詳細は表3に示す通りで、レジスタ直接、レジスタ間接(ディ

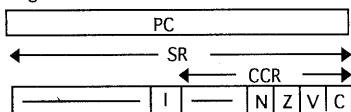
表1 教育用マイクロプロセッサの仕様

項目	仕様 / 構成
レジスタ構成	汎用レジスタ：16ビット×8本 (内1本はスタックポインタ兼用) コントロールレジスタ：16ビットプログラムカウンタ 16ビットステータスレジスタ
命令セット	16ビットマイクロプロセッサH8/532 (日立) 縮小命令セット [30基本命令, 可変長命令語：1～4バイト] 6アドレッシングモード
記憶装置	64kB最大 (16ビットアドレス空間)
割り込み	ベクタ割り込み方式 (外部割り込み, ソフトウェア割り込み)
入出力方式	メモリマッピング方式
クロック	1Hz以下～10MHz
観察機能 サポート	主要内部レジスタの内容直接表示 1マシン命令ごとの実行制御 ステージ (ステート) 単位の命令実行制御 超低速 (<1Hz) クロックによる動作

General Registers



Control Registers



注) I: Interrupt Mask, N: Negative, Z: Zero,
V: Overflow, C: Carry

図1 レジスタのプログラミングモデル

スプレースメント付き), イミディエト, 絶対アドレス, プログラムカウンタ相対の, 主要なモードを備える。

なお, 命令とアドレッシングモードは, 一部の制御命令を除いて, 実現した範囲ではH8/532との互換性を確保している。

(3) 割り込み機構

重要な基本機能であり, 備えることにした。ベクタ割り込み方式で, 外部割り込みとソフトウェア割り込

表2 命令一覧

	mnemonic	operation
転送命令	MOV	move (@aを除く)
	MOV	input/output (@aのみ)
演算命令	ADD	add
	ADDX	add with carry
	SUB	subtract
	SUBX	subtract with borrow
	CMP	compare and set flags
	NEG	negate
	AND	logical AND
	OR	logical OR
	XOR	exclusive OR
	NOT	logical NOT
	SHAL	shift arithmetic left
	SHAR	shift arithmetic right
	SHLL	shift logical left
	SHLR	shift logical right
ROTL	rotate left	
ROTR	rotate right	
ROTXL	rotate left with carry	
ROTXR	rotate right with carry	
制御命令	Bcc	branch on condition code
	JMP	jump always
	BSR	branch to subroutine
	RTS	return from subroutine
	RTE	return from exception handling
	NOP	no operation
	TRAPA	trap on vector address
	HLT ¹⁾	halt
	SETIM ²⁾	set interrupt mask
	CLRIM ³⁾	clear interrupt mask

注1: H8/532のSLEEP命令のコードをあてる。

注2: H8/532のTRAP/VS命令のコードをあてる。

注3: H8/532のUNLK FP命令のコードをあてる。

表3 アドレッシングモード

mode	mnemonic	effective address
レジスタ直接	Rn	データはRnの内容
絶対アドレス	@aa:8	上位8ビットはFFh ¹⁾
	@aa:16	@aaの16ビット
レジスタ間接	@Rn	アドレスはRnの内容
ディスプレースメント付き レジスタ間接	@(d:8,Rn)	Rn+変位8ビット ²⁾
	@(d:16,Rn)	Rn+変位16ビット
イミディエト	#nn:16	データは#nn(16bit)
プログラムカウンタ相対	disp:8	PC+変位8ビット ²⁾
	disp:16	PC+変位16ビット

注1: MOV命令のI/O専用モード。

注2: 上位8ビットは符号を拡張する。

みをサポートする。ただし、制御の複雑化を避けるため、優先割り込みの制御は行わない。

(4) 観察機能

観察機能は教育用、特に教材として使用する場合は重要な機能である。本開発においては、マイクロプロセッサの内部構造（データバス）を把握、命令の機能を理解したうえで、命令の実行プロセスをレジスタトランスフェレレベルで観察できるようにする。そのために、以下の機能を備える。

- ・主要内部レジスタの内容の直接表示

プログラムカウンタ、命令レジスタ、汎用レジスタ、メモリバス（アドレス（CPU停止時はメモリアドレスレジスタの内容）とデータ）、メモリアドレスレジスタ、ステータスレジスタの内容はLED(発光ダイオード)により直接表示する。

- ・ステージ（クロック）単位の命令実行制御

これらの機能により、命令実行のプロセスをレジスタトランスフェレレベルで観察できる。すなわち、命令フェッチ、実効アドレスの生成、オペランドフェッチ、演算実行といった、各ステージでの処理を、レジ

スタやメモリの内容を確認しながらフォローできる。また、クロック周波数を超低速（例えば1 Hz以下）としてプログラムを実行させることにより、レジスタの内容やメモリバスの動きから、プログラムの流れを目視でフォローするといったことも可能である。

4. マイクロプロセッサの設計と実現

以上に述べた仕様に基づいてマイクロプロセッサを設計するにあたり、以下を基本方針とした。

- a) データバスは極力シンプルな構成とする。

命令の実行に多少時間がかかっても、構造と動作が容易に把握できることを優先する。

- b) CPUコアはFPGAワンチップに実装する。

ハードウェアの物量はできるだけ少なくし、周辺回路も含めて小型のボード1枚に収めたい。

FPGAの高集積化と高速化は急ピッチで進んでおり、シンプルなCPUコアなら十分ワンチップに実装可能と判断した。

以上の方針のもとに設計したマイクロプロセッサハードウェアの構成を図2に示す。

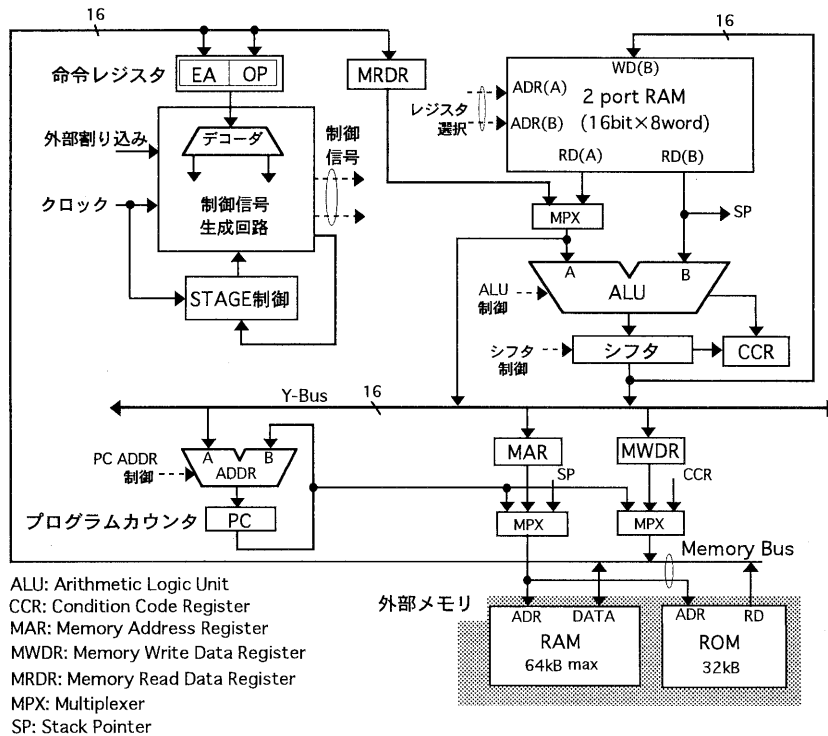


図2 マイクロプロセッサハードウェアの構成

(1) データバスの設計

シングルバスアーキテクチャに沿った構成である。外部メモリを除いたCPUコアはFPGAワンチップに実装、汎用レジスタは、オンチップの2ポートRAMに実装する。

(2) 制御方式

基本命令からなる命令セットと、シンプルなデータバスであることから、結線論理制御方式を採用している。

(3) ボードの実装

図3にプロセッサボードの実装を示す。CPUコアを実装するFPGA(XC4013E:XILINX社)、外部メモリ、レジスタの内容を表示するための多数のLED等を小型のボード(サイズ:195mm×230mm)1枚に搭載する。内部信号測定端子へは、内部の重要な制御信号を引き出しており、ロジックアナライザによる観測もできる。シリアルポート(RS232C)は、ホストコンピュータと接続するためのものであるが、マニュアル操作ボックスを接続し、手動操作でマイクロプロセッサを動かすことも可能である。マニュアル操作ボックスの主要な機能は、メモリと主要レジスタへのデータ書き込み/読み出し、および命令の実行制御である。すなわち、メモリへプログラムを書き込み、連続実行、1命令ごとの実行、1ステージ単位の実行の各モードを設定して、プログラムを実行することができる。

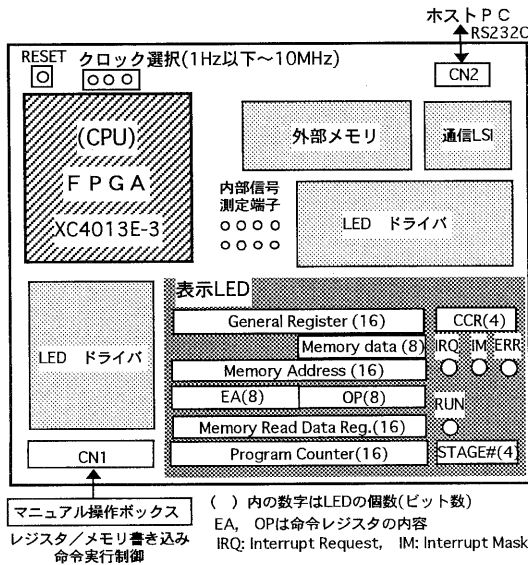


図3 プロセッサボードの実装

5. 命令実行プロセスの観察

ここでは、命令実行プロセスがいかに観察されるかを、8ビットディスプレイスメント付きレジスタ間接アドレスの加算命令、

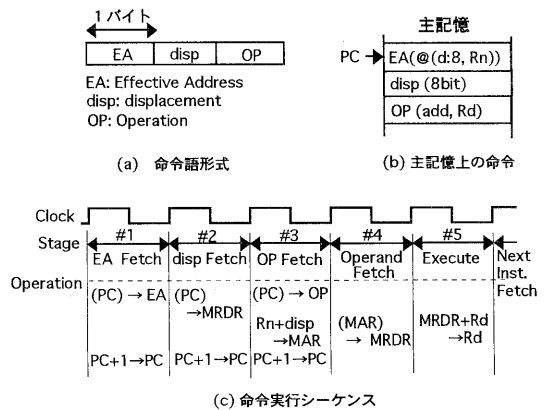
```
add @(d:8, Rn), Rd.
```

を例にとって述べる。命令語は、図4(a)に示すように3バイトであり、図4(b)に示すように主記憶に格納される。

命令の実行は、図2に示したデータバスでは、図4(c)に示すように、

- (1) EA Fetch
- (2) disp Fetch
- (3) OP Fetch
- (4) Operand Fetch
- (5) Execute

の5つのステージにより実行され、各ステージでの処理は、図4(c)に示すとおりである。市販のマイクロプロセッサでは困難な、レジスタトランスファレベルでの命令の実行の観察は、図3のボードでは以下のように容易である。すなわち、ステージ単位で命令の実行を進めながら、PC、命令レジスタのEA部、MRDR、命令レジスタのOP部、MAR、汎用レジスタRd、Rn、の各レジスタの内容の遷移、表示される実行中のステージの番号をフォローすることにより、各ステージごとに処理を確認することができる。また、命令の実行に限らず、割り込みの受付、割り込み処理の過程も、同様に確認できる。



(c) 命令実行シーケンス

8ビットディスプレイスメント付きレジスタ間接加算命令

図4 命令実行シーケンスの例

6. FPGAへの実装

CPUコアは、FPGAワンチップに実装することを目標とした。ここでのCPUコアとは、図2における外部メモリを除くすべての部分であり、FPGAはXILINX社のXC4013E（パッケージ：PGA223ピン）である⁽⁶⁾。詳細は省略するが、XC4013Eは、図5に示すように、4入力のファンクションジェネレータ2個、3入力のファンクションジェネレータ1個、フリップフロップ2個からなるCLB(Configurable Logic Block)576個を有しており、最大で13000ゲート程度を実装可能としている。また、CLBのファンクションジェネレータを構成するRAMは、オンチップの2ポートRAMとしてユーザが利用でき、本開発でも汎用レジスタを実装している。

FPGAの実装結果を表4に示す。CPUコアはFPGAワンチップに実装できたが、CLBの使用率は、配線に使用されたものを含めて、ほぼ限界に達している。

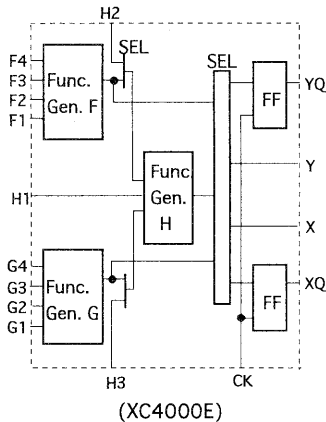


図5 CLB内部構成の概要

表4 FPGA(XC4013E)の実装結果

項目	使用数(率(%))	総数
CLB	538(93%)	576
F/Gファンクションジェネレータ	791(69%)	1152
Hファンクションジェネレータ	216(38%)	576
フリップフロップ(CLB)	126(11%)	1152

注) CLB: Configurable Logic Block

F/Gファンクションジェネレータ:

4入力カルックアップテーブル。CLB1個あたり2個を含む。

Hファンクションジェネレータ:

3入力カルックアップテーブル。CLB1個あたり1個を含む。

る。なお、FPGAのデザインCADはパソコン上で稼働する、XILINX社のFoundationシリーズを利用した。

7. おわりに

本稿では、市販のマイクロプロセッサをベースとして開発した教育用16ビットマイクロプロセッサについて報告した。不要な機能を削り、基本命令からなる命令セットを再定義し、そのためのCPUを新たに設計することにより、教材としての使用に耐えるマイクロプロセッサが実現できたと考えている。CPUの実装には、高集積化、高速化が著しいFPGAが有効に利用できる。一方、柔軟性や拡張性などが課題とし残されていると思われ、今後、実際に使用していくなかでさらに検討していきたい。

謝辞: FPGAの実装でご協力いただいた、本学ソフトウェア学科学生の藤岡俊考君に感謝いたします。

参考文献

- [1] 柴山 潔, 新實 治男: 大学における計算機アーキテクチャの教育方法に関する考察, 情報処理学会計算機アーキテクチャ研究会研究報告, ARC100-4, pp.25-34, 1993.
- [2] 末吉敏則, 田中康一郎, 柴村英智: 再構成可能な論理LSIを用いた教育用マイクロプロセッサ: KITE, 電子情報通信学会技術研究報告, CPSY92-87, ICD92-87, pp.11-18, 1992.
- [3] 木村真也, 鹿股昭雄: 命令実装可能な教育用コンピュータシステムの開発, 電子情報通信学会技術研究報告, CPSY97-25, pp.1-6, 1997.
- [4] 高橋隆一, 吉田典可: 完全なインターロックを行うバイプラインCISC/RISCの設計教育, 電子情報通信学会技術研究報告, CPSY97-78, pp.73-80, 1997.
- [5] ザイリンクス: プログラマブルロジックデータブック 1997 V3, 1997.
- [6] 日立製作所: H8/532ハードウェアマニュアル 第5版, 1994.
- [7] 日立製作所: H8/500シリーズプログラミングマニュアル第4版, 1993.