

汎用エンジン RM-V とその応用

山口 卓也[†], 安西 伸介[‡], 水谷 敦[§], 黒木 修隆[†], 沼 昌宏[†]

[†]神戸大学, [‡]シャープ(株), [§]三洋電機(株)

[†]〒657-8501 神戸市灘区六甲台町 1-1

[†]E-mail: {yamagu, kuroki, numa}@cas.eedept.kobe-u.ac.jp

あらまし 内部の論理を電氣的に書替え可能な LSI である FPGA (Field Programmable Gate Array) とメモリから構成される汎用エンジン RM-V (Reconfigurable Machine-V) を開発するとともに、画像処理の高速化に応用した。RM-V は、大規模 FPGA と、大容量 SDRAM、高速 SRAM から成る複数のメモリバンクをモジュールに搭載する。ウェーブレット変換、ブラインド・デコンボリューション、フラクタルを用いた解像度変換等の画像処理に応用した結果、ソフトウェア処理と比較して、およそ 10 倍から 30 倍の処理速度向上効果が確認された。以前のプロトタイプである RM-IV に対して、数倍の周波数での動作が確認されるとともに、従来は実現が困難であったアプリケーションの実現が可能となった。

キーワード 汎用エンジン, FPGA, ウェーブレット変換, ブラインド・デコンボリューション, フラクタル

Reconfigurable Machine: RM-V and Its Applications

Takuya Yamaguchi[†], Shinsuke Anzai[‡], Atsushi Mizutani[§]

Nobutaka Kuroki[†] and Masahiro Numa[†]

[†]Kobe University, [‡]Sharp Corp., [§]Sanyo Electric Co., Ltd.

[†]1-1, Rokkodai, Nada, Kobe, 657-8501, Japan

[†]E-mail: {yamagu, kuroki, numa}@cas.eedept.kobe-u.ac.jp

Abstract This paper presents Reconfigurable Machine: RM-V developed to accelerate a wide range of applications on the flexible hardware architecture combining FPGAs and memories. RM-V consists of larger scale FPGAs, SRAMs, and SDRAMs offering $\times 6.8$ gate capacity and $\times 170$ memory capacity compared to the former prototype: RM-IV. RM-V offers higher flexibility and scalability by using application specific base-board on which one to four module-boards are mounted. Experimental results with image processing applications have shown that RM-V works at about $\times 10$ to $\times 30$ processing speed compared to software processing.

key words Reconfigurable Machine, FPGA, Wavelet transform, blind deconvolution, fractal interpolation

1. はじめに

画像処理や、大規模 LSI を対象とする CAD の分野においては、扱うデータ量の増加にともない、計算機での処理時間の増加が問題となっている。そこで、図 1 に示す各種の高速化手法が提案されてきた。特定の CAD 処理を専用のハードウェア上で高速に実行する専用エンジン [1] は、ソフトウェアによる処理と比較して 2 桁程度の処理速度向上を達成したが、柔軟性に問題があった。一方で、汎用並列計算機を用いた並列処理によって高速化を達成しようと多くの試み [2] が行われたが、利用できる並列性の粒度が粗くなるため、性能面では専用エンジンに劣る。専用エンジンと汎用並列計算機の間位置付けられる手法として、マイクロ・プログラム制御によるエンジン [3] が挙げられるが、やはり確保できる柔軟性には限界がある。

このような高速性と汎用性・柔軟性のトレードオフの問題を解決するために、我々は内部論理を書き換え可能なデバイスである FPGA (Field Programmable Gate Array) とメモリを組み合わせることで、複数の用途への適用を可能とする汎用エンジン (Reconfigurable Machine) の概念 [4], [5] を提案し、そのプロトタイプ・マシンとして、汎用エンジン RM-I [4], [5], -II [6], -III [7], -IV [8] を開発してきた。

同様の目的に基づくシステム構築の例として、Splash 2 [9] は、クロスバ・スイッチを採用することで FPGA 間の接続形態を変更できる点に特徴がある。また、P Series Virtual Computer [10] は、FPGA 間を

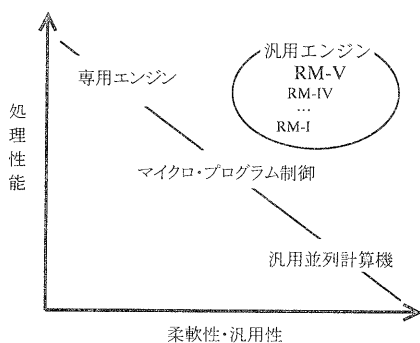


図 1 高速化手法の位置づけ

表 1 RM-IV と RM-V の仕様

比較項目	RM-IV	RM-V
実現可能な回路規模	96 K ゲート	最大 650 K ゲート
回路実現部の FPGA の種類と個数	XC4006×16	EPF10K130V×5
メモリバンク数	16	最大 56
メモリバンク構成	SRAM : 32 K×24 ビット	SRAM : 256 K×16 ビット×6×4 256 K×32 ビット ×4 SDRAM : 4 M×16 ビット×6×4 4 M×32 ビット ×4
FPGA 間の配線	配線用 FPIC により変更可能	固定配線部分と FPGA により変更可能部分
FPGA-メモリ間	流用可能な固定配線	固定配線と他モジュールから共有可能な配線

配線変更可能なデバイスを介して接続することで柔軟性を高めている。

従来の汎用エンジン RM-IV では、2 個の FPGA と 2 個のメモリバンクからなる 3-D 実装ボードを、配線変更可能なボードである FPCB と直角の方向に 8 枚実装することで、回路規模とメモリ容量の拡大を図っていた。

その一方で、以下のような問題点が生じた。

- i) FPGA 間接続に用いた配線変更用 FPIC の遅延による性能低下
- ii) 多くのデータを扱うアプリケーションに対するメモリ容量の不足
- iii) 実現可能な回路規模の制約

そのため、複雑なアプリケーション、たとえば画像復元的一种であるブラインド・デコンボリューションを実現するためには i) ~ iii) の各項目が制約となり、得られる性能には限界があった。また、フラクタルを用いた解像度変換処理を実現することは、ii) および iii) の点から不可能であった。

そこで、実現可能な回路規模およびメモリ容量の拡大と、処理速度の向上を目的として汎用エンジン RM-V を開発した。以下、その仕様と構成について述べるとともに、応用例に関する評価結果を示す。

2. RM-V の仕様

表 1 に RM-V の仕様を示す。比較のため、RM-IV の仕様も示している。

2.1 モジュール化

図2に示すように、RM-VはFPGA 1個と複数のメモリバンクを搭載するモジュール RMM-V (Reconfigurable Machine Module-V) と、1~4枚のモジュールを搭載するベースボードで構成される。また、FPGAはソケットを介してモジュールまたはベースボード上に搭載されており、端子について互換性のある他のFPGAとの差し替えも可能である。必要に応じてより高速なFPGAや、より大規模なFPGAと交換することで、RM-Vの構成を容易に変更できる。

2.2 実現可能な回路規模

RM-VでFPGAとして採用しているEPF10K130V [11]は、130Kゲート相当の回路規模を実現可能である。RM-IVのゲート容量は8枚のボードに実装された計16個のFPGA全体で96Kゲートであった。1モジュールであるRMM-Vのみでその約1.4倍のゲート容量をもつ。RM-Vはモジュールを4枚まで搭載することが可能であり、合計520Kゲートの容量を実現する。さらに、ベースボード上のFPGA (FPGA0)にも回路を実現することが可能であるので、回路規模は最高で650Kゲートに達する。ただし、ベースボード上のFPGA0は、主として各モジュール間の配線、およびホスト・コンピュータとのインタフェースの実現に利用する。

2.3 メモリバンク

メモリバンクはSRAMとSDRAMの組合せで構成するモジュール・ボード(RMM-V)

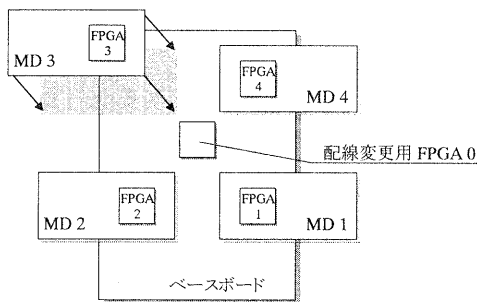


図2 RM-Vの構成

成され、両者を用途に応じて電氣的に切り替えて利用可能である。時間的に重複しなければ、一つのアプリケーションからSRAMとSDRAMの両方を利用することも可能である。さらに、各メモリのデータビット幅についても、16ビットと32ビットの2種類を用意し、より柔軟なアプリケーション設計を可能とする。メモリの合計容量は、1モジュール (RMM-V) あたり、SRAMが4Mバイト、SDRAMが64Mバイトである。4モジュールを搭載したRM-Vの場合、SRAMのメモリ容量は全体で16Mバイト、SDRAMは256Mバイトになる。RM-IVでは32K×24ビットのメモリバンクを16バンク搭載して合計1.5Mバイトであるので、RM-VではSRAMだけで約10.7倍、SDRAMで約170倍のメモリ容量となり、回路規模・メモリ容量とも飛躍的に拡大する。

3. RM-Vの構成

RM-Vは、モジュール (RMM-V) と、それを搭載するベースボードから構成される。

3.1 モジュールの構成

モジュールは、図3に示すようにFPGAと7個のメモリバンク (MEM0~6) から構成される。そのうちMEM6のみデータ幅32ビットであり、他の6バンク (MEM0~5) は16ビットである。各バンクは、8ビットを単位とする独立した読み書きが可能である。

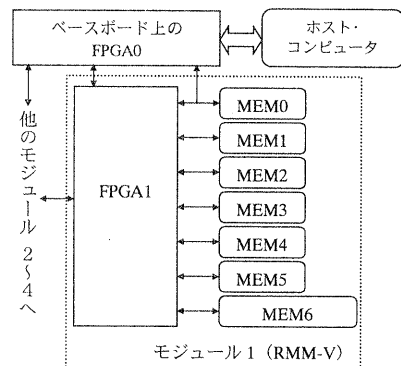


図3 モジュール(RMM-V)の構成

表2 モジュール上のFPGAの
ユーザ IO 端子数割当て

配線の種類		端子数	
メモリ用配線	モジュール内配線	258	300
	モジュール外接続	42	
モジュール間 配線	モジュール外接続	48	148
	隣接モジュールへ接続	50×2	
合計		448	

メモリバンクの構成を図4に示す。各バンクには、制御線やデータ/アドレス線を共用した非同期SRAMとSDRAMの2種類を混載している。チップ・セレクト信号(\overline{CS})によって、メモリの選択・非選択を制御する。さほど大規模ではないデータに対して、簡単な制御でランダム・アクセスを多用したい場合にはSRAMを用いる。反対に、大容量の連続アクセス可能なデータ、あるいは多並列・多段数のパイプラインが必要なアプリケーションに対してはSDRAMを用いるなど、柔軟なメモリ利用が可能である。

FPGAとして採用したEPF10K130Vは、448本のユーザIO端子を提供する。その内訳を表2に示す。FPGA-メモリ間は、モジュール上で300本の通信線によって接続されている。そのうち、共有メモリ(MEM0)に接続される42本は、コネクタを介してベースボード上のFPGA0にも接続され、他のモジュールからも相互に利用することができる。

3.2 ベースボードの構成

ベースボードは、モジュールを搭載するためのコネクタ、配線変更用のFPGA0、コンフィギュレーション回路、クロック回路、およびユニバーサル・

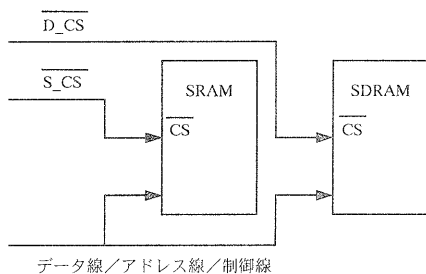


図4 メモリバンクの構成

表3 ベースボード上のFPGAの
ユーザ IO 端子数割当て

配線の種類	端子数
各モジュールの共有メモリへ接続	42×4
各モジュールのFPGAへ接続	48×4
無接続	88
合計	448

エリアから構成される。

FPGA0のユーザIO端子数の内訳を表3に示す。FPGA0によってモジュール間の配線を電気的に変更可能とすると同時に、各モジュールを制御するインタフェースを構成することが可能である。

また、図3および表2で示されたように、隣接するモジュール間には50本の固定配線を設けており、より遅延の少ないモジュール間通信を実現することも可能である。

RM-Vが実装できるモジュールの最大数は4枚であるが、ジャンパピンを切り替えることによって、3枚以下のモジュールが搭載された状態でもコンフィギュレーションが行えるように工夫している。

3.3 ホスト・コンピュータとのインタフェース

ホスト・コンピュータとしてパーソナル・コンピュータ(PC)を利用する。各FPGAに設定する構成情報(Configuration Data)およびメモリの初期データは、PCから送られる。PC側では現在ISAバスを利用しているが、転送速度向上のためにPCIバスに変更する予定である。

RM-V上に構築されたアプリケーションとPCとのインタフェースを担当するインタフェース・モジュールには、メモリへの書込みおよび読出しと、ホスト・コンピュータからの信号によって選択されたメモリバンクの制御を行う役割がある。インタフェース・モジュールの構成方式については、各モジュール上のFPGAを利用する方法と、ベースボード上のFPGAのみを利用する方法がある。

3.4 RM-Vの支援ソフトウェア

RM-Vで実現するアプリケーション設計の流れを図5に示す。まず、実現するアルゴリズムの動作レ

ベルでのシミュレーションを行う。次に処理対象とするデータ配列を各メモリバンクへ割り付け、VHDLを用いてRTレベルで記述する。実現する回路の設計、FPGAの構成情報の作成から設定は、Altera社の統合開発環境Max+plus IIを用いて行う。

そのほか、C言語による動作記述からRTレベルのVHDL記述を自動的に合成するRMAC-V (Reconfigurable Machine Application compiler for RM-V) [12]の利用も可能である。

またRM-Vの制御、メモリ・データの入出力を行うソフトウェアも用意している。

4. RM-Vの応用と評価

図6にRM-Vの外観を示す。RM-Vは6層構造の専用基板を用いて実現されている。RM-Vの各モジュールには、アクセス・タイム8 nsの4 M SRAM 8個と、アクセス・タイム12 nsの64 M SDRAM 8個を基板の両面に実装している。

RM-Vの応用例として、ウェーブレット変換エンジン、ブラインド・デコンボリューション・エンジン (BDE) と、フラクタルを用いた解像度変換エンジンを構築した。以下、これらの応用例について述べるとともに、実験評価を行う。比較対象とするソフトウェアによる処理時間は、すべてPentium II 400 MHzを用いた計算機による。

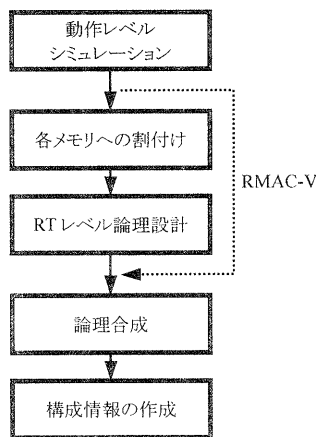


図5 RM-Vのアプリケーション設計

表4 ウェーブレット変換の処理速度

実現方法	RM-IV	RM-V	ソフトウェア
変換処理時間	0.68 ms	0.15 ms	3.3 ms
動作周波数	6.0 MHz	14.0 MHz	—

4.1 ウェーブレット変換エンジン

ウェーブレット変換は、信号処理の分野で広く用いられている周波数解析法である。高周波成分については時間分解能が高く、低周波成分については周波数分解能が高いという特徴をもっており、信号の局所的性質と大域的性質を同時に解析することができる。

画像に対して水平および、垂直方向について周波数帯域を分割するウェーブレット変換エンジンWTE-Vを構築した。隣接した4画素の輝度値に対して加減算を行い、新たな4画素の輝度値を得る操作を反復する。

各モジュールの7バンクのメモリのうちMEM0~3を原画像格納用に、MEM4~6を処理後の画像格納用に割り当てた。

RM-Vに実装したウェーブレット変換エンジンの処理時間を、RM-IV、ソフトウェアによる結果と合

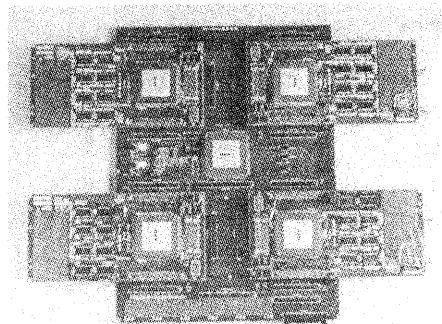


図6 RM-Vの外観



図7 入力画像

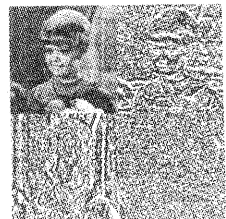


図8 出力画像

表 5 ブラインド・デコンボリューションの処理時間

実現方法	RM-V	ソフトウェア
変換処理時間	27 s	293 s

表 6 BDE の動作周波数比較

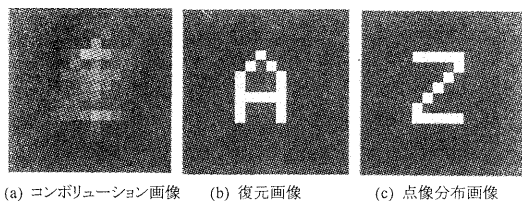
実現方法	RM-V	RM-IV
動作周波数	13.25 MHz	4 MHz

わせて表 4 に示す。また、入力画像と出力画像をそれぞれ図 7、図 8 に示す。

RM-V による処理は、RM-IV に対して約 4.5 倍に高速化されている。また、ソフトウェアと比べると約 22.2 倍の高速化を果たしている。RM-V では 4 モジュールの並列実行を行い、全体で 8 回路が並列に動作する。そのため、並列処理回路数が 4 であった RM-IV の場合と比較すると、処理完了に必要な総クロック数が 1/2 に減少した。さらに、動作周波数は RM-IV の 2.3 倍に向上した。

4.2 BDE: Blind Deconvolution Engine

画像復元法の一つであるブラインド・デコンボリューションを高速化する BDE (Blind Deconvolution Engine) を RM-V 上に実現した。ブラインド・デコンボリューションは、図 9 (a) に示すような劣化画像 h が、もとの画像 f と点像分布関数 g のコンボリューションで表現されると仮定して、劣化した画像 h のみを入力として、劣化要因を取り除いた復元画像 f および点像分布画像 g を得る手法である。BDE においては、最適化問題を解く手法の一つである、シミュレーテッド・アニーニングを用いて収束性を改善する手法 [13] を用いている。実験では、入力画像として 16×16 画素、2 階調の画像を与え、同一温度での反復回数を 200 回、温度変更回数を 200 回としている。



(a) コンボリューション画像 (b) 復元画像 (c) 点像分布画像

図 9 入力画像と復元画像

表 7 ドメイン探索の処理時間

実現方法	RM-V	ソフトウェア
変換処理時間	19 s	540 s

表 5 に、BDE とソフトウェアによる処理時間の比較を示す。また、得られた復元画像と点像分布画像を図 9 (b), (c) に示す。ソフトウェア処理と比較して約 10.9 倍の高速化が実現された。RM-IV で実行した結果との動作周波数の比較を表 6 に示す。RM-IV では複数の FPGA に回路を分割する必要があったが、RM-V では一つの FPGA で実現可能となり、遅延の少ない内部配線のみで BDE を実現することができた。その結果、約 3.3 倍の周波数で動作することが確認された。

4.3 フラクタルを用いた解像度変換エンジン

フラクタルを用いた解像度変換 [14] は、解像度に依存しない復号が可能な変換法である。符号化時に膨大な計算量を必要とするため、RM-V による高速化を試みた。

入力画像を互いに重ならないレンジブロックに分割し、それぞれに対して類似度の高いドメインブロックを探索する処理と、探索結果を用いて解像度を変換する処理の二つから構成される。ソフトウェアによる総処理時間の 99.4 % を占めるドメイン探索処理の部分、RM-V で実現した。

RM-V による処理では、色成分ごとで分割、および領域分割による負荷分散並列処理を採用して高速化を図っている。また、SRAM を用いると 2 並列処理が限界であったが、大容量 SDRAM を用いることによって、4 並列処理が可能となった。256 × 256 画素、256 階調のフルカラーの画像を入力とし、レンジブロックの一辺のサイズを 2、ドメインブロックの一辺のサイズを 4、探索ピッチを 1 画素、入力画像の拡大率を 4 倍、変換処理の反復回数を 8 回として実験を行った。

ドメイン探索処理時間に関する結果を、RM-V とソフトウェアのそれぞれについて表 7 に示す。また、実験に用いた入力画像と、拡大変換後の画像の一部を図 10 に示す。実験の結果、約 28.4 倍の高速化効果が確認された。

5. まとめ

本稿では、回路規模やメモリ容量を拡大するとともにその拡張を確保した汎用エンジン RM-V について述べるとともに、画像処理に関する各種アプリケーションの高速化への応用を示した。実験の結果、RM-V が従来の汎用エンジンにおける問題点を解決し、より高い柔軟性と処理性能を両立したハードウェアであることを確認した。今後の課題としては、ホスト・コンピュータとのデータ転送の高速化が挙げられる。

謝辞

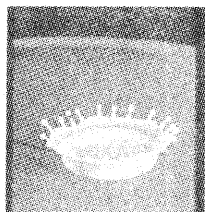
RM-V のモジュールおよびベースボードのレイアウト設計と実装をご担当下さった(株)写真化学システム機器事業部電子デバイス部営業課 水尾学課長を初めとする皆様に感謝いたします。

RM-V に搭載する最新の表面実装型 SRAM および SDRAM を御提供下さいました(株)東芝半導体システム技術部 小川久治部長に感謝いたします。

FPGA のアプリケーション開発に不可欠な、統合開発環境 Max+plus II システムをご提供下さいました日本アルテラ(株)サードパーティ・ビジネス・リレーションズ 浮谷光明課長に感謝いたします。

参考文献

- [1] T. Blank : "A survey of hardware accelerators used in computer aided design," IEEE Design and Test of Computers, vol. 1, no. 3, pp. 21-39, 1984.
- [2] K. Y. Tham : "Parallel processing for CAD applications," IEEE Design and Test of Computers, vol. 4, no. 5, pp. 13-17, 1987.
- [3] P. Agrawal et al. : "MARS: a multiprocessor-based programmable accelerator," IEEE Design and Test of Computers, vol. 4, no. 5, pp. 29-36, 1987.
- [4] 菅沼直昭, 村田之広, 富田昌宏, 平野浩太郎 : "汎用エンジンの開発と論理診断への応用", DA シンポジウム '92, pp. 89-92, 1992.
- [5] N. Suganuma, Y. Murata, S. Nakata, M. Tomita, and K. Hirano : "Reconfigurable machine and its application to logic diagnosis," ICCAD-92, pp. 373-376, 1992.
- [6] 富田昌宏, 菅沼直昭, 澄川文徳, 平野浩太郎 : "汎用エンジン RM-II の構成", JSPP '93, pp. 151-158, 1993.
- [7] 澄川文徳, 垣原雅己, 沼昌宏, 平野浩太郎 : "汎用エンジン RM-III の開発", DA シンポジウム '94, pp. 241-246, 1994.
- [8] 井上真一, 奥田知史, 高瀬幹, 沼昌宏, 平野浩太郎 : "汎用エンジン RM-IV とその応用", DA シンポジウム '96, pp. 99-104, 1996.
- [9] J. M. Arnold, D. A. Buell, and E.G. Davis : "Splash 2," SPPA '92. 4th Annual ACM Symposium on Parallel Algorithms and Architectures, pp. 316-322, 1992.
- [10] Virtual Computer Corporation, <http://www.vcc.com/>
- [11] EPF10K130V Embedded Programmable Logic Device Data Sheet, Altera Corp., 1997.
- [12] 室屋友和, 橋本匡史, 高林宏忠, 黒木修隆, 沼昌宏 : "SDRAM に対応した高位合成システム", 電気関係学会関西支部連合大会講演論文集, p.G294, 1999.
- [13] 田丸雅也, 野村孝徳, 平野浩太郎 : "シミュレーテッド・アニーリングを用いたブランド・デコンボリューションにおける収束性の改善", 光学連合シンポジウム '94 講演会予稿集, pp. 77-78, 1994.
- [14] M. F. Barnsley, A. E. Jacquin, "Application of recurrent iterated function systems to images", SPIE Vol. 1001, VCIP 88, 1988.



(a) 入力画像



(b) 拡大画像の一部

図 10 解像度変換の入力画像と実験結果