

クラスタリングと新しい配置モデルに基づく タイミングドリブンスタンダードセル配置手法

岩内 宣之[†] 若林 真一[†] 小出 哲士[†]

[†]広島大学大学院工学研究科 [†]広島大学ナノデバイス・システム研究センター

〒739-8527 広島県東広島市鏡山一丁目4番1号

E-mail: {jet, wakaba}@ecs.hiroshima-u.ac.jp, koide@sxsys.hiroshima-u.ac.jp

本稿では大規模スタンダードセルLSI設計に対し、タイミング制約を陽に考慮した、新しい配置モデルに基づくスタンダードセル配置設計手法を提案する。提案手法ではセル配置を概略配置と詳細配置の2段階に分けて行なう。まず、提案手法の第1段階ではタイミング制約の基点となるレジスタに着目してセル同士をクラスタリングし、クラスタ集合を生成する。次に生成したクラスタを格子状(グローバルビン)に分割したチップエリア上にシミュレーテッドアニーリング(SA)を用いて配置する。各クラスタは連結した複数のグローバルビンに配置されるものとし、クラスタの配置形状は任意とする。この配置モデルをアメーバモデルという。提案手法ではクラスタの配置形状が矩形に制約されないため、タイミング制約を満たした質の高いレイアウトを得ることができる。配置手法の第2段階ではクラスタをセルに分解し、タイミング制約を考慮しながら各セルをセル行に割り当てることにより最終的なスタンダードセル配置を得る。

キーワード : レイアウト設計, スタンダードセル, クラスタリング, Elmore 遅延モデル, シミュレーテッドアニーリング, アメーバモデル

A Timing-Driven Standard-Cell Placement Method Based on Cell-Clustering and the New Placement Model

Nobuyuki IWAUCHI[†] Shin'ichi WAKABAYASHI[†] Tetsushi KOIDE[†]

[†]Graduate School of Engineering [†]Research Center for Nanodevices and Systems

Hiroshima University

4-1, Kagamiyama 1 chome, Higashi-Hiroshima 739-8527 JAPAN

E-mail: {jet, wakaba}@ecs.hiroshima-u.ac.jp, koide@sxsys.hiroshima-u.ac.jp

In this paper, a new timing-driven cell placement method based on the new placement model is proposed for VLSI standard cell layout. The proposed method consists of two stages: global placement and detailed placement. In the first stage, the set of clusters are constructed by clustering cells, considering registers, for which the timing constraints are given. Then, with the simulated annealing based method, clusters are placed on the chip area, which is partitioned into the set of global bins. In the proposed method, the shape of each cluster is not restricted to a rectangle, but can be arbitrarily given under some conditions. This placement model is called the amoeba model. Since the flexibility of cluster placement is increased due to this new placement model, a satisfactory placement satisfying timing constraints can be obtained. In the second stage of the proposed method, each cluster is decomposed into the set of cells, and cells are assigned to cell rows, considering timing constraints, to produce a final cell placement.

key words : layout design, standard cell, clusering, Elmore delay model, simulated annealing, amoeba model

1 はじめに

近年の半導体技術の進歩に伴い、回路遅延全体に占める配線遅延の割合が支配的となってきている。そのため、チップの動作速度を向上させるためには機能・論理設計における回路遅延の短縮だけでは対処できなくなってきており、配線遅延の短縮を目的としたレイアウト設計手法が重要になってきている[2, 4]。本稿では10万セル以上の大規模スタンダードセルLSI設計[8]に対し、タイミング制約を陽に考慮した、新しい配置モデルに基づくスタンダードセル配置設計手法を提案する。

一般にレイアウト設計において大規模回路を効率よく扱うためには、計算時間の短縮を目的として何らかの階層化設計手法を導入することが不可欠である[7][5]。そこで提案手法ではセル配置を概略配置と詳細配置の2段階に分けて行なう。まず、提案手法の第1段階では階層化設計手法の一つであるセル同士のクラスタリングを導入し、タイミング制約の基点となるレジスタに着目してセル同士をクラスタリングし、クラスタ集合を生成する。次に生成したクラスタを格子状(グローバルピン)に分割したチップエリア上にシミュレーテッドアニーリング(SA)を用いて配置する。配置の目的はクラスタ間の配線長の最小化とともに、レジスタ間に与えられたタイミング制約を満たすことである。各クラスタは連結した複数のグローバルピンに配置されるものとし、クラスタの配置形状は任意とする。この配置モデルをアメーバモデルという。従来の概略配置手法ではクラスタ形状を矩形と仮定してクラスタを配置するのにに対し、提案手法ではクラスタの配置形状が矩形に制約されないため、タイミング制約を満たした質の高いレイアウトを得ることができる。配置手法の第2段階ではクラスタをセルに分解し、タイミング制約を考慮しながら各セルをセル行に割り当てることにより最終的なスタンダードセル配置を得る。

本稿の構成は以下の通りである。2.では問題の定式化を行ない、3.で提案手法について述べる。最後に4.で今後の課題とまとめを述べる。

2 準備

2.1 配線遅延モデル

本稿では配線遅延モデルとして以下に示す Elmore 遅延モデル[3]を使用する。Elmore 遅延モデルは比較的精度良く、配線抵抗、配線キャパシタンスから配線遅延を求めることが可能である。

配線 e_v を節点 v の親から節点 v までの配線とし、 l_{e_v} , w_{e_v} , c_{e_v} , r_{e_v} をそれぞれ配線 e_v の配線長、配線幅、配線キャパシタンス、配線抵抗とする。また、 c_a , c_f , r_0 を単位幅、単位長あたりの配線面キャパシタンス、フリッジキャパシタンス、及び抵抗とする。 T_0 , $c(T_0)$ をそれぞれ節点 v を根とする部分木、及び部分木内で直接配線で接続されている部分の配線容量とする。配線 e_v の配線遅延を $D_{wire}(e_v)$ とすると、

$$c_{e_v} = (c_a \cdot w_{e_v} + c_f) \cdot l_{e_v}$$

$$r_{e_v} = r_0 \cdot \frac{l_{e_v}}{w_{e_v}}$$

$$D_{wire}(e_v) = r_{e_v} \cdot \left(\frac{c_{e_v}}{2} + c(T_0) \right)$$

で表される。

2.2 問題の定式化

本稿で扱うレイアウトモデルはスタンダードセルレイアウトとし、すべてのセルは同じ高さを持ち、ネットの各端子はセルの中心に位置するものと仮定する。セル間配線は垂直配線と水平配線による配線経路として見積もり、配線層割り当てや配線チャネルへの配線セグメントの割り当ては考慮しない。各レジスタ間の信号経路(パス)にはタイミング制約が与えられており、ネットの配線遅延は前節で示した Elmore 遅延モデルにより評価される。

本稿で考察するスタンダードセル配置問題を以下のように定式化する。

【スタンダードセル配置問題】

入力: セル集合, パッド集合, ネットリスト, タイミング制約集合

出力: セルの配置座標

制約: タイミング制約を満たす

目的: 総配線長の最小化

3 提案手法

3.1 概要

提案手法は概略配置と詳細配置の2段階で配置を行なう。概略配置では、入力として与えられたセル集合をクラスタの集合にクラスタリングし、各クラスタを格子上に分割したチップエリア上に、シミュレーテッドアニーリング(SA)[6]を用いて配置する。また、概略配置におけるクラスタの配置モデルとして、本稿で新たに提案するアメーバモデルを用いる。本配置モデルにおいてはクラスタの任意の配置形状を許しているため、配置の自由度が増し、その結果、タイミング制約を満たした質の高いレイアウトを得ることができる。詳細配置では、概略配置におけるクラスタ配置結果に基づき、クラスタをセルに分解し、タイミングを考慮しながら各セルをセル行に割り当てる。提案手法の概要を図1に示す。

3.2 クラスタリング

本稿では提案手法の入力である配置対象の回路として10万セル以上の大規模回路を想定しているため、計算時間の観点から入力回路をそのまま扱うのは困難である。そこで、提案手法では入力として与えられるセル集合をクラスタリングすることにより問題サイズを小さくする。

クラスタリングにおいては、まず、目標とするクラスタ数を決定する。提案手法では後述するようにクラスタの配置をシミュレーテッドアニーリングを用いて行なうため、クラスタ数をあまり大きくすることはできない。通常、セル数に応じて500~1000個のクラスタ数とする。また、クラスタ数と予

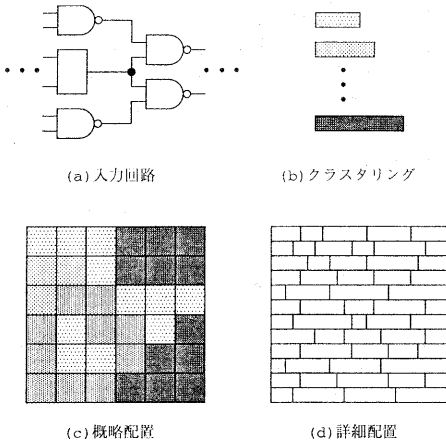


図 1 提案手法の概要

想チップ面積から各クラスタのサイズの上限を決定する。その後、各レジスタを初期クラスタとして、クラスタサイズの上限を満たす範囲でグリーディにセルをマージする。詳細は紙面の都合上省略する。

3.3 アメーバモデル

一般に、クラスタをチップエリア上に配置した場合、あるクラスタと他のクラスタを接続するネットの配線長はネットごとに異なる。ネットの配線長を短くするためにはネットが接続するクラスタ同士が近くなるようにクラスタの配置を決定し、さらにネットの配線長が短くなるようにクラスタの配置形状を決定する必要がある。しかし、従来のクラスタ配置手法のようにクラスタの配置形状が矩形に制約されている場合、ネットの配線長を十分に短くできない場合がある。そこで、提案手法ではクラスタ間の接続関係に応じてクラスタの配置形状を柔軟に変更可能なアメーバモデルを提案する。

アメーバモデルを定義するために必要な用語を定義する。まず、与えられたセル集合からセルの総面積を計算し、セル配置の対象となる矩形をチップエリアとして設定する。チップエリアをX方向、Y方向にそれぞれ等間隔に分割し、分割されたチップエリアの各格子をグローバルピン、あるいは単にピンとよぶ。ただし、グローバルピンの総数がクラスタ数の10~15倍程度になるようにチップエリアをグローバルピンに分割するものとする。

各クラスタはピンを単位としてチップエリア上に配置される(図2参照)。クラスタCのサイズ(面積)を $size(C)$ 、ピンのサイズ(面積)を A_{bin} とすると、クラスタCは $\lceil size(C)/A_{bin} \rceil$ 個のピンに配置されるものとする。チップエリア上のピン b_1 と b_2 が頂点もしくは辺を共有しているとき、 b_1 と b_2 は8隣接であるという。また、 b_1 と b_2 が辺のみを共有しているとき、4隣接であるという。チップエリア上のピンの集合Bに対し、B中の任意の2個のピン

の8隣接の関係の反射推移閉包(reflexive transitive closure)がBに対する全関係(universal relation)になるならば、Bは8連結であるという。チップエリア上のピン集合Bに対する4連結も4隣接の関係を用いて同様に定義する。さらに、チップエリア上のピンの集合Bがホールをもたないとは、チップエリアの上下左右に1個ずつピンを追加(4角にあたるピンも加える)した拡大チップエリアにおいて、B以外のピンの集合が4連結であることをいう。

この時、クラスタ配置のアメーバモデルを以下のように定義する。

[アメーバモデル] 各クラスタに対し、クラスタに対応するピン集合を8連結で、かつホールをもたないようにチップエリア上に配置する。ただし、クラスタ間の重なりは許す。

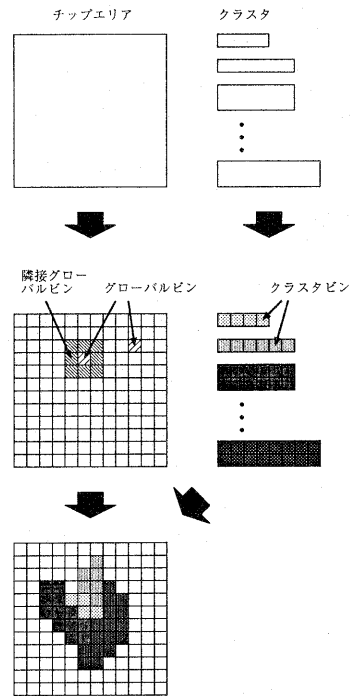


図 2 アメーバモデルに基づく概略配置

アメーバモデルに基づく提案手法の概略配置においては、あるクラスタの形状に着目すると、初期配置から最終配置を得るまでの過程において、各クラスタはその時々に応じた形状を取る。その形状の変化がアメーバのように様々な形状を取ることから、これをアメーバモデルと名付けた。クラスタの配置形状が従来の概略配置手法のように矩形に制約されず、任意の形状が許されているため、配置の自由度が増し、タイミング制約を満たした質の高いレイア

ウトを得ることができる。

3.4 概略配置手法

提案手法の概略配置では、クラスタリングにより生成されたクラスタ集合を、アメーバ配置モデルに基づいてチップエリア上にシミュレーテッドアニリング(SA)を用いて配置する。また、初期配置はクラスタの配置形状を正方形(ピン数の関係で正方形とならない場合は右上が欠けた直交多角形)とし、重なりを許してランダムにチップエリア上にクラスタを配置することで生成する。SAに基づく概略配置手法(提案手法の第1段階)の概要を以下に示す。

《概略配置手法》

- 【Step1】 初期配置をランダムに生成する。SAの初期温度を設定する。
- 【Step2】 ランダムにクラスタを一つ選択する。
- 【Step3】 Step2で選択したクラスタの配置位置を変更する(3.4.1参照)。
- 【Step4】 Step3で配置位置を変更したクラスタの形状を決定する(3.4.2参照)。
- 【Step5】 得られた解候補に対しコストを計算する(3.4.3参照)。
- 【Step6】 SAの解候補の受理判定を実行する。
- 【Step7】 SAの内部ループ回数、および温度を更新する。
- 【Step8】 終了条件が満たされるまでStep2~Step7を繰り返す。

以降では提案手法を厳密に、かつ簡潔に記述するために以下の記法を用いる。クラスタリングの結果、得られたクラスタ集合を C 、チップエリアを構成するピンの集合を B_{all} で表す。各クラスタ $C \in C$ に対し、 C を構成するピン数を $N(C)$ で表す。前述の仮定より $N(C) = \lceil \text{size}(C)/A_{bin} \rceil$ である。このとき、クラスタ C に対するアメーバ配置モデルを満足するクラスタ配置に含まれるチップエリア上のピン集合を $P(C) \subset B_{all}$ で表す。また、チップエリア上の任意のピン b_i に対し、 b_i に配置されているクラスタの集合を $Q(b_i)$ で表す。すなわち、 $Q(b_i) = \{C | b_i \in P(C), C \in C\}$ である。

3.4.1 クラスタの配置変更

概略配置手法のStep3におけるクラスタの配置位置の変更手順を以下に示す。Step2においてランダムにクラスタ(C_i とする)が一つ選択されると(図3(a)), Step3では、まず $P(C_i) = \emptyset$ とする(図3(b))。次に、 B_{all} からピンをランダムに一つ選択し(選択したピンを b_s とする)、 $P(C_i) = \{b_s\}$ とする(図3(c))。 b_s を C_i のクラスタ中心ピンとよぶ。 b_s を始点として、3.4.2で示すクラスタ配置形状決定アルゴリズムにより $(N(C_i) - 1)$ 個のピンをグリーディに1個ずつ $P(C_i)$ に加えていくことにより C_i の配置を決定する(図3(d)~(f))。もし、 C_i を配置変更する前の時点において $Q(b_s) = \emptyset$ 、あるいは $C_i \in Q(b_s)$

であれば C_i に対するクラスタ配置変更を終了する。そうでなければさらに次の操作を行なう。 C_i に対するクラスタ配置変更をする前の $Q(b_s)$ の要素であるクラスタをランダムに1個選択する。選択したクラスタを C_j とすると、 $P(C_j) = \emptyset$ とする。次に C_j を配置変更する前の $P(C_i)$ の要素をランダムに1個選択し、これを b_t として、 $P(C_j) = \{b_t\}$ とする。最後に3.4.2で示すクラスタ配置形状決定アルゴリズムにより $(N(C_j) - 1)$ 個のピンをグリーディに1個ずつ $P(C_j)$ に加えていくことによりクラスタ C_j の配置を決定する。

上述の説明からわかるように、提案概略配置手法のStep3(クラスタ配置位置変更手順)は1個のクラスタを移動する場合と2個のクラスタを交換する場合の2通りの操作を含んでいる。

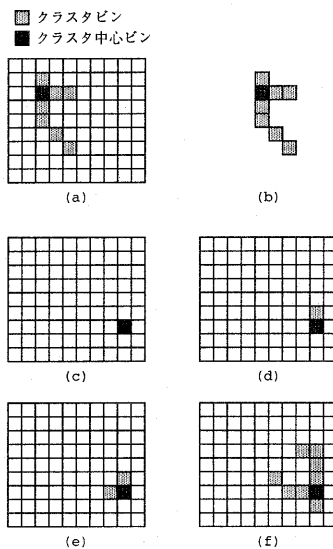


図3 配置変更と形状決定の例

3.4.2 クラスタ配置形状の決定

概略配置手法のStep4ではStep3で配置位置を変更したクラスタ C に対し、クラスタ同士の重なりを考慮しながらクラスタ C と他のクラスタを接続するネットの配線の配線遅延時間が最小となるようにクラスタ形状を決定する。実際にはクラスタ配置形状決定時における配線遅延時間の詳細な評価は多大の計算時間を要するため、仮想配線長の2乗を用いてクラスタ配置形状の評価を行なう。

クラスタの配置形状の決定手法を与える前に、手法の記述に必要な記法を定義する。 C に接続しているネットの集合を $Net(C)$ で表す。ただし、ネット $n \in Net(C)$ はクラスタの集合とする。クラスタ C_i と C_j の距離を $l(C_i, C_j)$ で表し、

$$l(C_i, C_j) = \min\{l_M(b, b') \mid b \in P(C_i), b' \in P(C_j)\}$$

とする。ただし、 $l_M(b, b')$ はピン b と b' の中心間のマンハッタン距離である。このとき、ネット $n \in \text{Net}(C)$ の仮想配線長を $L(C, n)$ で表し、以下のよう
に定義する。

$$L(C, n) = \min\{l(C, C') \mid C' \in n, C' \neq C\}$$

クラスタ C の配置形状の決定手法を以下に示す。ただし、クラスタ C のクラスタ中心ピンを b_s とする。また、 α はユーザ定義のパラメータである。

《クラスタ配置形状決定アルゴリズム》

- 【step1】 $P(C) = \{b_s\}$ とする。
- 【step2】 $P(C)$ に 8 隣接し、そのピンを $P(C)$ に加えてもホールが生じないピンの集合を B_N とする。
- 【step3】 B_N の各要素 b に対し、以下を実行する。
 - (1) 一時的に $P(C) = P(C) \cup \{b\}$ とする。
 - (2) 配線長の 2 乗和の計算。

$$L_{total}(C, b) = \sum_{n \in \text{Net}(C)} \{L(C, n)\}^2$$

- (3) コストの計算。

$$C(C, b) = L_{total}(C, b) + \alpha(|Q(b)| - 1)^2 \quad (1)$$

- (4) $P(C)$ から b を除去する。

【step4】 step3 の計算結果において、 B_N の要素の中で最もコスト $C(C, b)$ が小さいピン b_{min} を選択し、 $P(C) = P(C) \cup \{b_{min}\}$ とする。

【step5】 $|P(C)| = |N(C)|$ となるまで step2 ~ step4 を繰り返す。

3.4.3 コスト関数

提案手法の概略配置におけるコスト関数を以下のように定義する。

$$f_{cost} = L_{wire} + \beta N_{overlap} + \gamma T_{vio} \quad (2)$$

ここで、 $N_{overlap}$ はピン単位でのクラスタ配置の重なる総数の 2 乗和であり、

$$N_{overlap} = \sum_{b \in B_{all} \text{ such that } |Q(b)| > 0} (|Q(b)| - 1)^2$$

で定義される。クラスタ間にまったく重なりがない場合は 0 となる。 L_{wire} はネットの総仮想配線長、 T_{vio} は入力として与えられたレジスタ間のパス遅延に対するタイミング制約の違反時間の総和を表す。 L_{wire} と T_{vio} は 3.4.4 で説明する概略配線評価手法

により計算される。 β および γ はユーザが定義するパラメータである。

提案手法では SA をベースにしているため、コスト関数は 100 万回以上評価される。また、SA の初期の段階では解空間をグローバルに探索しているため、候補解の詳細な評価は必要ない。このため、実際のプログラムでは SA の初期段階ではタイミング制約は考慮せずに式 (1) に基づくコスト関数を用い、ある程度、温度が低くなってからコスト関数として式 (2) を用いる。いずれの場合も、配置位置が変更されたクラスタに注目し、それまでに計算されているコスト関数との差分のみを計算することでクラスタ配置位置変更後のコスト関数の値を計算することができる。

3.4.4 クラスタ間の概略配線評価

コスト関数・式 (2) の計算を行なうためにはアメーバ配置モデルに基づいてチップエリア上に配置された各クラスタに対し、クラスタに接続しているネットの端子がクラスタ内のどのピンに配置されているかを決定する必要がある。さらに、総仮想配線長を求めるためにはクラスタ間を接続するネットの概略配線経路も求める必要がある。提案手法では文献 [1] で提案されている SERT アルゴリズムを拡張してこれらを決定する。SERT アルゴリズムは、ソースとシンクの位置が与えられていると仮定し、Elmore 遅延の最小化を目的としてスタイナ木を生成し、シンク数を k とすると $O(k^4)$ の計算時間で計算できる。SERT アルゴリズムは、ソース n_0 を根とする配線木 T からスタートし、反復的に配線木 T にシンクを 1 つずつ加えることによりスタイナ木を生成する。各反復では、新しく生成される配線木 T_{new} に含まれる全てのシンクまでの Elmore 遅延の最大値が最小となるシンクを探索し配線木 T_{cur} に加える。この時、新しく加えるシンクに最も近いエッジにスタイナ節点を生成する場合も考慮に入れる。図 4 に SERT アルゴリズムの実行例を示す。図中の節点に付けられている番号はソース 0 からの距離の昇順を示している。

SERT アルゴリズムを実行するには、クラスタの端子位置が決定していることが必要である。しかし、クラスタの配置変更・形状決定後は端子位置が決定されていない。そこで、提案手法では配線経路を求める SERT アルゴリズムの進行と同時に端子位置を決定する。

SERT アルゴリズムでは、すでに生成されているスタイナ木に、そのスタイナ木に最も近いノード (= 端子) を加える操作を繰り返し行なう。その際、最も近いノードを選択する代わりに、クラスタピンがスタイナ木に最も近いクラスタピンを選択し、そのクラスタピンをクラスタの端子とした上でスタイナ木に加えるようにする。

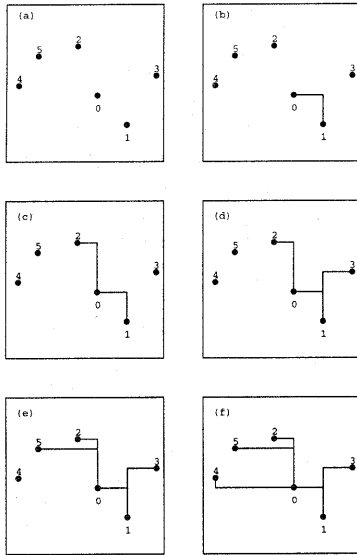


図 4 SERT アルゴリズムの実行例

3.4.5 タイミング評価

コスト関数 (2) を評価するためには入力として与えられたタイミング制約を満たしているかどうかを検証する必要がある。クラスタに接続しているネットのクラスタの端子の位置は配線評価時に求めているので、タイミング制約が与えられているレジスタの位置のみを新たに決定すればよい。

クラスタ C に含まれるレジスタ R に注目する。レジスタ R を始点もしくは終点とするタイミング制約の集合を $TC(R)$ とし、 $TC(R)$ で制約が与えられている信号経路上でクラスタ C の入力端子、あるいは出力端子となっている端子が割り当てられているピンから構成される多重集合 (multiset) を $PIN(R)$ とする。このとき、 $PIN(R)$ の各ピンとの距離の 2 乗和が最小となる $P(C)$ のピンに R を割り当てるものとする。

タイミング評価は以下のように行なう。ここでは簡単のため、タイミング制約の与えられているレジスタからクラスタの端子までの信号経路上には少なくともゲートが 1 つあるようにクラスタリングされているものと仮定する。また、レジスタを経由しないクラスタの入力端子から出力端子までの信号経路はないと仮定する。クラスタ間については前節で説明した手法で求めた配線経路を仮定し、ソース端子からシンク端子までの Elmore 遅延を計算する。クラスタ内については、上記のようにして求めたレジスタの位置に基づいて Elmore 遅延モデルに基づいて各端子からレジスタまでの遅延時間を求める。た

だし、端子からレジスタまでの信号経路上のゲートは等間隔に配置されているものと仮定して遅延時間を計算する。最後にクラスタ内の遅延とクラスタ間の遅延を足し合わせて全体の信号遅延を求め、タイミングを検証する。

3.5 詳細配置

概略配置の終了後、概略配置の配置結果に基づいて詳細配置を行ない、セルをセル行に割り当てる。

詳細配置は 3 つのフェーズで実行される。第 1 フェーズではクラスタをセルに分解し、セル単位でクラスタが配置されていたピンのいずれかに割り当てる。クラスタの端子セルやレジスタは、3.4.4 で決定したピンに優先的に割り当てる。これらの操作はタイミング制約を考慮した低い温度の SA を用いて行なう。第 2 フェーズでは、セル行ごとに順次タイミングを考慮しながらグリーディにセル行に近いピンからセルをセル行に割り当てていく。最後に第 3 フェーズではセル同士の交換に基づく逐次改良手法により配置を改良する。詳細は紙面の都合上、省略する。

4 あとがき

本稿では新しい配置モデルに基づく階層化スタンダードセル配置手法を提案した。本手法の配置モデルはクラスタ配置形状の柔軟性が高く、配置の自由度が増加するため、質の高い配置結果を得ることができるものと期待される。

現在、C 言語による提案手法の実装を進めている。完成次第、UltraSPARC-II(450MHz) プロセッサ上でシミュレーション実験を行なう予定である。また、新しい配置モデルであるため、配置手法には多くの改良の余地が残されていると考えており、今後、シミュレーション結果に基づいて手法の改良を行なっていく予定である。

参考文献

- [1] K. D. Boese, A. B. Kahng and G. Robins: "High-performance routing trees with identified critical sinks", Proc. of 30th ACM/IEEE Design Automation Conference, pp.182-187, 1993.
- [2] Y. C. Chou and Y. L. Lin: "A performance-driven standard-cell placer based on a modified force-directed algorithm", Proc. of International Symposium on Physical Design, pp.24-29, 2001.
- [3] W. C. Elmore: "The transient response of damped linear network with particular regard to wideband amplifier", J. Applied Physics, pp.55-63, 1948.
- [4] S. H. Gerez: "Algorithms for VLSI design automation", John Wiley & Sons Ltd, 1998.
- [5] S. Hur and J. Lillis: "Mongrel: hybrid techniques for standard cell placement", Proc. of International Conference on Computer Aided Design, pp.165-170, 2000.
- [6] S. M. Sait and H. Youssef: "Iterative Computer Algorithms with Applications in Engineering", IEEE Computer Society, 1999.
- [7] M. Sarrafzadeh and M. Wang: "NRG: Global and detailed placement", Proc. of International Conference on Computer Aided Design, pp.532-537, 1997.
- [8] M. Wang, X. Yang and M. Sarrafzadeh: "DRGON2000: Standard-cell placement tool for large industry circuits", Proc. of International Conference on Computer Aided Design, pp.260-263, 2000.