

## システム VLSI のための高位面積/遅延/消費電力見積もりに基づく 低消費電力指向高位合成手法

野田 真一<sup>†</sup> 戸川 望<sup>†,††,†††</sup> 柳澤 政生<sup>†</sup> 大附 辰夫<sup>†</sup>

<sup>†</sup> 早稲田大学理工学部電子・情報通信学科

<sup>††</sup> 北九州市立大学国際環境工学部情報メディア工学科

<sup>†††</sup> 早稲田大学理工学総合研究センター

〒 169-8555 東京都新宿区大久保 3-4-1

Tel: 03-5286-3396, Fax: 03-3203-9184

E-mail: noda@ohtsuki.comm.waseda.ac.jp

あらまし 本稿では、面積/遅延/実行時間の制約を満たしながら低消費電力なシステム VLSI を合成可能な高位合成システムを提案する。低消費電力化手法として、1) 電源電圧の低減、2) 低消費電力なモジュールの選択、3) Gated Clock の 3 つの手法を採用した。一般に、これら 3 つの手法の適用により消費電力は低減可能であるが、面積/遅延/実行時間は増加してしまう。提案する手法では、面積/遅延/実行時間の変化量を予測することによって、これらの各制約を満たしながら初期ハードウェアよりも消費電力を低減したハードウェアを合成することができる。さらに、計算機実験により消費電力が低減されていることを確認した。

キーワード 高位合成, 低消費電力化, 順序回路, 電源電圧, 演算器交換, Gated Clock

## A High-Level Power Optimization Algorithm for System VLSIs Based on Area/Delay/Power Estimation

Shinichi NODA<sup>†</sup>, Nozomu TOGAWA<sup>††,†††</sup>, Masao YANAGISAWA<sup>†</sup>, and Tatsuo OHTSUKI<sup>†</sup>

<sup>†</sup> Dept. of Electronics, Information and Communication Engineering, Waseda University

<sup>††</sup> Dept. of Information and Media Sciences, The University of Kitakyushu

<sup>†††</sup> Advanced Research Institute for Science and Engineering, Waseda University

3-4-1 Okubo, Shinjuku, Tokyo 169-8555, Japan

Tel: +81-3-5286-3396, Fax: +81-3-3203-9184

E-mail: noda@ohtsuki.comm.waseda.ac.jp

**Abstract** This paper proposes a new high-level synthesis system which can synthesize low-powered system VLSIs under the constraints of area, delay, and execution time. In the proposed system, first an initial system hardware is obtained from an abstract behavioral description. Then three power reduction techniques, 1) reducing power supply voltage, 2) selecting lower power modules, and 3) applying gated clocks, are applied to it. However these power reduction techniques may increase area, delay, and/or execution time of a synthesized hardware, while they can reduce its power dissipation. In this paper, we propose a power optimization algorithm which incorporates area/delay/power estimation, in which we can obtain a synthesized hardware meeting given area/delay/power constraints. Experimental results demonstrate effectiveness and efficiency of the algorithm.

**Key words** High-level synthesis, power reduction, sequential circuits, supply voltage, exchange of functional units, gated clocks

# 1. まえがき

携帯情報機器の普及により低消費電力なシステム VLSI の必要性が急速に高まっている。同時に、短期間で高性能な VLSI を開発するために高い抽象度での設計が求められる。この2つ要求を同時に実現するために低消費電力な VLSI を合成可能な高位合成システムが必要となっている。

高位段階で低消費電力を実現する手法として、[1], [11] では、Gated Clock による低消費電力化手法が提案されている。また、演算ユニットに着目し、スイッチングを減少させるスケジューリング手法 [7] やバインディング手法 [5] も提案されている。[2] では、スイッチング確率最小化を目指してレジスタアロケーションおよびバインディングを実現する。[4] では、低消費電力化を意図したループフォールディングにより FIR フィルタで最大 50% の消費電力の低減を実現する。[6] では、電源電圧の低下、Gated Clock 等を使ったモジュールの選択によって低消費電力化を目指す。

我々は、これまでに Gated Clock 適用時の面積/遅延/消費電力の変化量を見積もる手法を提案している [9]。[9] では、Gated Clock 適用時の面積/遅延の変化量を見積もるため、面積/遅延制約を満たしながら消費電力が削減できる。そのため、[9] の見積もり手法を応用することで新たな低消費電力指向高位合成手法が実現可能となる。

本稿では、高位合成システムとして Hyperion [3], [12], [13], [15], [16] を想定し、1) 電源電圧の低減、2) 低消費電力なモジュールの選択、3) Gated Clock の3つの低消費電力化手法を Hyperion における消費電力最適化系に組み込む。本稿では、高位合成時に面積/遅延/実行時間の各制約を満たしながら消費電力を削減するアルゴリズムを提案し、高位合成システム上に実現する。一般に、これら3つの手法の適用により消費電力は低減可能であるが、面積/遅延/実行時間は増加してしまうため、高位合成システムにおいて面積/遅延/実行時間の制約を満たしながら消費電力を低減することは困難であった。本稿では、これらの変化量を見積もりながら消費電力最適化を実現することにより、面積/遅延/実行時間制約を満たしながら消費電力を低減する手法を提案する。

本稿は以下のように構成される。2章で消費電力最適化系の想定する高位合成システムを定義し、3章では適用する低消費電力化手法を決定する。4章では低消費電力最適化アルゴリズムを提案し、5章では消費電力最適化の前後で論理合成した回路の測定値から消費電力削減効果を論じる。6章で本稿をまとめる。

## 2. 高位合成システム Hyperion

高位合成システム Hyperion は図1に示すように1) コード最適化系、2) アプリケーション解析系、3) 面積/時間最適化系、4) ハードウェア生成系から構成される。本システムは、C言語による動作記述、制約条件を入力とし、VHDL によるハードウェア記述および Gated Clock 適用レポート (オプション) を出力する。制約条件としては、面積制約と時間制約 (遅延制約および実行時間制約) が与えられる。

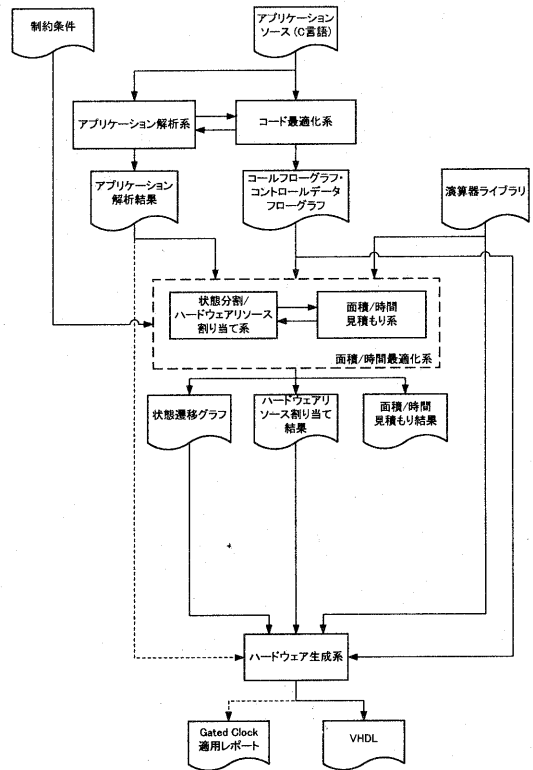


図1 高位合成システム Hyperion.

システムの各構成要素は以下のようになっている。

コード最適化系 [12] は、C言語によるアプリケーションソースを入力とし、コールフローグラフ、コントロールデータフローグラフを出力する。

アプリケーション解析系 [12] は、C言語によるアプリケーションソースを入力とし、各節点の実行回数であるアプリケーション解析結果を出力する。

面積/時間最適化系は、状態分割/ハードウェアリソース割り当て系 [3], [13] と面積/時間見積もり系 [15] から構成される。面積/時間制約、コールフローグラフとコントロールデータフローグラフ、アプリケーション解析結果、および演算器ライブラリを入力とし、面積制約および時間制約を満足するように、各コンポーネント関数に対する状態遷移グラフと、その状態遷移グラフを実行するハードウェアリソースの割り当て、面積/時間の見積もり値を出力する。

ハードウェア記述生成系では、コールフローグラフとコントロールデータフローグラフ、各コンポーネント関数に対応する状態遷移グラフとハードウェアリソースの割り当て、および演算器ライブラリを入力として、アプリケーションプログラムを実現する、論理合成ツールで合成可能なハードウェア記述 (VHDL) を出力する。

また、本システムでは Gated Clock が適用可能であり、その場合、ハードウェア記述生成系にアプリケーション解析結果を入力する。このとき、ハードウェア生成系は Gated

表 1 電源電圧と閾値電圧の対応.

電源電圧 [V]	閾値電圧 [V]	遅延増加率
5.0	1.5	1
3.3	1.0	1.53
2.5	0.8	2.12
1.8	0.5	2.61

Clock が適用された VHDL 記述および Gated Clock を適用したレジスタバンクのビット幅とスイッチング情報が記載された Gated Clock 適用レポートを出力することで Gated Clock の適用を実現している。

### 3. 低消費電力化の実現

本システムでは、低消費電力化手法として、1) 電源電圧の低減、2) 低消費電力なモジュールの選択、3) Gated Clock の 3 手法を採用する。各手法は以下のような特性をもつ。

#### 3.1 電源電圧の低減

一般に、CMOS の負荷容量の充放電による電力消費  $P_{dyn}$  は、[10] より、

$$P_{dyn} = V_{dd}^2 f C_{eff} \quad (1)$$

と表される。ここに、 $V_{dd}$  は電源電圧、 $f$  は動作周波数、 $C_{eff}$  は実効容量である。ここで、 $C_L$  を実際の負荷容量、 $p_{0 \rightarrow 1}$  を 0 から 1 へ遷移する確率（スイッチング確率）であるとすると、 $C_{eff} = C_L \times p_{0 \rightarrow 1}$  と書ける。

式 (1) より電源電圧を低減すれば、電力消費は電源電圧の 2 乗に比例して低減される。しかし、電源電圧の低減は伝搬遅延を増大させる。一般に、電源電圧  $V_{dd}$  と伝搬遅延  $t_p$  は、 $k$  を定数、 $V_{TH}$  を閾値電圧として、

$$t_p = k \times \frac{V_{dd}}{(V_{dd} - V_{TH})^2} \quad (2)$$

という関係がある [14]。

本システムでは電源電圧および閾値電圧の候補を、[8] より、表 1 のように設定する。電源電圧低減による遅延増加を抑えるような、物理構造での解決は高位合成の範囲を越えるので、本稿では考えないものとする。表 1 において遅延増加率とは電源電圧 5 [V] における伝搬遅延を 1 としたとき、それぞれの電源電圧、閾値電圧における伝搬遅延との比を式 (2) により算出したものである。

本節での電源電圧の低減に関する議論は、ゲートレベルでの消費電力測定などによる実験的な確認は取れないが、電源電圧による消費電力の変化は式 (1) より、ほぼ正確に見積もることが可能であると考えられる。

#### 3.2 モジュール選択

Hyperion では演算器ライブラリとして、同一の機能に対し、1) 面積優先で最適化された演算器、2) 時間優先で最適化された演算器の 2 種類の演算器をもつ。このとき、入力に同一の信号列を与えた場合、時間優先で最適化された演算器の方が大きな消費電力をもつ。すなわち、ハードウェアで使われている、時間優先で最適化された演算器を面積優先で最適化された演算器に置き換えることで、遅延時間、実行時間は増加するがハードウェア全体としての消費電力の低減が

期待される。

表 2 に、面積優先で最適化された演算器と時間優先で最適化された演算器の面積/遅延/消費電力の論理合成値を示す。論理合成ツールはシノプシス社の Design Compiler を使い、テクノロジライブラリは VDEC 日立ライブラリ<sup>(注1)</sup> (0.35  $\mu$ m テクノロジ) を使用した。表 2 のユニット名に付与されている数値は演算器の出力ビット数を表している。なお、消費電力はシノプシス社の VSS によるゲートレベルシミュレーション結果を論理合成後の回路にバックアノテートし、電源電圧を 5 [V] として、シノプシス社の DesignPower により 10 回測定した結果を平均したものである。入力信号列は、スタティック・プロバビリティ<sup>(注2)</sup> を 0.5、トグル・レート<sup>(注3)</sup> を単位クロック当たり 0.5 として乱数により 1,000 クロック分生成した。ここで、各回において入力される信号のスイッチング確率は同等であるが、入力列は異なるものを用いている。また、同一の機能をもつ演算器に対しては、面積優先で最適化されたものと時間優先で最適化されたものの双方に同一の入力信号を与えている。

表 2 は、面積優先で最適化した演算器ユニット群が時間優先で最適化した演算器ユニット群よりも小さい消費電力をもっていることを示している。このため、時間優先で最適化された最適化された演算器ユニットを面積優先で最適化された演算器ユニットに交換することで低消費電力化が実現される。表 2 で得られた消費電力を各演算器の消費電力として演算器ライブラリに登録することで、時間優先で最適化された演算器を面積優先で最適化された演算器に交換したときの消費電力の低減の効果を見積もることが可能になる。

#### 3.3 Gated Clock

Gated Clock はレジスタに着目し、レジスタの出力信号が使用されない状態  $S_n$  が存在するとき、前状態  $S_{n-1}$  では新たにレジスタに値を保存する必要がないため、レジスタにクロック信号を供給しないことで等価的にスイッチング確率  $p_{0 \rightarrow 1}$  を減少させ消費電力の低減を図る手法である。

一般に、低消費電力化手法として Gated Clock を使用する場合、Gated Clock の適用により回路の消費電力は削減されるのに対し、面積/遅延の増加が考えられる。また、Gated Clock は回路に制御回路を付加することにより付加回路自体の消費電力が増加するため、全体として消費電力が削減されることは保証されていない。

このため、Gated Clock を低消費電力化手法として採用する場合、Gated Clock の適用時の面積/遅延/消費電力の変化量の定量的な見積もりが必要となる。この見積もりは、[9] によってなされており、単純化した回路モデルを導入することで変化量に関わるパラメータを削減し、さらに論理合成系の出力する値から面積/遅延/消費電力見積もり式を提案し

(注1)：VDEC 日立ライブラリは東京大学大規模集積システム設計教育研究センターを通し株式会社日立製作所および大日本印刷株式会社の協力で作成されたものである。

(注2)：スタティック・プロバビリティとは、期間内における信号値の“1”の占める期間の割合とする。

(注3)：トグル・レートとは、測定の対象となる期間内における信号値の変化の回数とする。

表 2 演算ライブラリユニット.

ユニット名	時間優先で最適化			面積優先で最適化		
	面積 [ $\mu\text{m}^2$ ]	遅延 [ns]	消費電力 [mW]	面積 [ $\mu\text{m}^2$ ]	遅延 [ns]	消費電力 [mW]
ALU8	23559	1.09	6.1290	7393	2.41	2.4433
ALU16	69659	1.39	18.4977	15241	4.53	5.1019
ALU32	141662	1.72	38.0346	30937	8.76	10.4551
MULT16	52014	3.32	11.7549	29093	5.19	7.3994
MULT32	217951	6.73	49.9034	118509	10.50	33.1475
COMP8	11523	1.07	2.5091	5191	2.43	1.8680
COMP16	55555	1.25	12.3803	8207	3.29	3.3824
COMP32	109799	1.63	23.9639	16270	6.88	6.1537
SFTL8	9148	0.57	1.9540	3783	1.02	1.7709
SFTL16	36287	0.70	5.5600	13731	1.74	4.5933
SFTL32	153829	0.89	16.1095	65349	1.92	11.9456
SFTR8	9102	0.57	2.0204	3878	0.90	1.5474
SFTR16	37178	0.66	6.3041	13802	1.57	4.1709
SFTR32	141505	0.94	16.3393	65418	1.96	12.2024
INC8	—	—	—	1937	1.37	0.4634
INC16	—	—	—	4233	2.88	0.5028
DEC8	—	—	—	1651	1.39	0.6336
DEC16	—	—	—	3473	2.85	1.0395

ている.[9]では Gated Clock 適用時の面積/遅延/消費電力の変化量を見積もる式を提案しており,これにより高位合成システムが与えられた制約を考慮しながら Gated Clock の適用の可否を判定することが可能となっている.さらに,[9]では見積もり式を元に Gated Clock 適用時に消費電力の削減が可能となる条件を導出しているため, Gated Clock の適用時に回路全体として消費電力が削減される時のみに Gated Clock を適用することができる.

Gated Clock 適用時の消費電力の変化量見積もりは,図2に示すような基本  $n$  ビットレジスタ回路をモデルとする. Gated Clock 適用時の消費電力の変化量は,図2において, Gated Clock の適用対象となるレジスタのビット幅を  $n$ ,状態からの制御信号  $state\_enb$  のスタティック・プロバビリティを  $\rho_{st}$ , トグル・レートを  $\tau_{st}$  としたとき,消費電力の変化量を  $P_{dif}$  として,

$$\begin{aligned}
 P_{dif}(n, \rho_{st}, \tau_{st}) &= P_{gated} - P_{normal} \\
 &= -104.76n + 102.12\rho_{st}n + 113.59\rho_{st} \\
 &\quad + 4139.5\tau_{st} - 1991.4\rho_{st}\tau_{st} + 137.50 \quad [\mu\text{W}] \quad (3)
 \end{aligned}$$

となる[9].ここで,  $P_{normal}$ ,  $P_{gated}$  はそれぞれ, Gated Clock 適用前後の回路の消費電力である.また,式(3)より, Gated Clock 適用時に消費電力が削減が可能となる条件式,

$$n > \frac{1991.4\rho_{st}\tau_{st} - 4139.5\tau_{st} - 113.59\rho_{st} - 137.50}{102.12\rho_{st} - 104.76} \quad (4)$$

が求められる.

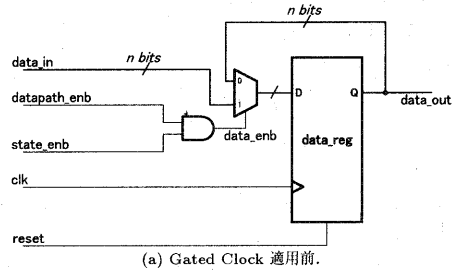
一方, Gated Clock 適用時には,回路の面積は増加し,面積の変化量を  $A_{dif}$  とすると,

$$A_{dif}(n) = 646 \quad [\mu\text{m}^2] \quad (5)$$

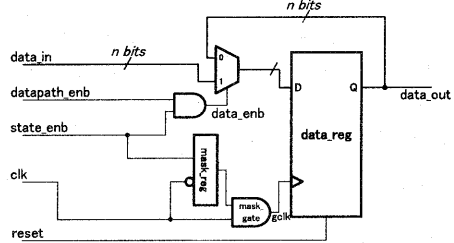
となる.したがって, Gated Clock 適用時の回路の消費電力と面積の変化量は式(3)および式(5)から見積もられる.

#### 4. 消費電力最適化アルゴリズム

前章の低消費電力化手法は以下のような特性をもつ.1)電源電圧の低減では,面積には影響を与えないが,式(2)に



(a) Gated Clock 適用前.



(b) Gated Clock 適用後.

図2 基本  $n$  ビットレジスタ回路.

より遅延が増加する.2)低消費電力なモジュールの選択では,消費電力の小さい演算器への置き換えが面積優先で最適化された演算器への置換を表しているため,面積は小さくなり,遅延が増加する(注4).3)Gated Clockでは,[9]より,面積は増加するが,遅延には影響を与えない.よって,面積/時間制約を満たし消費電力が最小化されたハードウェアを得るための手法として,図3に消費電力最適化アルゴリズムを提案する.ここで,時間制約とは遅延制約および実行時間制約とする.

図3のアルゴリズムでは,まず消費電力削減効果の高い電源電圧の低減を最初に適用する(Step 1,2).式(1)より,消費電力は電源電圧の平方に比例するため,時間制約を満たす範囲内で最も小さな電源電圧にすることで大幅な消費電力削減が期待できる.次に,低消費電力なモジュールを選択することにより,時間制約を満たす範囲内で消費電力を

(注4):ただし,置換した演算器がクリティカルパス上になく,置換後もクリティカルパスにならない場合には遅延は変化しない.

削減することを試みる (Step 3)。ここで、低消費電力なモジュールは面積が小さい演算器であるため、演算器交換を適用することで低消費電力化の実現と共に面積を減少させることが可能である。最後に、Gated Clockの適用により、面積制約を満たす範囲内で消費電力の最小化を目指す (Step 4, 5)。図3のアルゴリズムではGated Clockの適用前に演算器交換により面積を削減しているため、面積制約内でGated Clockを適用できる可能性が増え、Gated Clockによる消費電力削減効果を最大にすることができる。上記の手順で消費電力削減手法を適用することにより、面積/時間制約を満たしながら消費電力を最小化することが期待される。

図3のアルゴリズムに基づいた消費電力最適化アルゴリズムの適用例を図4に示す。図4では、元の回路 (左上) から、まず、時間制約を超えない範囲内で電源電圧の低減を適用し、電源電圧を5 [V] から2.5 [V] へ低減する (右上)。次に、低消費電力なモジュールの選択を適用し、時間優先で最適化されたALU8, SFTL8, COMP32の演算器のうち、面積優先で最適化された演算器への交換後も時間制約を満たし、且つ消費電力削減効果の大きい、ALU8とCOMP32を交換する (右下)。最後に、Gated Clockを適用し、面積制約を満たす範囲内で消費電力削減効果が大きい、2つの16ビットレジスタと1つの8ビットレジスタに対してGated Clockを適用している (左下)。

図3のアルゴリズムを消費電力最適化系として組み込んだ高位合成システムHyperionのシステム構成を図5に示す。消費電力最適化系は、面積/時間最適化系の後段に位置し、システムへの入力である面積/時間制約、コード最適化系で出力されたアプリケーションプログラムのコールフローグラフとコントロールデータフローグラフ、アプリケーション解析結果、面積/時間最適化系で出力された各コンポーネント関数に対応する状態遷移グラフとハードウェアリソースの割り当て、面積/時間見積もり結果、ハードウェア生成系により出力されたGated Clock適用レポート、および演算器ライブラリを入力とする。そして、図3のアルゴリズムを適用後、モジュールの交換により消費電力最適化済みのハードウェアリソースの割り当て、ハードウェア生成系でのGated Clock適用変数制御オプション付きのハードウェア生成系起動スクリプト、および消費電力最適化後の面積/時間見積もり、消費電力変化量見積もり (電源電圧の変化を含む) を出力する。

## 5. 計算機実験結果

本章では、消費電力最適化系によるハードウェアの低消費電力化の計算機実験結果を示す。本実験では、ハードウェアは自動販売機制御装置を対象とし、面積/時間最適化系によって出力された状態遷移グラフ、ハードウェアリソース割り当て結果、面積/時間見積もり結果のパラメータセットを利用する。パラメータセットは、制約を与えない状態で23通りの解が得られる。

表3に、制約条件を与えずに回路を合成した場合の面積/遅延/実行時間/消費電力の論理合成値を消費電力最適化前後のそれぞれで測定した結果を示す。ここで、論理合成値の

(入力: 面積/時間制約を満たす状態遷移グラフ  $G_{st}$ , 演算器割り当て)

(出力: 面積/時間制約を満足し、かつ入力消費電力以下となるハードウェアのパラメータセット (状態遷移グラフ  $G_{st}$ , 演算器割り当て, 電源電圧, 閾値電圧))

- Step 1. 初期値として電源電圧値  $V_{dd}$  を、候補値中の最大の値  $V_{dd,max}$  に設定する。
- Step 2. 入力された状態遷移グラフに対し、時間制約を満足する電源電圧値の候補値中で最も小さい値  $V_{dd}$  を選択する。
- Step 3. 演算器集合に属する、交換可能なすべての演算器に対して、演算器の交換を試行する。最も消費電力が低減された演算器に対して、実際に交換し、Step 3 を繰り返す。時間制約を満足しなくなるか、交換可能な演算器がなくなったらStep 4 へ。
- Step 4. Step 3 で得られた状態遷移グラフに対し、Gated Clockを適用条件式を適用し、Gated Clock適用後の消費電力が低減されるレジスタ群  $g_i$  をGated Clock適用候補集合  $G$  の要素とする。
- Step 5. 集合  $G$  のうち、消費電力削減効果が最大のレジスタ群  $g_{i,max}$  にGated Clockを適用を試行し、 $G$  から削除する。この結果、 $g_{i,max}$  にGated Clockを適用後も面積制約を満足するならば実際に  $g_{i,max}$  にGated Clockを適用し、Step 5 を繰り返す。面積制約を満足しなくなるか、集合  $G$  が空になったらStep 6 へ。
- Step 6. 得られた解を出力して終了。

図3 消費電力最適化アルゴリズム。

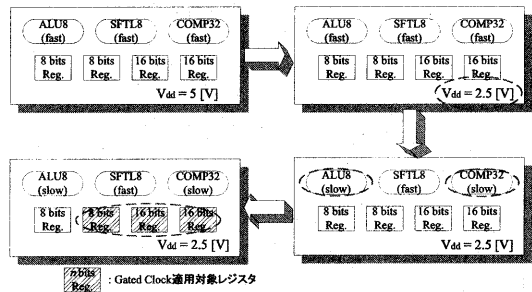


図4 消費電力最適化アルゴリズムの適用例。

測定は、以下のような条件で実施した。論理合成ツールはシノプシス社のDesign Compilerを用い、テクノロジライブラリはVDEC日立ライブラリ (0.35  $\mu\text{m}$  テクノロジ) を使用した。消費電力の測定値は、シノプシス社のVSSによるゲートレベル・シミュレーション結果を論理合成後の回路にバックアノテートしたものを、DesignPowerで測定したものである。クロック周期は50 [ns]、スイッチング情報は、ユーザが作成したシミュレーション用データより与えられる入力列と同じスイッチング確率の分布をもつ入力列をランダムに10,000クロック分生成したものをを用いた。ここで、電源電圧は5 [V] であり、DesignPower上で変更することは出来ないが、消費電力最適化後の遅延/実行時間および消費電力は表1および式(1)により換算するものとする。消費電力最適化後の電源電圧は表3中に記載している。

表4-表8に、それぞれ以下に示す制約条件(a)-(e)の場合の消費電力最適化前後の面積/遅延/実行時間/消費電力の論理合成値、消費電力最適化後の電源電圧を示す。

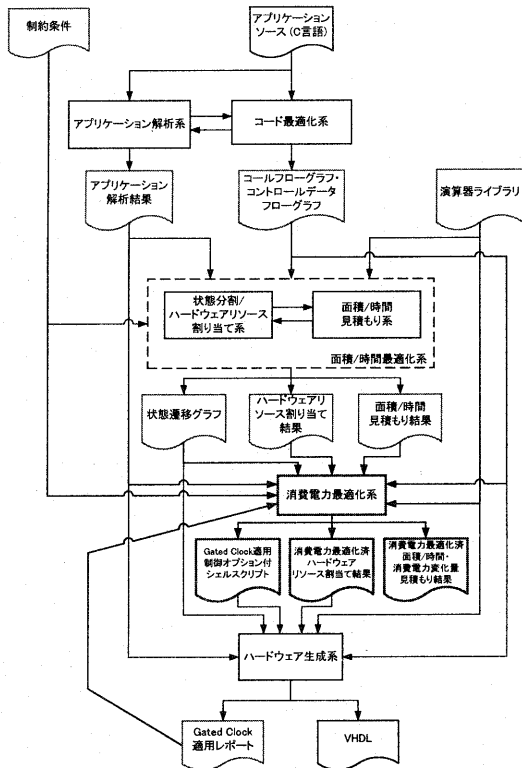


図5 高位合成システム Hyperion に対する消費電力最適化系の導入。

- 制約条件 (a) 面積: 450,000 [ $\mu\text{m}^2$ ], 遅延: 20 [ns]  
 制約条件 (b) 面積: 400,000 [ $\mu\text{m}^2$ ]  
 制約条件 (c) 遅延: 15 [ns]  
 制約条件 (d) 面積: 400,000 [ $\mu\text{m}^2$ ], 遅延: 15 [ns]  
 制約条件 (e) 実行時間: 1,000 [ns]

表4-表8における論理合成値の測定条件は、制約条件を除き表3で用いたものと同じである。また、表3では、電源電圧の低減による消費電力の削減量と遅延の増加量が大きいので、参考として、制約なしで電源電圧のみを5[V]に固定した場合の結果を表9に示す。

表3-表8の結果より、本稿で提案している消費電力最適化系によって、すべての場合において消費電力が削減されていることが分かる。この消費電力の削減の効果は表9からも確認できるように必ずしも電源電圧の低減による効果のみではなく、低消費電力なモジュールの選択と Gated Clock の効果により消費電力が削減されていることが確認できる。ここで、表6-表8では消費電力最適化後に時間制約が満たされていない結果が存在しているが、これらは消費電力最適化前にも時間制約を満たしておらず、入力となる時間見積もりの精度の向上により解決される。

本稿での実験結果において、表9におけるNo.6など、電源電圧を5[V]としている場合の一部の結果では、面積の減少のみではなく遅延の減少も見られる。図3のアルゴリズム

からは電源電圧を低減しない場合、Gated Clockにより遅延は変化しないため、演算器交換により遅延は増加あるいは不変となることが導かれる。このように、アルゴリズムから得られている仮定と実験結果が異なっているのは、本実験で回路の特徴が、構造が一定していないランダムロジックであるためであり、このため最適化の影響を受けやすく、Gated Clockで回路の構造が書き換えられたときに、遅延が変化し得ることに起因している[9]。

本実験によって、すべての場合において、消費電力は削減されており、本稿で提案している低消費電力化アルゴリズムおよび消費電力最適化系の有効性が示された。

## 6. むすび

本稿では、高位合成システム Hyperion における消費電力最適化系を提案、実装し、指定した制約条件下での消費電力削減効果を確認した。また、本稿で提案している手法により、[9]で提案されている Gated Clock 適用時の面積/遅延/消費電力の変化量見積もりを応用した消費電力最適化が実現可能であることを示した。

今後の課題として、面積/時間見積もりの精度の向上や消費電力見積もり系の実現、その他の低消費電力化手法の適用が考えられる。

謝辞 本研究に関し、有用な議論、討論をいただいた、また計算機実験に協力いただいた本学横山正幸氏(現ソニー)、宮岡祐一郎氏に感謝いたします。本研究の一部は、文部省科学研究費補助金(奨励研究(A), 課題番号12750369)の援助を受けた。

## 文 献

- [1] L. Benini and G. De Micheli, "Automatic synthesis of gated-clock sequential circuits," *IEEE Trans. Computer-Aided Design of Integrated Circuits and Systems*, vol. 15, no. 6, pp. 630-643, June 1996.
- [2] J.-M. Chang and M. Pedram, "Register allocation and binding for low power," in *Proc. 32nd DAC*, pp. 29-35, June 1995.
- [3] 家長 真行, 戸川 望, 柳澤 政生, 大附 辰夫, "制御処理ハードウェアの高位合成システムのための面積/時間最適化アルゴリズム," 情報処理学会 DA シンポジウム 2000 論文集, pp. 27-32, July 2000.
- [4] D. Kim and K. Choi, "Power-conscious high level synthesis using loop folding," in *Proc. 34th DAC*, pp. 441-445, June 1997.
- [5] A. Kumar and M. Bayoumi, "Novel formulations for low-power binding of function units in high-level synthesis," in *Proc. ICCD '99*, pp. 321-324, Oct. 1999.
- [6] R. S. Martin and J. P. Knight, "Power-profiler: Optimizing ASICs power consumption at the behavioral level," in *Proc. 32nd DAC*, pp. 42-47, June 1995.
- [7] J. Monteiro, S. Devadas, P. Ashar, and A. Mauskar, "Scheduling techniques to enable power management," in *Proc. 33rd DAC*, pp. 349-352, June 1996.
- [8] NEC, "汎用デジタルIC," NEC データブック, 2000.
- [9] S. Noda, N. Togawa, M. Yanagisawa, and T. Ohtsuki, "High-level area/delay/power estimation for low power system VLSIs with gated clocks," *IEICE Trans. on Fundamentals of Electronics, Communications and Computer Sciences*, April 2002.
- [10] J. M. Rabaey, *Digital Integrated Circuits: A Design Perspective*, Prentice Hall, 1995.

表 3 自動販売機制御装置における論理合成値 (制約条件なし)。

No.	消費電力最適化前 (電源電圧: 5 [V])				消費電力最適化後				
	面積 [ $\mu\text{m}^2$ ]	遅延 [ns]	実行時間 [ns]	消費電力 [mW]	面積 [ $\mu\text{m}^2$ ]	遅延 [ns]	実行時間 [ns]	消費電力 [mW]	電圧 [V]
0	861807	19.68	59.04	88.4456	658690	60.59	181.78	11.0772	1.8
1	579580	20.91	543.66	83.7634	275952	52.89	1375.24	5.0611	1.8
2	488485	20.91	920.04	85.8477	119981	52.89	2327.33	2.8252	1.8
3	473226	21.09	927.96	85.7140	119981	52.74	2320.44	2.8252	1.8
4	442910	14.24	726.24	78.7257	120005	47.02	2398.15	2.8105	1.8
5	435790	15.17	773.67	79.0511	120005	47.31	2412.79	2.8105	1.8
6	432842	20.40	1040.40	78.4806	120005	47.31	2412.79	2.8105	1.8
7	425063	20.25	1032.75	77.3897	120005	47.31	2412.79	2.8105	1.8
8	415329	16.57	845.07	76.9266	120005	47.31	2412.79	2.8105	1.8
9	408817	15.94	812.94	76.4489	120005	47.31	2412.79	2.8105	1.8
10	402284	16.20	826.20	76.9998	120005	47.31	2412.79	2.8105	1.8
11	395569	16.29	830.79	76.2157	120005	47.31	2412.79	2.8103	1.8
12	388852	16.20	826.20	75.8937	120005	47.31	2412.79	2.8103	1.8
13	382162	16.29	830.79	75.5889	120005	47.31	2412.79	2.8103	1.8
14	375492	16.20	826.20	75.2477	120005	47.31	2412.79	2.8103	1.8
15	354895	16.29	1140.30	71.1774	99171	47.31	3311.68	2.3830	1.8
16	339495	16.25	1446.25	68.4010	85687	47.31	4210.56	2.1733	1.8
17	334440	16.00	1424.00	66.5577	85687	46.08	4101.40	2.1733	1.8
18	299246	13.61	802.99	52.3429	85687	35.05	2067.66	2.1733	1.8
19	283160	12.85	1940.35	46.6914	85687	33.90	5118.44	2.1733	1.8
20	263763	12.29	2138.46	43.4938	85687	27.84	4844.69	2.1733	1.8
21	256693	10.18	600.62	45.5421	85687	25.70	1516.49	2.1733	1.8
22	227458	9.81	2177.82	38.2899	69680	25.47	5653.99	1.8910	1.8

表 4 自動販売機制御装置における論理合成値 (制約条件 (a); 面積: 450,000 [ $\mu\text{m}^2$ ], 遅延: 20 [ns]).

No.	消費電力最適化前 (電源電圧: 5 [V])				消費電力最適化後				
	面積 [ $\mu\text{m}^2$ ]	遅延 [ns]	実行時間 [ns]	消費電力 [mW]	面積 [ $\mu\text{m}^2$ ]	遅延 [ns]	実行時間 [ns]	消費電力 [mW]	電圧 [V]
4	442910	14.24	726.24	78.7257	120005	18.02	919.02	21.6856	5
5	435790	15.17	773.67	79.0511	120005	18.13	924.63	21.6856	5
6	432842	20.40	1040.40	78.4806	120005	18.13	924.63	21.6856	5
7	425063	20.25	1032.75	77.3897	120005	18.13	924.63	21.6856	5
8	415329	16.57	845.07	76.9266	120005	18.13	924.63	21.6856	5
9	408817	15.94	812.94	76.4489	120005	18.13	924.63	21.6856	5
10	402284	16.20	826.20	76.9998	120005	18.13	924.63	21.6856	5
11	395569	16.29	830.79	76.2157	120005	18.13	924.63	21.6843	5
12	388852	16.20	826.20	75.8937	120005	18.13	924.63	21.6843	5
13	382162	16.29	830.79	75.5889	120005	18.13	924.63	21.6843	5
14	375492	16.20	826.20	75.2477	120005	18.13	924.63	21.6843	5
15	354895	16.29	1140.30	71.1774	99171	18.13	1269.10	18.3872	5
16	339495	16.25	1446.25	68.4010	85687	18.13	1613.57	16.7695	5
17	334440	16.00	1424.00	66.5577	85687	17.66	1571.74	16.7695	5
18	299246	13.61	802.99	52.3429	85687	13.43	792.37	16.7695	5
19	283160	12.85	1940.35	46.6914	85687	12.99	1961.49	16.7695	5
20	263763	12.29	2138.46	43.4938	85687	16.31	2837.51	7.3048	3.3
21	256693	10.18	600.62	45.5421	85687	15.05	888.20	7.3048	3.3
22	227458	9.81	2177.82	38.2899	69680	14.92	3311.52	6.3559	3.3

表 5 自動販売機制御装置における論理合成値 (制約条件 (b); 面積: 400,000 [ $\mu\text{m}^2$ ]).

No.	消費電力最適化前 (電源電圧: 5 [V])				消費電力最適化後				
	面積 [ $\mu\text{m}^2$ ]	遅延 [ns]	実行時間 [ns]	消費電力 [mW]	面積 [ $\mu\text{m}^2$ ]	遅延 [ns]	実行時間 [ns]	消費電力 [mW]	電圧 [V]
11	395569	16.29	830.79	76.2157	120005	47.31	2412.79	2.8103	1.8
12	388852	16.20	826.20	75.8937	120005	47.31	2412.79	2.8103	1.8
13	382162	16.29	830.79	75.5889	120005	47.31	2412.79	2.8103	1.8
14	375492	16.20	826.20	75.2477	120005	47.31	2412.79	2.8103	1.8
15	354895	16.29	1140.30	71.1774	99171	47.31	3311.68	2.3830	1.8
16	339495	16.25	1446.25	68.4010	85687	47.31	4210.56	2.1733	1.8
17	334440	16.00	1424.00	66.5577	85687	46.08	4101.40	2.1733	1.8
18	299246	13.61	802.99	52.3429	85687	35.05	2067.66	2.1733	1.8
19	283160	12.85	1940.35	46.6914	85687	33.90	5118.44	2.1733	1.8
20	263763	12.29	2138.46	43.4938	85687	27.84	4844.69	2.1733	1.8
21	256693	10.18	600.62	45.5421	85687	25.70	1516.49	2.1733	1.8
22	227458	9.81	2177.82	38.2899	69680	25.47	5653.99	1.8910	1.8

- [11] G. Tellez, A. Farrahi, and M. Sarrafzadeh, "Activity driven clock design for low power circuits," in *Proc. ICCAD-95*, pp. 62-65, Nov. 1995.
- [12] 戸川 望, 柳澤 政生, 大附 辰夫, "制御処理を主体としたハードウェアを対象とする高位合成システムとその適用," 情報処理学会 DA シンポジウム '99 論文集, pp. 189-194, July 1999.
- [13] N. Togawa, M. Ienaga, M. Yanagisawa, and T. Ohtsuki, "An area/time optimizing algorithm in high-level synthesis of control-based hardware," *IEICE Trans. on Fundamentals of Electronics, Communications and Computer Sciences*, vol. E84-A, no. 5, pp. 1166-1176, May 2001.
- [14] G. Yeap, *Practical Low Power Digital VLSI Design*, Kluwer Academic Publishers, 1998.
- [15] 余田 貴幸, 戸川 望, 柳澤 政生, 大附 辰夫, "制御処理ハードウェアの高位合成システムのための面積/遅延見積もり手法," 情処研報, 2001-SLDM-100-4, pp. 25-32, Feb. 2001.
- [16] 横山 正幸, 戸川 望, 柳澤 政生, 大附 辰夫, "制御処理を主体としたハードウェア記述生成手法," 情報処理学会 DA シンポジウム '99 論文集, pp. 195-200, July 1999.

表 6 自動販売機制御装置における論理合成値 (制約条件 (c); 遅延: 15 [ns]).

No.	消費電力最適化前 (電源電圧: 5 [V])				消費電力最適化後				
	面積 [ $\mu\text{m}^2$ ]	遅延 [ns]	実行時間 [ns]	消費電力 [mW]	面積 [ $\mu\text{m}^2$ ]	遅延 [ns]	実行時間 [ns]	消費電力 [mW]	電圧 [V]
2	488485	20.91	920.04	85.8477	146487	21.37	940.28	22.2562	5
3	473226	21.09	927.96	85.7140	146487	21.37	940.28	22.2562	5
4	442910	14.24	726.24	78.7257	146534	18.02	919.02	22.1094	5
5	435790	15.17	773.67	79.0511	146534	18.13	924.63	22.1094	5
6	432842	20.40	1040.40	78.4806	146534	18.13	924.63	22.1094	5
7	425063	20.25	1032.75	77.3897	146534	18.13	924.63	22.1094	5
8	415329	16.57	845.07	76.9266	146534	18.13	924.63	22.1094	5
9	408817	15.94	812.94	76.4489	146534	18.13	924.63	22.1094	5
10	402284	16.20	826.20	76.9998	146534	18.13	924.63	22.1094	5
15	354895	16.29	1140.30	71.1774	99171	18.13	1269.10	18.3872	5
16	339495	16.25	1446.25	68.4010	85687	18.13	1613.57	16.7695	5
17	334440	16.00	1424.00	66.5577	85687	17.66	1571.74	16.7695	5
18	299246	13.61	802.99	52.3429	85687	13.43	792.37	16.7695	5
19	283160	12.85	1940.35	46.6914	85687	12.99	1961.49	16.7695	5
20	263763	12.29	2138.46	43.4938	85687	10.67	1856.58	16.7695	5
21	256693	10.18	600.62	45.5421	85687	9.85	581.15	16.7695	5
22	227458	9.81	2177.82	38.2899	69680	9.76	2166.72	14.5912	5

表 7 自動販売機制御装置における論理合成値 (制約条件 (d); 面積: 400,000 [ $\mu\text{m}^2$ ], 遅延: 15 [ns]).

No.	消費電力最適化前 (電源電圧: 5 [V])				消費電力最適化後				
	面積 [ $\mu\text{m}^2$ ]	遅延 [ns]	実行時間 [ns]	消費電力 [mW]	面積 [ $\mu\text{m}^2$ ]	遅延 [ns]	実行時間 [ns]	消費電力 [mW]	電圧 [V]
15	354895	16.29	1140.30	71.1774	99171	18.13	1269.10	18.3872	5
16	339495	16.25	1446.25	68.4010	85687	18.13	1613.57	16.7695	5
17	334440	16.00	1424.00	66.5577	85687	17.66	1571.74	16.7695	5
18	299246	13.61	802.99	52.3429	85687	13.43	792.37	16.7695	5
19	283160	12.85	1940.35	46.6914	85687	12.99	1961.49	16.7695	5
20	263763	12.29	2138.46	43.4938	85687	10.67	1856.58	16.7695	5
21	256693	10.18	600.62	45.5421	85687	9.85	581.15	16.7695	5
22	227458	9.81	2177.82	38.2899	69680	9.76	2166.72	14.5912	5

表 8 自動販売機制御装置における論理合成値 (制約条件 (e); 実行時間: 1,000 [ns]).

No.	消費電力最適化前 (電源電圧: 5 [V])				消費電力最適化後				
	面積 [ $\mu\text{m}^2$ ]	遅延 [ns]	実行時間 [ns]	消費電力 [mW]	面積 [ $\mu\text{m}^2$ ]	遅延 [ns]	実行時間 [ns]	消費電力 [mW]	電圧 [V]
0	861807	19.68	59.04	88.4456	658690	60.59	181.78	11.0772	1.8
1	579580	20.91	543.66	83.7634	275952	30.98	805.47	17.0111	3.3
2	488485	20.91	920.04	85.8477	146487	32.66	1437.08	9.6948	3.3
3	473226	21.09	927.96	85.7140	146487	32.66	1437.08	9.6948	3.3
4	442910	14.24	726.24	78.7257	120005	18.02	919.02	21.6856	5
5	435790	15.17	773.67	79.0511	120005	18.13	924.63	21.6856	5
6	432842	20.40	1040.40	78.4806	120005	18.13	924.63	21.6856	5
7	425063	20.25	1032.75	77.3897	120005	18.13	924.63	21.6856	5
8	415329	16.57	845.07	76.9266	120005	18.13	924.63	21.6856	5
9	408817	15.94	812.94	76.4489	120005	18.13	924.63	21.6856	5
10	402284	16.20	826.20	76.9998	120005	18.13	924.63	21.6856	5
11	395569	16.29	830.79	76.2157	120005	18.13	924.63	21.6843	5
12	388852	16.20	826.20	75.8937	120005	18.13	924.63	21.6843	5
13	382162	16.29	830.79	75.5889	120005	18.13	924.63	21.6843	5
14	375492	16.20	826.20	75.2477	120005	18.13	924.63	21.6843	5
15	354895	16.29	1140.30	71.1774	99171	18.13	1269.10	18.3872	5
18	299246	13.61	802.99	52.3429	85687	13.43	792.37	16.7695	5
21	256693	10.18	600.62	45.5421	85687	15.05	888.20	7.3048	3.3

表 9 (参考) 自動販売機制御装置における論理合成値 (制約条件なし; 電源電圧を 5 [V] で固定).

No.	消費電力最適化前 (電源電圧: 5 [V])				消費電力最適化後				
	面積 [ $\mu\text{m}^2$ ]	遅延 [ns]	実行時間 [ns]	消費電力 [mW]	面積 [ $\mu\text{m}^2$ ]	遅延 [ns]	実行時間 [ns]	消費電力 [mW]	電圧 [V]
0	861807	19.68	59.04	88.4456	658690	23.22	69.66	85.4726	5
1	579580	20.91	543.66	83.7634	275952	20.27	527.02	39.0520	5
2	488485	20.91	920.04	85.8477	119981	20.27	891.88	21.7997	5
3	473226	21.09	927.96	85.7140	119981	20.21	889.24	21.7997	5
4	442910	14.24	726.24	78.7257	120005	18.02	919.02	21.6856	5
5	435790	15.17	773.67	79.0511	120005	18.13	924.63	21.6856	5
6	432842	20.40	1040.40	78.4806	120005	18.13	924.63	21.6856	5
7	425063	20.25	1032.75	77.3897	120005	18.13	924.63	21.6856	5
8	415329	16.57	845.07	76.9266	120005	18.13	924.63	21.6856	5
9	408817	15.94	812.94	76.4489	120005	18.13	924.63	21.6856	5
10	402284	16.20	826.20	76.9998	120005	18.13	924.63	21.6856	5
11	395569	16.29	830.79	76.2157	120005	18.13	924.63	21.6843	5
12	388852	16.20	826.20	75.8937	120005	18.13	924.63	21.6843	5
13	382162	16.29	830.79	75.5889	120005	18.13	924.63	21.6843	5
14	375492	16.20	826.20	75.2477	120005	18.13	924.63	21.6843	5
15	354895	16.29	1140.30	71.1774	99171	18.13	1269.10	18.3872	5
16	339495	16.25	1446.25	68.4010	85687	18.13	1613.57	16.7695	5
17	334440	16.00	1424.00	66.5577	85687	17.66	1571.74	16.7695	5
18	299246	13.61	802.99	52.3429	85687	13.43	792.37	16.7695	5
19	283160	12.85	1940.35	46.6914	85687	12.99	1961.49	16.7695	5
20	263763	12.29	2138.46	43.4938	85687	10.67	1856.58	16.7695	5
21	256693	10.18	600.62	45.5421	85687	9.85	581.15	16.7695	5
22	227458	9.81	2177.82	38.2899	69680	9.76	2166.72	14.5912	5