

ビットシリアルパイプラインアーキテクチャに基づく フィールドプログラマブルVLSIプロセッサの設計

大澤 尚学[†] 坂本 修[†] 張山 昌論[†] 亀山 充隆[†]

[†] 東北大学大学院情報科学研究科 〒980-8579 宮城県仙台市青葉区荒巻字青葉05

E-mail: †{ohsawa,schu,hariyama,michi}@kameyama.ecei.tohoku.ac.jp

あらまし 本稿では、FPGAの性能を超える、2次元セルラアレーとビットシリアルパイプラインアーキテクチャに基づくフィールドプログラマブルVLSI (FPVLSI) を提案する。コントロール/データフローグラフ (CDFG) の構造を直接FPVLSIにマッピングする直接アロケーションにより相互結合網が単純化する。さらに、セル間接続を4近傍のセルに限定し、1ビットのスイッチブロックを用いることにより、FPGAにおいて問題であった配線ボトルネックを解消する。また、ビットシリアルパイプラインアーキテクチャに基づくセルにより、語長に依存しない高稼働率を達成する。本提案のFPVLSIは典型的な構成のFPGAに比べ、13倍の性能を達成した。

キーワード FPGA, 2次元メッシュ網, アロケーション

Design of a Field Programmable VLSI Processor Based on Bit-Serial-Pipeline Architectures

Naotaka OHSAWA[†], Osamu SAKAMOTO[†], Masanori HARIYAMA[†], and Michitaka

KAMEYAMA[†]

[†] Graduate School of Information Sciences, Tohoku University
Aoba05, Aramaki, Aoba-ku, Sendai, Miyagi, 980-8579 Japan

E-mail: †{ohsawa,schu,hariyama,michi}@kameyama.ecei.tohoku.ac.jp

Abstract This paper presents a field programmable VLSI processor (FPVLSI) based on bit-serial pipeline architecture that reduces complexity of a programmable interconnection network. The direct allocation of a control/data flow graph (CDFG) is employed where only a single node in a CDFG is mapped into a single cell so that the interconnection complexity is greatly reduced. Two-dimensional mesh network and bit-serial pipeline architecture also reduces the complexity of switch blocks. The FPVLSI with 64 cells is designed in a 0.18 μ m CMOS design rule. The performance of the FPVLSI is evaluated to be 13 times higher than that of the conventional FPGA in a typical application.

Key words FPGA, Two-dimensional mesh network, Allocation

1. まえがき

リアルワールド応用知能集積システムにおいては、計算量の多いアルゴリズムを超高速に処理できる専用プロセッサの開発が重要である [1]~[3].

専用プロセッサは、これまでフルカスタムに基づく方法で開発されてきた。この方法では、演算器や配線をレイアウトレベルで作成できるため、高性能な専用プロセッサを作成することができる。しかしながら、開発期間が長く、開発コストも大きいという問題がある。

専用プロセッサをフルカスタムに基づく方式よりも短い開発期間で安価に実現するデバイスとして、FPGAが注目されている。FPGAはプログラム可能な複数のロジックブロックと、ロジックブロック間のプログラム可能なスイッチブロックからなっている [4], [5]。図1に典型的なFPGAの構造を示す。FPGAは、任意の論理関数を実現できるロジックブロックと、ロジックブロック間の接続を行うスイッチブロックからなる。

FPGAの問題点は、相互結合網の面積と遅延が大きいことである。FPGAではすべてのロジックブロック間の接続を可能とするため、スイッチブロックが多数のスイッチとスイッチの

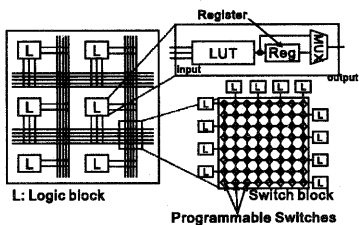


図1 FPGAの構造

Fig.1 Block diagram of an FPGA.

ON/OFFを制御するための制御メモリからなる。1本の配線に多くのスイッチが接続されるため、1個のスイッチブロックの遅延が大きく、制御メモリの面積も大きくなる。さらに、複数のスイッチブロックを用いてロジックブロックを接続する場合、ロジックブロック間の遅延は更に大きくなる。

このFPGAの問題を解決するため、ビットシリアルパイプラインアーキテクチャに基づくフィールドプログラマブルVLSI(FPVLSI)を提案する。

まず、アロケーションレベルで相互結合網を単純化するコントロール/データフローグラフ(CDFG)の直接アロケーションを提案する。直接アロケーションは、1個のセルでは1種類の演算のみを行う直接アロケーションである。1個のセルで複数の演算を行う時に必要となる多数のマルチプレクサを省略することができるため、相互結合網が単純化され、スイッチブロックの遅延による性能劣化が最小限に抑えられる。

相互結合網の単純化の結果、FPGAのような複雑なスイッチブロックは必要ではなくなる。そのため、ビットシリアルパイプラインアーキテクチャと2次元メッシュ網に基づくセルラアレーを導入し、スイッチブロックを単純化する。このセルラアレーでは、セル間接続を隣接4近傍のセルに限定し、1ビットのスイッチブロックを用いることにより、スイッチブロックの遅延と面積を小さくする。

FPVLSIのレイアウト及び評価を、0.18 μ mルールを用いて行う。性能評価は、同一ルールを用いて作成したFPGAを用いて、同一面積条件下でステレオビジョンの処理時間により行う。結果として、FPVLSIで実現したステレオビジョンプロセッサはFPGAで実現した場合に比べ18倍の高速化を達成することを示す。

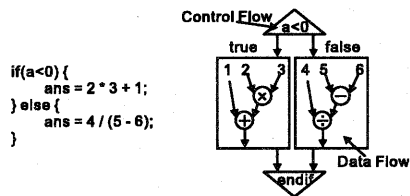
2. データ転送の局所化を指向したフィールドプログラマブルVLSIプロセッサ

2.1 CDFGによるアルゴリズムの表現

アルゴリズムは図2に示すようにCDFGで表現される。CDFGは、演算がノードとして表され、演算の依存関係がノード間の有向辺により表現されたグラフである。例えば、図2(b)のCDFGは、aが0より小さければ $1+2 \times 3$ を実行し、そうでなければ $4/(5-6)$ を実行するアルゴリズムを表現している。

2.2 CDFGの直接アロケーション

CDFGにより表現された処理を実行するためには、CDFGのアロケーションを行う。アロケーションとは、各演算器が



(a) C language description (b) CDFG description

図2 アルゴリズムの表現方法

Fig.2 Descriptions of an algorithm.

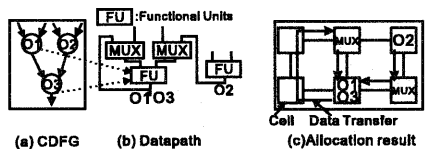


図3 演算器数最小アロケーション

Fig.3 Allocation to minimize the number of functional units.

CDFGのどのノードを実行するかを決定する処理である。

最も基本的なアロケーションの例として、与えられた時間制約内でできるだけ演算器数を最小にする、演算器数最小アロケーションが考えられる。演算器数最小アロケーションにおいては、図3(a)のようなCDFGが与えられた場合に、図3(b)のようにCDFGの複数のノードをひとつの演算器に割り当てる。これにより、演算器の稼働率が高くなり、チップ面積を小さくできる。

しかしながら、FPGAのような再構成可能アーキテクチャに演算器数最小アロケーションを用いた場合、ロジックブロックの稼働率の低下により処理時間が増大する。演算器数最小アロケーションでは、演算器数が最小になる一方、図3(b)のように、演算器を選択するためのマルチプレクサ数が増加する。このアロケーションを典型的なFPGAで実現すると、図3(c)のようにマルチプレクサとして使用されるロジックブロック数が増加するため、稼働率が低下する。

演算器数最小アロケーションの問題を解決するため、CDFGの直接アロケーションを提案する。直接アロケーションとは、図4(a)のようなCDFGが与えられた時、図4(b)のように、1つの演算器に1つのノードのみを割り当てるアロケーションである。直接アロケーションを用いたセルラアレーでは、プログラミングは、セルの演算を1種類に固定し、セル間接続を、隣接セルとの接続と切断を固定することにより行う。

直接アロケーションでは、ある演算器の入力には一つの演算器の出力のみが接続されるため、相互結合網の複雑さが図4(c)のように最小化される。そのため、スイッチブロックによる処理性能の劣化が最小限に抑えられる。

3. ビットシリアルパイプラインアーキテクチャに基づくセルラアレーの構成

図5にビットシリアルパイプラインアーキテクチャに基づくセルラアレーの構成を示す。セルラアレーはセルとセル間の接

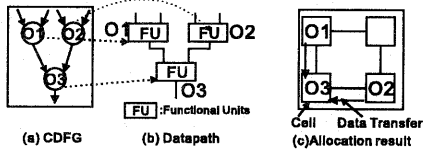


図 4 CDFG の直接アロケーション

Fig. 4 Direct allocation of operations in a CDFG.

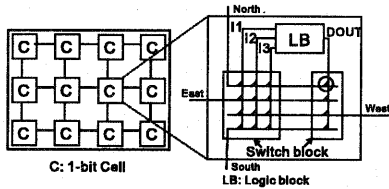


図 5 2次元メッシュ網とビットシリアルパイプラインアーキテクチャに基づくセルラレー

Fig. 5 Cellular array based on two-dimensional mesh network and bit-serial architecture.

続を行うスイッチブロックからなる。セルは4近傍のセルとのみ接続することにより、FPGAに比べスイッチブロックのプログラマブルスイッチの数を減らすことができる。これにより、スイッチブロックの面積と遅延を小さくしている。

また、FPVLSIは以下の理由によりビットシリアルパイプラインアーキテクチャに基づき構成される。

(1) ビットパラレルアーキテクチャに基づくスイッチブロックに比べ、1個のスイッチブロックの中のプログラマブルスイッチの数が少なくなるため、スイッチブロックの面積と遅延が大幅に小さくなる。

(2) セルの語長レベルの稼働率が高くなる。演算語長は応用に依存して変化するため、FPVLSIを作成する段階では決定できない。それゆえ、ビットパラレルアーキテクチャに基づく演算セルでは語長レベルの稼働率が低くなる。一方、ビットシリアルパイプラインアーキテクチャに基づくセルでは、語長とビットレベルの稼働率には依存関係はなく、高稼働率を達成できる。

(3) 直接アロケーションでは、CDFGのノード数以上のセルが必要である。そのため、ビットシリアルアーキテクチャに基づくセルを用いて、高並列なセルラレーを構成し、大規模なCDFGをアロケーション可能にする。

(4) 1個のセルを1ステージとする細粒度パイプラインにより、セルラレーの稼働率が高くなる。2次元メッシュ網とビットシリアルアーキテクチャにより、1ステージの遅延はどのセルでもほぼ同一となる。

4. ビットシリアルパイプラインアーキテクチャに基づくロジックブロックの構成

ビットシリアルパイプラインアーキテクチャに基づくロジックブロックには、演算機能、メモリ機能、制御機能の3種類の機能が必要である。これらの機能を用いた演算器の例として、図6にビットシリアル加算器のブロック図を示す。この加算器

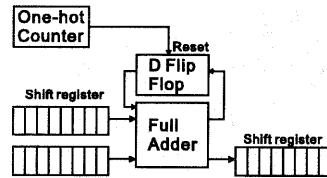


図 6 ビットシリアル加算器

Fig. 6 Block diagram of a bit-serial adder.

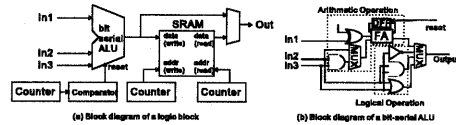


図 7 全加算器とSRAMとカウンタを用いたロジックブロック

Fig. 7 Logic block using a full adder and SRAM and counter.

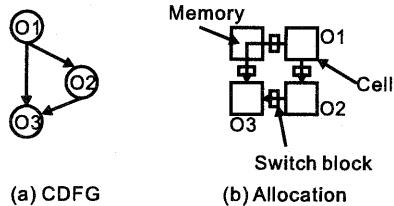


図 8 アロケーションに依存した稼働率の低下

Fig. 8 Low utilized ratio which depends on allocations.

では、ビットシリアル加算を行うため、全加算器とキャリ伝播のためのDフリップフロップが用いられる。また、演算器へのデータ供給と演算器からのデータ記憶のため、1bit毎にデータを供給・記憶可能なメモリが用いられる。ビットシリアル演算において、キャリ伝播のためのDフリップフロップを語長毎にリセットしてワードの区切りをつけるために、1ワードがnビットの演算においては、n回に1回だけ1を出力し、他はゼロを出力するカウンタが必要となる。

あるセルで使われる機能の種類はアロケーションに依存して変わる。そのため、全てのセル内ロジックブロックはこれら3個の機能を持たねばならない。最も典型的なロジックブロックの構成として、これら3個の機能を、それぞれ別のハードウェアで実現したロジックブロックを図7に示す。演算機能を実現するため、全加算器やAND, OR, NOTゲートからなるビットシリアルALUを用いる。記憶機能を実現するため、32bitのデュアルポートSRAMを用い、制御機能を実現するため、5bitバイナリカウンタと比較器を用いる。

これら3つの機能が全て同時に使用されることは少ないため、ロジックブロック内の稼働率が低くなる問題がある。例えば、図8(a)のCDFGをアロケーションすることを考える。FPVLSIのセルにはデータは同時に入力されなければならないという制約があるため、図8(b)のように、セルがメモリとしてのみ使用されるアロケーションが存在する。

この問題を解決するためには、ビットシリアル演算の規則性

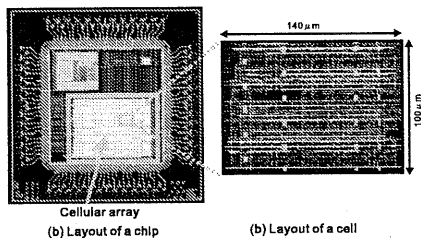


図9 FPVLSIのレイアウト
Fig.9 Layout of the FPVLSI.

表1 FPVLSIの諸元
Table 1 Features of the FPVLSI.

Design rule	0.18- μm CMOS
Area of a cellular array	0.896 mm^2
Area of a cell	0.014 mm^2
Number of cells	64
Delay of a cell	2.49 ns
Delay of a switch block	1.60 ns
Clock period	4.09 ns

表2 FPGAの諸元
Table 2 Features of the FPGA.

Design rule	0.18- μm CMOS
Chip size	0.896 mm^2
Logic block structure	4-input LUT \times 2
Number of logic blocks	35
Number of wire tracks	16
Delay of a logic block	0.2 ns
Delay of a switch block	0.9 ns

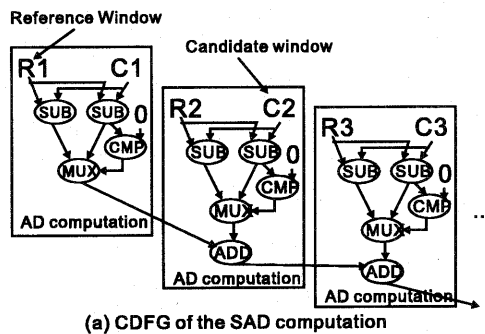
に着目し、記憶をシフトレジスタ、制御をワンホットカウンタ、演算をルックアップテーブル (LUT) で行うロジックブロックを導入することが考えられる。これら3種類の機能は、シフトレジスタを構成要素とした1個の回路で実現可能である。そのため、いかなるアロケーションにおいてもロジックブロック内の稼働率は100%となることが期待される。

5. 性能評価

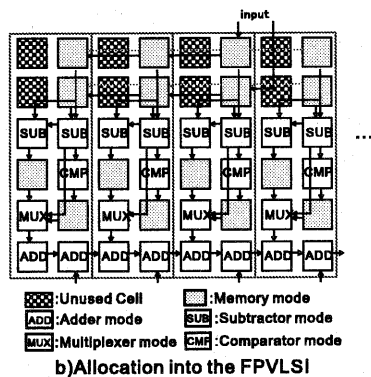
FPVLSIのレイアウトを図9に、その諸元を表1に示す。遅延時間は、HSPICEによるシミュレーションの値である。設計はフルカスタムに基づく手法で行った。クロック周期は、セル自体の遅延と、スイッチブロックを用いた隣接セルへのデータ転送遅延を合わせて計算した値である。

比較対象としての図1のFPGAをFPVLSIと同一面積条件下で設FPGAの諸元を表2に示す。表2において、FPVLSIの諸元にあったClock Periodの項目を割愛している。FPGAは、ロジックブロック間のデータ転送において通過するスイッチブロック数に依存してClock Periodが変化するためである。

次に、ステレオビジョンをFPVLSI及びFPGAで実現し、面積同一条件下での処理時間を比較する。ステレオビジョンは対応点探索により物体の3次元情報を取得する手法である。対



(a) CDFG of the SAD computation



b) Allocation into the FPVLSI

図10 SAD演算のCDFGとそのアロケーション

Fig.10 CDFG of a SAD calculation and its allocation.

応点探索には、よく用いられているウィンドウの差分絶対値の和 (SAD) を使用する。ある参照画像上の点Lが与えられた時、Lを中心とした参照ウィンドウと、候補画像上の複数の候補ウィンドウの間でSADが計算される。

本稿で比較に用いるSAD演算では、16ビット固定小数点演算を使用する。また、画像サイズは640 \times 480ピクセル、ウィンドウサイズは16 \times 16ピクセルとする。また、SAD演算の実装を行うFPGA及びFPVLSIの面積は100 mm^2 とする。

図10(a)にSAD演算のCDFGを、(b)にFPVLSIへのアロケーション結果を示す。このアロケーションでは、差分絶対値 (AD) の計算を並列に行っている。演算器やメモリユニットが同時に稼働するセルは少ないため、従来のFPVLSIに比べセルの機能を限定したにも関わらず、演算器やメモリとして稼働しているセルはFPVLSI上の全セルの75%と高くなっている。

表3にステレオビジョンを用いた比較結果を示す。ビットシリアル演算セルと2次元メッシュ網により高並列なADの計算が可能な結果、FPVLSIは比較対象のFPGAに比べ、13倍以上の処理性能を達成した。

6. むすび

ビットシリアルアーキテクチャに適合した、シフトレジスタ構造に基づくセルにより、高並列な演算セルアレイを構成することができる。また、2次元メッシュ網に基づくセルアレイとCDFGの直接アロケーションにより、スイッチブロックの遅延・面積の減少とデータ転送時間の減少が達成できた。

表3 FPVLSI と FPGA の性能比較

Table 3 Performance comparison between the FPVLSI and the FPGA.

	FPVLSI	FPGA
Number of AD circuits	208	15
Processing time per operation	65.4 ns	39.9 ns
Wiring delay per operation	25.6 ns	32.9 ns
Performance	10	132
	s/data set	s/data set

今後、相互結合網のアーキテクチャの検討が重要となる。1個の演算セルの機能が少ないため、相互結合網が従来のFPVLSIに比べて複雑になる可能性がある。そのような場合にも効率よくアロケーションを行えるようなスイッチブロックのアーキテクチャの検討が特に重要となる。

文 献

- [1] 亀山 充隆, 藤岡 与周, “ロボット用 VLSI プロセッサシステム,” 日本ロボット学会誌, vol.14 no.1, pp.22-25, 1996.
- [2] 亀山 充隆, “知能集積システムとその応用,” コンピュータビジョンとイメージメディア, pp.17-22, 1999.
- [3] 藤岡 与周, 亀山 充隆, “ビットシリアルアーキテクチャに基づくロボット制御用再構成可能 VLSI プロセッサの構成,” 信学論(D-I), vol.J81-D-I, no.2, pp.85-93, 1998.
- [4] W. Carter, K. Duong, R. H. Freeman, H. Hsieh, J. Y. Ja, J. E. Mahoney, L. T. Ngo, S. L. Sze, “A user programmable reconfigurable gate array,” Proc. Custom Integrated Circuits Conf., pp.232-235, May 1986.
- [5] P. Chow, S. O. Seo, J. Rose, K. Chung, G. Paez-Monzon, I. Rahardja, “The design of an SRAM-based field-programmable gate array-Part I: Architecture,” IEEE Trans. VLSI Syst., vol.7, no.2, pp.191-197, 1999.