

同期式仕様記述を用いた 非同期式 VLSI 設計支援 CAD システムの構築と評価

今井 雅[†] Metahan Özcan[†] 小暮千賀明[†] 齋藤 寛[†] 中村 宏[†]
南谷 崇[†]

[†] 東京大学 先端科学技術研究センター
〒153-8904 東京都目黒区駒場 4-6-1

E-mail: †{miyabi,ozcan,kogure,hiroshi,nakamura,nanya}@hal.rcast.u-tokyo.ac.jp

あらまし 非同期式システム実装はタイミングに関連する諸問題を解決するための一つの手段であり、近年様々な研究が行われている。我々は非同期式システムの回路構成及び設計方式に関していくつかの提案を行い、設計支援環境の構築を行っている。本稿では、実装を行った非同期式システム設計支援 CAD 環境「AINOS」について、初めに設計モデル及び設計方式について説明し、次に実装した AINOS の機能を示す。また、AINOS が前提とする SDI モデルと呼ばれる遅延モデルにおける回路要素の遅延変動とそのばらつきに関して SPICE シミュレーションにより評価した結果を示し、環境変動などに伴う個々の素子の遅延変動率が大きい場合、遅延変動率のばらつきの大きさに基づいて設計される SDI モデルに基づいた非同期式システムの方が同期式システムとして実装されたものと比較して、遅延変動に対する耐性を維持しつつ、高い速度性能を持つシステムを実現することが出来ることを示す。

キーワード 非同期式システム、設計支援 CAD システム AINOS、SDI モデル、遅延変動率、相対遅延変動率

Implementation and Evaluation of CAD System for the SDI Model Based Asynchronous Circuits

Masashi IMAI[†], Metehan ÖZCAN[†], Chikaaki KOGURE[†], Hiroshi SAITO[†], Hiroshi
NAKAMURA[†], and Takashi NANYA[†]

[†] Research Center for Advanced Science and Technology, The University of Tokyo
4-6-1 Komaba, Meguro-ku, Tokyo, 153-8904 Japan

E-mail: †{miyabi,ozcan,kogure,hiroshi,nakamura,nanya}@hal.rcast.u-tokyo.ac.jp

Abstract Asynchronous design style is going to be recognized as a feasible solution to many serious timing-related problems. We have proposed some design styles for the SDI model based asynchronous circuits and implemented a CAD System named “AINOS”. In this paper, we show first the circuit model, the design methodology, and the functions of “AINOS”. Then as an example that shows the validity of the SDI model, we show some evaluation results of the scaling ratio between delays of circuit components under standard condition and delays under various conditions using SPICE simulation. Finally, we present how to decide the value of K that represents the degree of variation in the scalable delay distribution between any two components and show some evaluation results of the K in different technologies.

Key words Asynchronous System, CAD System named AINOS, SDI Model, Scaling Ratio, Scaling Variance

1. はじめに

半導体・集積回路製造技術の進歩に伴う素子の微細化とシステムの大規模化が進んでおり、数千万規模の素子を一つのチップ上に実装することも可能となりつつある。このような大規模 VLSI では、様々な機能を持った多数のブロックが一つのチップ上に実装され、大規模な複合化システムを構成する System-on-Chip (SoC) が実現される。今後の製造技術の進歩により SoC の大規模化はますます進み、SoC に求められる機

能も多様化することが予想され、実装される機能ブロックの種類及び数は増加すると考えられる。

大規模化 SoC を実現するには、いくつかの問題が存在する。一つ目は、タイミングの問題である。トランジスタサイズの減少により素子のスイッチング速度はスケールリング則に従って向上する一方、配線幅や配線の高さがスケールリング則に従って減少すると抵抗値が増加するため、配線遅延は小さくならない。そのため、システム全体に占める配線遅延が相対的にも絶対的にも増加する。従って、チップ全域に高い周波数のクロック信

号を位相差無く分配することは非常に困難となり、システム全体を単一のグローバルクロックに同期させて制御を行う同期式システムでは、期待されるスイッチング速度の向上がシステムの性能向上に直接反映されなくなると予想される [1]。また、設計 TAT(Turn-Around-Time) を短縮するためには過去の設計資産、IP(Intellectual Property) を有効利用することが必要不可欠であり、それぞれ異なったタイミングにより動作する IP 間で正しくデータ転送を行わなければならない。二つ目は消費電力の問題である。SoC において消費電力を抑えるためには、動作する必要がない個所は電力を消費しないようにする必要がある。このような諸問題に対して、事象生起の因果関係に基づいて動作する非同期式システムは、クロックの制約から解放されるため、計算の局所性を活かしたアーキテクチャ・信号伝播の平均距離を最小にするレイアウト戦略等の採用によって、素子の高速性をそのまま直線的にシステムの性能向上に反映し得る。また、非同期式システムは信号遷移の因果関係に基づいて動作するため、必要な個所のみ動作させることが容易であり、低消費電力化を実現しやすい。非同期式システムに関する研究は理論的な合成方式の研究をはじめチップ試作等、近年様々な研究が行われており、我々は幾つかの設計方式、回路構成を提案している [2]~[4]。

本稿では、これまでに提案した非同期式システム回路構成及び設計方式に基づき、実装を行った非同期式システム設計支援 CAD 環境「AINOS」について、初めに設計モデル及び設計方式について説明し、次に実装した AINOS の機能を示す。また、AINOS が前提とする SDI モデルと呼ばれる遅延モデルに関して、回路要素の遅延変動とそのばらつきを SPICE シミュレーションにより評価した結果を示し、環境変動などに伴う個々の素子の遅延変動率が大きい場合、遅延変動率のばらつきの大きさに基づいて設計される SDI モデルに基づいた非同期式システムの方が遅延変動に対する耐性を維持しつつ、高い速度性能を持つシステムを実現することが出来ることを示す。

2. AINOS による非同期式 VLSI 設計

2.1 Scalable-Delay-Insensitive モデルに基づく設計

非同期式システムを設計する際には、素子や配線の遅延に関して設ける仮定、すなわち遅延モデルが重要な役割を果たす。従来の理論的な非同期式システム設計に用いられてきた Speed Independent(SI) モデル [5] や Quasi-Delay-Insensitive(QDI) モデル [6] に基づいた回路設計では、遅延の上限値は有限であるが未知と仮定しており、現実的には起こり得ない遅延変動が生じて也正しく動作するように回路が設計されるため、回路規模が大きくなり、速度性能を得ることが困難となる。これらに対し、各回路要素の予測した遅延値 (D_e) と実際に取りうる遅延値 (D_a) の比を表わす遅延変動率 $R = D_a/D_e$ の上限値は未知であるが、ある回路要素の遅延変動率 R_1 と別の回路要素の遅延変動率 R_2 との間の相対遅延変動率 $V = R_1/R_2$ は一定範囲 ($1/K \leq V \leq K$) に制限されることを仮定した遅延モデルが Scalable-Delay-Insensitive(SDI) モデルである [7]。

SDI モデルに基づいた設計における設計規則は以下の通りである。信号遷移 t_1 は信号遷移 t_2 よりも速く生じることが仕様で定められていた場合、図 1 に示す様に、共通の信号遷移元 t からそれぞれの信号遷移までのバスの遅延 d_1 、 d_2 を求め、遅いバスの遅延 d_2 が早いバスの遅延 d_1 の K 倍より大きくなる様に回路を設計する。これにより、信号遷移 t_2 と信号遷移 t_1 の順序関係を保証することが出来る [8]。但し、全ての信号遷移間でこの様な順序関係を保証する必要はなく、以下に挙げる様な特定の信号遷移間に関してのみ順序関係を保証すればよい。

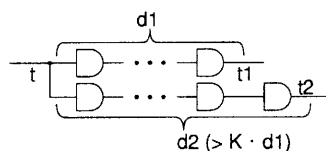


図 1 SDI モデルに基づいた設計における設計規則

- 東データ方式データ転送 [1], [9] におけるデータバス (速いバス) とデータバスの安定を示すストロブ信号 (遅いバス)
- 2線2相式データ転送 [1], [9] におけるデータバス (速いバス) と完了信号生成バス (遅いバス)

また、定数値 K の値は使用するテクノロジー、回路要素の遅延に影響を与える変動要因の変動範囲などによって決定される値である。本稿では、幾つかのテクノロジー及び想定される環境変動範囲で K の値を求めた結果を示す。

2.2 同期式入力仕様記述の非同期化

非同期式システムを実現する回路構成には様々な方式がある。実装を行った設計支援 CAD システム「AINOS」が対象とする回路構成は以下の 2 種類である。

(1) DDL(Differential Domino Logic) と呼ばれるダイナミック論理回路を利用した高速なデータバス回路構成と細粒度化により要求-応答プロトコルに伴うオーバーヘッドを隠蔽した回路構成 [2]

タイミング信号生成回路としては、非同期式システム設計において古くから利用されてきた Muller の Pipeline [10] に用いられている回路構成を利用し、SDI モデルに基づいてタイミング信号生成バスとデータバスの信号遷移の順序関係を保証する [11]。

本回路構成はダイナミック論理回路を用いるため、スタティック論理回路と比較して高速な演算回路を実現することが出来る。一方、データ信号は 2線式論理であり、演算を行う度にプリチャージを実行して出力をスペーサに初期化しなければならないため、スタティック論理回路で構成したものと比較して、消費電力が大きい。

(2) スタティック論理回路とセルフリセット回路を用いたタイミング信号生成回路 (GasP 回路 [12]) を SDI モデルに基づいて実現した回路構成 [3], [4]

この回路構成では、タイミング信号生成にセルフリセット構造を利用することで要求-応答プロトコルに伴うオーバーヘッドをほぼ 0 とすることが出来る。また、タイミング信号生成回路を SDI モデルに基づいて設計することで、Logical Effort [12] を用いてトランジスタのサイズを調整し、全ての素子遅延を等しくする回路構成である GasP の FIFO 制御回路と比較して設計が容易となる [4]。

これらの回路構成を用いた非同期式システムの実現方式として、AINOS では図 2 の様に示すことが出来る同期式 RTL 構造記述を入力仕様として扱う。図 2 の構成は、状態機械 (FSM) とデータバスの回路構成を全てまとめて組み合わせ回路とレジスタからなるものと見做し、全てのレジスタには位相の揃ったクロック信号が入力されているものである。

この入力仕様に対し、AINOS はクロック信号に替わり、図 3 に示す様にローカルなタイミング信号生成回路を付加する。また、東データ方式に基づいてレジスタ間データ転送を行うように組み合わせ回路に対して時間情報を付加する。

本設計方式では、入力仕様が同期式 RTL 構造記述であるため、広く利用されている同期式設計支援 CAD を有効利用することができ、非同期式システム設計者のみならず、同期式シ

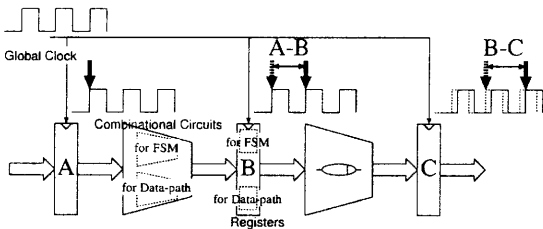


図2 同期式RTL仕様記述モデル

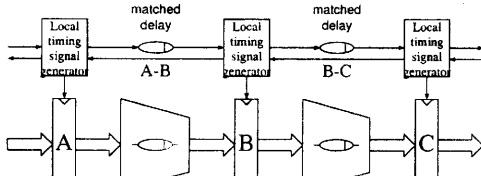


図3 AINOSの実現する非同期式回路モデル

テム設計者にも容易に非同期式システムを実現することが出来ると思われる。また、このような設計方式に基づき、クロック信号に同期して制御を行う同期式VLSIをローカルタイミング信号に基づいて制御を行う非同期として実現することの利点として以下が挙げられる。

- 遅延変動に対する耐性と速度性能の向上

同期式システムでは、レジスタ間演算処理にかけてよい時間はクロック周波数の逆数で決定され、環境変動などによりデータパス及びクロック信号分配線のレイテンシが変動しても、クロック周波数を動的に変動させない限り、レジスタ間演算処理にかけてよい時間は変動しない。そのため、環境変動による遅延変動が大きい場合、誤動作を生じやすい。

一方、ローカルタイミング信号をデータパスと同じ配線層及びゲートで作成することで、データパスと同じ様に遅延を変動させることが出来る。そのため、遅延変動に対する耐性を高くすることが出来る。

- 処理遅延のばらつきが大きい場合の高速化

処理遅延に合わせてタイミング信号を生成することが可能であるため、入力データに依存して処理遅延が大きく変動するアプリケーションでは、処理レイテンシを平均遅延で評価することが出来る。データ入出力スループットが十分高い場合非同期化することにより高速化を実現することが出来る。

2.3 AINOSの機能と実装状況

現在までAINOSのモジュールとして実装したものは前節において(1)で示したDDLを用いた回路構成に対応するものであり、以下の機能を実現している。

- (1) Verilog入出力機能

レジスタトランスファレベル、及びゲートレベルのVerilog記述を入出力することができる。

- (2) RTL合成機能

Verilog RTL記述において、case(casex)文、assign文として記述された論理演算、加減算は対応するゲートレベル記述に変換される。

- (3) 2線化機能

入力されたモジュール記述に対して、ライブラリに対応する2線化モジュールが存在する場合はそのモジュールに

変換し、ライブラリに対応する2線化モジュールがなければ、モジュールの入出力宣言を2線化し、対応する要求-応答信号線を付加する [13]。

- (4) 細粒度化機能

DDL回路を対象とした2線化を行ったモジュールに対して、要求-応答プロトコルに伴うオーバーヘッドを隠蔽するための一つの手段である細粒度化処理を行う [13]。1細粒度サブステージに含まれるDDLゲート段数を指定することが出来る。

- (5) SDIモデルに基づいた静的遅延解析機能

DDL回路による細粒度化パイプラインデータパスに対して、設計された回路が、与えられた K の値に対して速いパスと遅いパスの遅延関係を満たしているかどうかを確認し、満たしていない場合付加すべき遅延の大きさを出力する機能を持つ [11]。また、遅延値としては、ライブラリファイルに記述された値の他、レイアウト結果から出力されたSDFファイルを取り入れることが出来る。

- (6) グラフィカル・ユーザ・インタフェース

GTKによるGUIを提供している。2線化、細粒度化などの処理の前後のモジュールの対応が確認出来る様に、処理前のモジュールを指定すると処理後のモジュールが反転表示されるなどの機能を持つ。

2.2節において(2)として示した回路構成に対応した支援ツールの実装は今後の課題である。

また、次節で示す K の値の求め方に従って、テクノロジー遅延変動要因の変動範囲が与えられたときに K の値を自動的に計算する機能、及びSDIモデルに基づいた設計において、パスの遅延をグラフィカルに表示するパスビューア機能等の実装を現在行っている。

3. 遅延変動率の評価

本節では、同期式システムと比較した時の遅延変動に対する耐性、及びAINOSが前提とするSDIモデルに基づいた設計で使用する定数値 K に関して、SPICEを用いて評価した結果を示す。

3.1 主な遅延変動要因

チップ製造時及び製造後の動作環境における遅延の変動要因としては主に以下のものが考えられる。

- (1) 製造プロセスの変動
- (2) 温度変動
- (3) 電源電圧変動
- (4) クロストーク [16]

製造プロセス変動は、チップ製造時の酸化膜厚の差、イオン注入された不純物の分布の違いなど [14] から生じる遅延変動を表わす。また、チップ動作時の遅延変動要因として、一般的に、温度が低くなる、あるいは電源電圧が高くなるとトランジスタのスイッチング速度は高速になり、温度が高くなる、あるいは電圧が低くなると低速となる。これらはデバイス特性に影響を与える移動度、閾値電圧、飽和速度、寄生直列抵抗、ソース・ドレイン接合特性等様々なパラメータが温度及び電圧に依存している為である [14], [15]。上記、(1)~(3)に関してはSPICEモデルとしてパラメータ化され、シミュレーションにより確認することが出来る。

一方、(4)クロストークは長配線となるバスの様に隣接配線間容量が大きいときに生じる問題であり、SDIモデルに基づく設計を適用する局所領域の設計ではこのような長配線はないものと仮定することが出来る。そこで、本稿では(1)~(3)を対象

として、表1に示すテクノロジーに関してSPICEシミュレーションによる遅延変動率とその相対値を求めた結果を示す^(注1)。

SPICE Model	0.35 μm LEVEL28 (BSIM)	0.25 μm LEVEL28 (BSIM)	0.13 μm LEVEL53 (BSIM3)

3.2 評価環境

ゲートの遅延は図4に示す環境を用いてSPICEシミュレーションを行うことで求める。ゲートの立ち上がり・立ち下がり遅延は、図4に示す様に、信号遷移を引き起こす入力信号電圧がスレッショルド電圧になってから出力信号電圧がスレッショルド電圧になるまでとする。

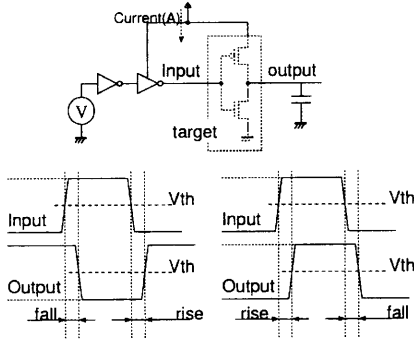


図4 遅延評価環境と回路要素の立ち上がり・立ち下がり遅延

3.3 プロセス変動に伴う遅延変動

製造プロセスの良し悪しを表わすSPICEのモデルとして、PMOS、NMOSそれぞれslow, center, fastの3種類のモデル化がなされることが多い。そこで、NMOS、PMOSのモデルのペアとして、基準となるモデルをNMOS、PMOS共に平均的な性能を持ったものとし、(NMOS,PMOS) = (Center,Center)とする。製造プロセスのばらつきによる遅延変動率の大きさとそのばらつきを示す相対遅延変動率を測定するため、以下の4種類のモデルを用いて遅延を測定する。

- (NMOS, PMOS) = (Fast, Fast) : Best ケース
- (NMOS, PMOS) = (Fast, Slow)
- (NMOS, PMOS) = (Slow, Fast)
- (NMOS, PMOS) = (Slow, Slow) : Worst ケース

0.13 μm ルールにおいて、電圧1.2V、温度25 $^{\circ}\text{C}$ 、負荷容量0.05pFとしたときの代表的な素子のプロセスの違いのみによる立ち上がり・立ち下がり遅延を求めたものが図5である。横軸にプロセスの変動を示し、縦軸は立ち上がり・立ち下がり遅延値である。なお、NDAの都合上、縦軸において遅延の絶対値は省略している。

これらの評価値を基に、(NMOS, PMOS) = (Center, Center)となるプロセスを基準として、それぞれのプロセスにおける遅延変動率の取りうる範囲、及び相対遅延変動率の最大値を求めた結果が図6である。図6では、横軸にプロセスを取り、縦軸に遅延変動率と相対遅延変動率を取っている。基準となる(Center, Center)よりも製造プロセスの変動によりスイッチング速度が速くなる素子の遅延変動率は1未満となり、スイッチン

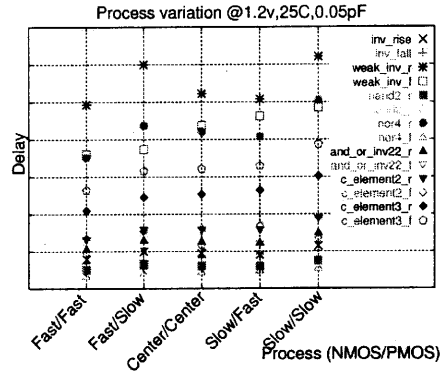


図5 プロセス変動による遅延変動

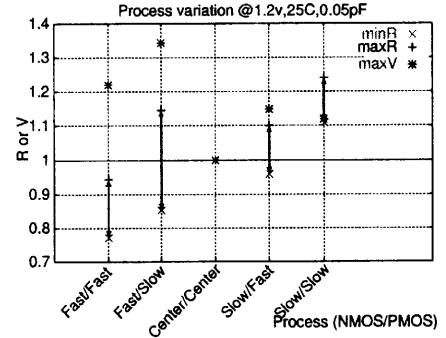


図6 個々の遅延変動率Rの最大・最小値と相対遅延変動率V

グ速度が遅くなる素子の遅延変動率は1より大きいものとなる。遅延変動率はゲートの構成によって異なり、(NMOS,PMOS) = (Slow, Fast)あるいは(Fast, Slow)などの場合、基準状態よりも速くなるゲートもあれば、基準状態よりも遅くなるゲートもあることがわかる。また、図6では、遅延変動率の最小値(minR)と最大値(maxR)を点で示しており、全てのゲートの遅延変動率は矢印で示す様にminR~maxRの中のいずれかの値を取ることを表わしている。

相対遅延変動率の値は、比較する素子によって様々な値を取りうる。しかしながら、その最大値はmaxR/minR、最小値はminR/maxRとして求められ、Vの取りうる値はminR/maxR~maxR/minRとなる。図6において、Vの最大値は1.34であり、電圧1.2V、温度25 $^{\circ}\text{C}$ 、負荷容量0.05pFの条件において、プロセス変動のみ考慮したときの相対遅延変動率の最大値は1.34となることがわかる。

0.13 μm テクノロジーと同様、0.25 μm 、0.35 μm テクノロジーにおいてSPICEシミュレーションによりプロセス変動に伴う遅延変動を求めたところ、0.13 μm とほぼ同様の傾向を示すことが確認された。表2に、各テクノロジーにおける遅延変動率の最大値及び相対遅延変動率の最大値を示す。

表2 プロセス変動による遅延変動率Rと相対遅延変動率Vの最大値

	0.35 μm	0.25 μm	0.13 μm
MaxR	1.55	1.42	1.24
MaxV	4.89	1.79	1.34
(Rの範囲)	(0.245~1.20)	(0.651~1.17)	(0.853~1.15)

表2より、テクノロジー微細化に伴い、プロセスが変動することによる遅延変動率Rの最大値は減少し、その取りうる範囲が

(注1) : 表1において、BSIMとはBerkeley Short Channel IGFET Modelの事であり[17]、業界標準のFETモデルである。

狭くなることにより相対遅延変動率 V の最大値も減少する傾向にあることが確認できる。これは、不純物分布の均一化などの製造技術の進歩により、製造プロセス変動に伴う遅延変動率のばらつきを抑えることが出来る様になったためと推測される。

また、MaxRはプロセス変動に伴う遅延変動率の最悪値を示しており、同期式システムでは標準的なプロセスの遅延のMaxR倍のレイテンシとなるクロック信号を入力しなければプロセス変動に伴う遅延変動が生じたときに動作を保証出来ないことを意味する。一方、SDIモデルに基づいた設計では、遅いパスの遅延が速いパスの遅延のMaxV倍よりも大きくなるように回路を設計しなければ、プロセス変動に伴う遅延変動が生じたときに信号遷移の順序関係を保証できないことを意味する。但し、表2のMaxVは速いパスと遅いパスの両方にあらゆる素子が含まれることを仮定した場合の値である。

表2において、MaxRとMaxVを比較するとMaxVの方が大きい。従って、上述の条件の基では、同期式システムとして実現した方が速度性能が高くなると言える。但し、非同期式との格差は減少傾向にあることも確認できる。

3.4 電圧変動に伴う遅延変動

本節では、電圧変動に伴う各ゲートの信号遷移遅延変動率と相対遅延変動率に関してSPICEシミュレーションにより評価した結果を示す。

0.13 μ mテクノロジーにおいて、基準電圧を1.2Vとし、電圧が1.0Vから1.4Vまで変動したときの代表的なゲートの遅延変動を求めたものが図7である。横軸に電圧を取り、縦軸は立ち上

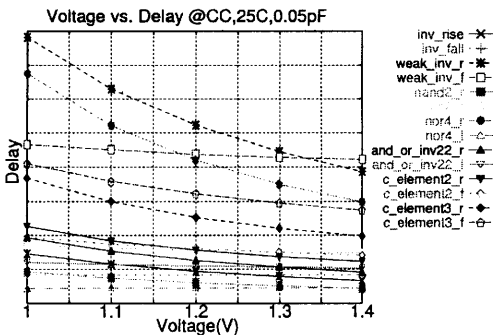


図7 電圧変動による遅延変動

がり・立ち下がり遅延を取っている。図7より、電圧変動に伴う遅延変動率は素子の違い、及び信号遷移方向の違いによってそれぞれ異なることが確認される。全体的には電圧が高くなると速度が遷移速度が速くなる傾向にあるが、一部のゲートでは、電源電圧が高くなると立ち上がり遅延がわずかながら遅くなるものがあることが確認される。

この傾向は他のテクノロジーでも同様であり、それぞれのテクノロジーの基で電圧が $\pm 0.1V$ 変動したときの各テクノロジーにおける遅延変動率の最大値及び相対遅延変動率の最大値を求めた結果を表3である。

表3 電圧変動による遅延変動率 R と相対遅延変動率 V の最大値

	0.35 μ m	0.25 μ m	0.13 μ m
MaxR	1.10	1.34	1.24
MaxV	1.24	1.46	1.25
(Rの範囲)	(0.878-1.09)	(0.918-1.34)	(0.989-1.24)

表3より、電圧変動に対する相対遅延変動率の最大値の値はテクノロジーに依存せず、電圧変動幅に依存する傾向にあること

がわかる。また、MaxRとMaxVの比較により、電圧変動のみ考慮した場合、同期式として実装した方が速度性能が高いと言える。

3.5 温度変動に伴う遅延変動

本節では、温度変動に伴う各ゲートの信号遷移遅延変動率と相対遅延変動率に関してSPICEシミュレーションにより評価した結果を示す。

0.13 μ mテクノロジーにおいて、基準温度を室温25 $^{\circ}$ Cとし、温度が0 $^{\circ}$ Cから100 $^{\circ}$ Cまで変動したときの代表的なゲートの遅延変動を求めたものが図8である。横軸に温度をとり、縦軸は立

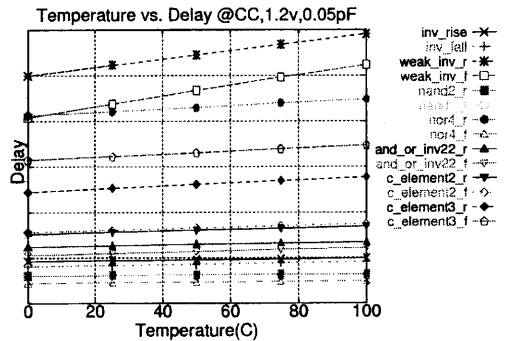


図8 温度変動による遅延変動

ち上がり・立ち下がり遅延を取っている。図8より、温度が高くなると遅延は大きくなり、温度が低くなると遅延は小さくなることを確認できる。また、ゲートの構成により変化率は異なることがわかる。さらに、遅延変動は電圧が変動することによる変動率よりも総じて小さいことが確認できる。

この傾向は他のテクノロジーでも同様であり、表4に各テクノロジーにおける遅延変動率の最大値及び相対遅延変動率の最大値を求めた結果を示す。表4より、MaxRとMaxVを比較すると

表4 温度変動による遅延変動率 R と相対遅延変動率 V の最大値

	0.35 μ m	0.25 μ m	0.13 μ m
MaxR	1.31	1.23	1.20
MaxV	1.24	1.11	1.14
(Rの範囲)	(1.06-1.31)	(1.11-1.23)	(1.05-1.20)

MaxVの方が小さいことが確認できる。従って、温度変動のみ考慮した場合、非同期式システムとして実装した方が高い速度性能を得ることが出来ると言える。

3.6 Kの値の求め方と同期式との比較

前節までで、様々な変動要因に伴う遅延変動とそのばらつきの大きさの傾向を示した。それぞれの変動要因は全て独立に生じるものではあるが、デバイスパラメータとしては相互に依存しあっており、個々の変動幅の最大値を用いてテクノロジー全体の相対遅延変動率の上限・下限を求めることは出来ない。従って、あるテクノロジーにおける K の値は、想定される範囲内での基準状態の遅延からの変動を求め、その相対値の最大値を求めることにより決定する。

仮に、設計時に想定する動作時の基準環境を表5(a)標準値とし、動作時に想定される変動範囲を表5(b)変動範囲とする。この条件の基で、基準状態からの各素子の遅延変動率を求め、それぞれの状態における相対遅延変動率の最大値を求める。さらに、様々な動作環境における相対遅延変動率の最大値の中か

表5 変動要因の標準値と変動範囲

Process (NMOS/PMOS)	(a) 標準値	(b) 変動範囲
	(Center/Center)	(Slow/Slow)~ ~(Fast/Fast)
電圧 [V]	3.0(@0.35 μ m) 2.5(@0.25 μ m) 1.2(@0.13 μ m)	-0.1 ~ +0.1
温度 [°C]	25	0~100
負荷容量 [pF]	0.01~0.1	0.01~0.1

ら、最大のものを選択した値がそのテクノロジーにおける定数 K となる。

変動範囲を表5(b)としたときの各テクノロジーにおける遅延変動率 R の最大値と K の値を求めた結果を表6に示す。また、先に述べた通り、SDIモデルに基づいた実際の設計では、全ての信号遷移間で共通信号遷移元と信号遷移の順序関係を定める必要はなく、特定の信号遷移間の順序関係のみ保証すればよい。設計支援CADシステムAINOSが実現する回路モデルでは、信号遷移の順序関係を保証しなければならない箇所は束データ方式のデータ転送となる要求-応答信号線とデータパス間のみであり、要求-応答信号線に使用する素子を限定することができる。そのため、速いパスと遅いパスの双方に全ての素子が存在すると仮定した場合の K の値よりも小さな K の値の基で設計することが出来る。遅延線をINVゲートのみで構成することを仮定し、遅延変動要因の変動範囲を表5(b)とし、同様に K の値を求めた結果が表6「束データに限定した K 」である。

表6 各テクノロジーにおける遅延変動率の最大値と K の値

	0.35 μ m	0.25 μ m	0.13 μ m
MaxR	2.60	1.99	1.60
K	6.30	2.90	2.18
束データに限定した K	2.08	1.35	1.09

表6より、SDIモデルで規定する速いパスと遅いパスの双方に全ての素子が含まれる場合、定数値 K としては遅延変動率の最大値よりも大きな値を与えなければならないことが確認できる。これは様々な遅延変動要因に対する、各素子の遅延変動率は素子のトランジスタレベルの構成等によりそれぞれ異なり、遅延の増減の傾向が他の素子と異なるものがあるからである。

しかしながら、AINOSが設計対象とする回路の様に、信号遷移の順序関係を保証する箇所及び速いパスあるいは遅いパスに使用される素子が限定される場合、遅延変動に対する耐性を維持しつつ、同期式実装よりも高い速度性能を得ることが出来る。

4. まとめ

本稿では、実装を行った非同期式システム設計支援CAD環境「AINOS」に関して、設計モデル及び設計方式とその利点を示した。同期式システムを非同期式システムとして実現する利点として遅延変動に対する耐性に着目し、AINOSが前提とするSDIモデルと呼ばれる遅延モデルにおける回路要素の遅延変動とそのばらつきに関してSPICEシミュレーションにより評価した結果を示し、環境変動などに伴う個々の素子の遅延変動率が大きい場合、遅延変動率のばらつきの大きさに基づいて設計されるSDIモデルに基づいた非同期式システムの方が、遅延変動に対する耐性を維持しつつ、高い速度性能を実現することが出来ることを確認した。

また、非同期式VLSI設計支援CADシステム「AINOS」に関して、現在の実装状況と今後の予定を示した。AINOSは

Verilog記述を入出力することが可能であり、非同期式システム設計における統合環境ツールとしての役割を果たすことを目標に今後も拡張を行う予定である。

なお、本研究は東京大学大規模集積システム設計教育研究センターを通し、シノプス株式会社及びケイデンス株式会社の協力で行われたものである。

文 献

- [1] 南谷崇. 非同期式マイクロプロセッサの動向. 情報処理, Vol. 39, No. 3, pp. 181-186, March 1998.
- [2] 今井雅, 南谷崇. 遅延情報を利用した非同期式RTL設計モデルの提案. 電子情報通信学会技術研究報告 VLD2000-92, pp. 137-142, Nov 2000.
- [3] 今井雅, 南谷崇. 遅延情報を利用した非同期式vlsi設計の一手法の提案. 電子情報通信学会技術研究報告 VLD2001-120, pp. 51-57, Nov 2001.
- [4] 今井雅, Methan Özcan, 南谷崇. Sdiモデルに基づく局所同期型非同期式vlsi設計方式. 情報処理学会論文誌, Vol. 44, No. 5, pp. 1232-1243, May 2003.
- [5] David E. Muller and W. S. Bartky. A theory of asynchronous circuits. In *Proceedings of an International Symposium on the Theory of Switching*, pp. 204-243. Harvard University Press, April 1959.
- [6] Alain J. Martin. Synthesis of asynchronous VLSI circuits. In J. Staunstrup, editor, *FORMAL METHODS FOR VLSI DESIGN*, chapter 6, pp. 237-283. Elsevier Science Publishers B. V., 1990.
- [7] Akihiro Takamura, Masashi Kuwako, Masashi Imai, Taro Fujii, Motokazu Ozawa, Izumi Fukasaku, Yoichiro Ueno, and Takashi Nanya. TITAC-2: An asynchronous 32-bit microprocessor based on scalable-delay-insensitive model. In *Proc. International Conf. Computer Design (ICCD)*, pp. 288-294, October 1997.
- [8] T. Nanya, A. Takamura, M. Kuwako, M. Imai, T. Fujii, M. Ozawa, I. Fukasaku, Y. Ueno, F. Okamoto, H. Fujimoto, O. Fujita, M. Yamashina, and M. Fukuma. TITAC-2: A 32-bit scalable-delay-insensitive microprocessor. In *Symposium Record of HOT Chips IX*, pp. 19-32, August 1997.
- [9] Scott Hauck. Asynchronous design methodologies: An overview. *Proceedings of the IEEE*, Vol. 83, No. 1, pp. 69-93, January 1995.
- [10] Edited by Jens Sparso and Steve Furber. *Principles of Asynchronous Circuit Design - A Systems Perspective*. Kluwer Academic Publishers, 2001.
- [11] Metehan Özcan, Masashi Imai, Hiroshi Nakamura, and Takashi Nanya. Verification and violation correction of timing constraints for gate-level asynchronous circuits. *Trans. of IPSJ*, Vol. 44, No. 5, pp. 1244-1254, May 2003.
- [12] Ivan Sutherland and Scott Fairbanks. GasP: A minimal FIFO control. In *Proc. International Symposium on Advanced Research in Asynchronous Circuits and Systems*, pp. 46-53. IEEE Computer Society Press, March 2001.
- [13] 宮次善幸, 中越優佳, 今井雅, Rafael Morizawa, Metehan Özcan, 中村宏, 南谷崇, 高橋渡, 若林一敏. 非同期式VLSI設計用CADシステムの提案. 電子情報通信学会技術研究報告 VLD 2001-05, pp. 9-14, May 2001.
- [14] Yuhua Cheng and Chenming Hu. *MOSFET Modeling & BSIM3 User's Guide*. Kluwer Academic Publishers, 1999.
- [15] Weidong Liu et al. BSIM3 manual(version 5.2). <http://www-device.eecs.berkeley.edu/bsim3/>, 1999.
- [16] Ashok Vittal, Lauren Hui Chen, Malgorzata Marek-Sadowska, Kai-Ping Wang, and Sherry Yang. Crosstalk in VLSI interconnections. *IEEE Trans. on CAD of IC and Systems*, Vol. 18, No. 12, Dec. 1999.
- [17] BSIM:Berkeley Short channel IGFET Model. <http://www-device.eecs.berkeley.edu/bsim3/>.