

MeP の拡張機能を用いた携帯機器向け DSP エンジンの開発

古澤 敏行[†] 井上 智史[‡] 片山 功[‡] 新居 欣久^{*}
松井 正貴[‡] 西川 明成^{*} 吉本 健[‡]

[†] 東芝マイクロエレクトロニクス株式会社 〒212-8520 神奈川県川崎市幸区堀川町 580-1

[‡] 株式会社 東芝 セミコンダクター社 〒212-8520 神奈川県川崎市幸区堀川町 580-1

^{*} 株式会社 東芝 セミコンダクター社 〒247-8585 神奈川県横浜市栄区笠間 2-5-1

E-mail: [†] toshiyuki.furusawa@toshiba.co.jp

あらまし Media embedded Processor (MeP) の拡張機能を用いて、音声および通信アプリケーションをターゲットとした DSP エンジンを開発した。32 ビット・デュアル MAC アーキテクチャを採用した。MeP の DSP 拡張として MeP コアと協調して動作するモードのほかに、MeP コアと独立して自走するモードを設け、目的に応じて使い分けられるようにした。テストチップを 0.13 μ m プロセスで試作し、170MHz 動作を確認した。

キーワード DSP, Media embedded Processor, MeP

A DSP Engine for an Extensible Media Embedded Processor

Toshiyuki FURUSAWA[†] Satoshi INOUE[‡] Isao KATAYAMA[‡] Yoshihisa ARAI^{*}
Masataka MATSUI[‡] Meisei NISHIKAWA^{*} and Takeshi YOSHIMOTO[‡]

[†] Toshiba Microelectronics Corporation 580-1 Horikawa-cho, Saiwai-ku, Kawasaki-shi, Kanagawa, 212-8520 Japan

[‡] Toshiba Corporation 580-1 Horikawa-cho, Saiwai-ku, Kawasaki-shi, Kanagawa, 212-8520 Japan

^{*} Toshiba Corporation 2-5-1 Kasama, Sakae-ku, Yokohama-shi, Kanagawa, 247-8585 Japan

E-mail: [†] toshiyuki.furusawa@toshiba.co.jp

Abstract An extension interface for a configurable processor enabling implementation of an application specific programmable DSP is described. A DSP engine for mobile applications with 32-bit dual MAC architecture based on the extension was designed. The engine can also run separately as stand-alone processor decoupled with the configurable CPU core. A test chip was successfully fabricated using 0.13 μ m CMOS technology and has measured 170MHz operation.

Keyword DSP, Media embedded Processor, MeP

1. はじめに

シリコンプロセス技術の進歩と、アプリケーションの複雑度増大により LSI は SoC (System-on-a-Chip) へと進化している。例えば、ここ数年の携帯電話の機能拡充には目を見張るものがあり、音楽録音・再生、カメラ (静止画・動画)、ゲームといったアプリケーションが 1 台の携帯電話端末に搭載されている。これらの機能をサポートするため、最近の SoC では複数のプロセッサを搭載する必要がある。マルチプロセッサ SoC [3],[5] に搭載されるプロセッサは主として 3 種類のプロセッサ、①汎用プロセッサ②専用命令をもつメディアプロセッサ③DSP より選定されるが、その選定過程においては常にプログラムのし易さと性能がトレードオフとなり判断に苦しむことが多い。汎用プロセッサはプログラム開発が容易だが、性能面では DSP が

優れている。さらに携帯用途においては、消費電力という要素も重要な選定要因となっている。

Media embedded Processor (MeP [1]) は高い拡張性を備えた東芝オリジナルの RISC プロセッサで、メディアアプリケーションのプラットフォームとして開発された [1],[2],[4]。この MeP は configurability と extensibility をそなえたアーキテクチャによってプログラムし易さと高性能を両立している。configurability とは、キャッシュメモリや専用メモリユーザースをユーザーが自由に指定可能で、オプション命令を必要に応じて付加することができる事を意味している。この configurability は、プロセッサの仕様が多様化するものなので、汎用の RISC プロセッサと同等にプログラム容易性は保たれる。一方 extensibility とは、ユーザーが専用の独自の命令をプロセッサに追加し、あるいは付加的なハードウェアをプロセッサに容易に接続できる事を意味しており、性能向上が可能となる。DSP 拡

張は高速にデジタル信号処理を行うことを目的とした MeP の拡張機能の一種で、2バンクのメモリアクセスと複数サイクルの演算器を実装することができる。この DSP 拡張のための命令コードはプロセッサコアの一命令カテゴリとして定義されており、プログラム容易性も保たれている。

この DSP 拡張機能をベースとして汎用の DSP エンジンを開発し、そのテストチップを試作した。この DSP エンジンプロセッサの拡張ユニットとして動作するだけでなく、プロセッサコアとは独立して動作することも可能。この2種類の動作モードを選択的に使用することで、ターゲットとなるアプリケーションに適したプログラム容易性、処理性能、そして消費電流のバランスを取ることができる。

本稿では DSP 拡張と今回開発した DSP エンジンのアーキテクチャ詳細および、試作した評価チップについて紹介する[7]。

2. MeP の DSP 拡張機能

図 2.1 は MeP モジュールのブロック図で、特定用途むけのカスタムプロセッサとして動作する。このモジュールには MeP-c3 Core [1]、拡張部、データ転送を制御するデータストリーマ、チップ内のグローバルバスとの接続を行うグローバルバスインターフェースを備えている。拡張部にはコプロセッサ、ユーザーカスタム命令ユニット(UCI)、DSP ユニット、そして複数のハードエンジンを搭載できる。

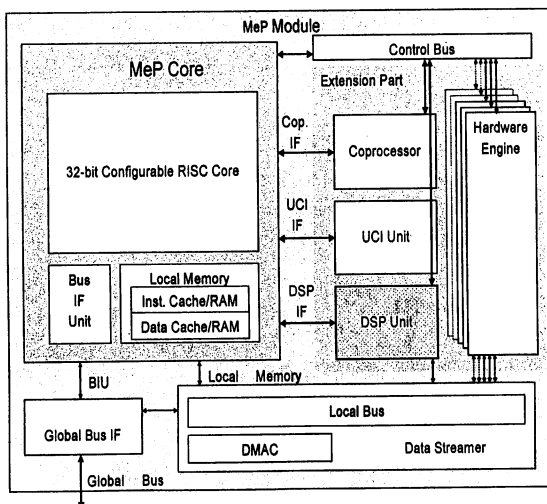


図 2.1 MeP モジュールアーキテクチャ

図 2.2 は DSP ユニットのアーキテクチャとインターフェースを示している。DSP ユニットには 4 種類の内部ブロック (①命令デコーダ、②Execution ユニット、③制御レジスタ、④ローカル RAM) と 4 種類のインターフェース (①DSP インターフェース、②ローカルメモリアインターフェース、③制御バスインターフェース、④ローカルバスインターフェース) を備える。

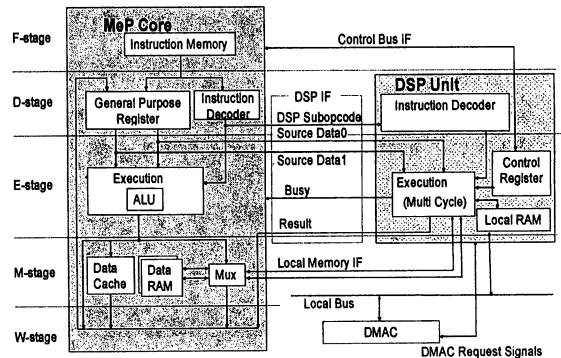


図 2.2 DSP ユニットアーキテクチャ

DSP ユニットはローカルメモリアインターフェースを使用し、MeP コア内のデータ RAM をアクセスできる。このインターフェースは 2ch あるため、DSP ユニットは 2バンクのデータ RAM を同時にアクセス可能。MeP コアと DSP ユニットの RAM アクセス競合をさけるため、MeP コアにはデータ RAM の調停回路を備えている。

演算結果は GPR に格納することが可能である。複数サイクルの処理を DSP ユニットで実行することができるが、この場合、DSP ユニットは GPR に結果格納するために、MeP コアに対して Busy 信号をアサートすることで MeP をストールして同期を取る。

DSP ユニットの命令デコーダは MeP コアから完全に独立しており、ユーザーはターゲットアプリケーションに合わせてオリジナルの命令セットを定義することができる。

DSP ユニットには制御レジスタと、ローカル RAM を搭載できる。MeP コアは制御バスインターフェースを介して制御レジスタにアクセスし、コマンドの発行や、ステータスをモニタできる。ローカル RAM はローカルバスインターフェースにスレーブ接続し、MeP コアや DMA コントローラからアクセスが可能。DSP ユニットがローカル RAM をアクセスしているときにローカルバス経由でアクセス要求がきた場合は、DSP ユニットが RAM を開放する。

Syntax

1. DSP Rn, Rn, Code16
2. DSP Rn, Code20
3. DSP Code24

Description

1. Issues DSP Subopcode "Code16" with contents of source registers Rn and Rn to DSP unit, and puts the result in the destination register Rn.
2. Issues DSP Subopcode "Code20" with contents of source register Rn to DSP unit, and puts the result in the destination register Rn.
3. Issues DSP Subopcode "Code24" to DSP unit.

Operation Code

1.	31	28	24	20	16	0
	1111	nnnn	mmmm	0000		Code16
2.	31	28	24	20	16	0
	1111	nnnn	Code20	0000		Code20
3.	31	28	24	20	16	0
	1111	Code24	0000		Code24	

図 2.3 DSP 命令フォーマット

MeP コアは DSP 拡張のための命令カテゴリを備えている。図 2.3 に示す通り、DSP のサブオペコードとレジスタ番号を含んでいる。

MeP コアは DSP ユニットに対し、DSP インターフェースを介して、サブオペコードと一緒に汎用レジスタ (GPR) の値をソースデータとして供給する。サブオペコードは 16bit、20bit および、24bit の 3 種類から選択できる。

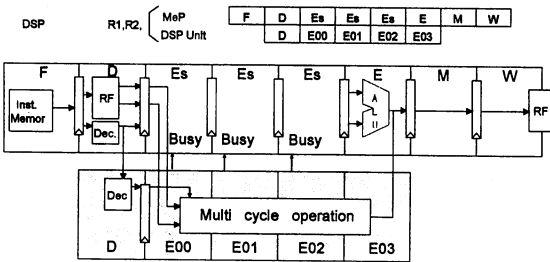


図 2.4 DSP ユニットパイプライン

図 2.4 は DSP ユニットの命令実行におけるパイプライン動作に関する例を示している。

DSP R1, R2, Op_1

ここで、R1 と R2 はソースレジスタで Op_1 が DSP ユニットのサブオペコードである。R1 は演算結果を格納するデスティネーションレジスタとしても使用される。本例では、DSP ユニットの Execution ユニットは E00 から E03 の 4 サイクルの実行サイクルを要し、E00 から E02 の 3 サイクルの間、Busy 信号をアサートして MeP コアをストールし、処理結果が確定した E03 ステージより MeP コアは処理を再開して、結果を R1 に格納する。複数サイクルの処理において、MeP コアをス

トールしないで結果を DSP ユニット内部のレジスタや、データ RAM に格納することも可能である。

3. DSP エンジンのアーキテクチャ

MeP の DSP 拡張機能をベースとして 32bit のデュアル MAC 構造の DSP エンジンを設計した。携帯用アプリケーションをターゲットとし、汎用オーディオ処理と通信用信号処理を行う。表 3.1 に DSP エンジンの特長を示す。

表 3.1 DSP エンジン特長

- MeP DSP extension specification compatible
- Fully synthesizable RTL
- Two operation mode
Interactive mode / Free-running mode
- 16*32+72 → 72 2MACs/cycle
- 32*32+72 → 72 1MAC/cycle
- Zero overhead loop (8-level nest)
- External Bus I/F

図 3.1 に DSP エンジンのブロック図を示す。

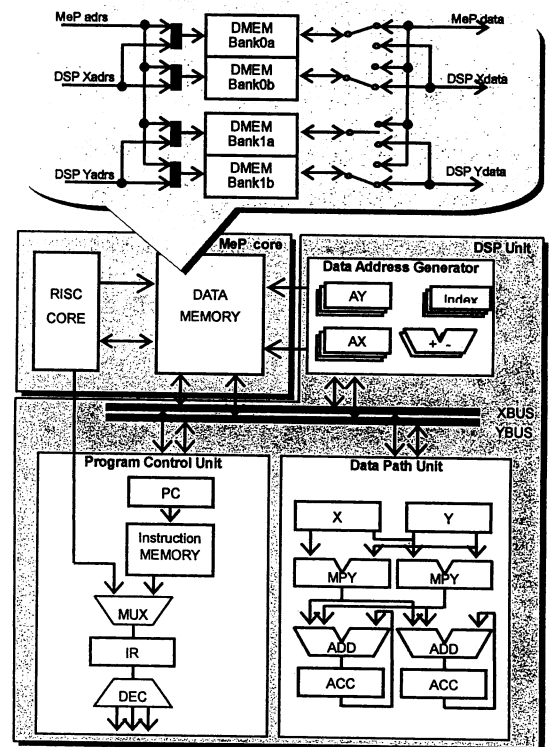


図 3.1 DSP エンジンブロック図

エンジンは以下の主要 3 機能ブロックで構成される。

- Program Control Unit: プログラムカウンタ、命令 RAM および、命令デコーダを備え、命令実行とプログラムフロー制御を行う。
- Data Address Generator: X メモリ、Y メモリを同時に読み出すため、1 命令サイクルで 2 つの異なるデータアドレスを生成する。
- Data Path Unit: 2 個の乗算器、2 個の ALU、パレルシフタを備え、信号処理における算術論理演算を実行する(図 3.2 に詳細ブロック図を示す)。

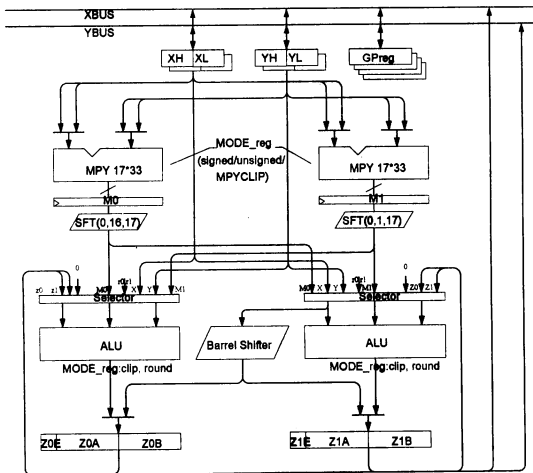


図 3.2 DSP エンジン データパスブロック図

DSP エンジンは 2 個のデータ RAM (X メモリ、Y メモリ) を 1 クロックサイクルで同時にアクセスできる。データ幅は各メモリ共に最大 64bit。DSP エンジンは MeP コア内の 4 バンクのデータ RAM のうち、2 バンクまでを同時アクセスするが、残りの 2 バンクを MeP コアがアクセスしてもメモリアクセスのコンフリクトは発生しない。

DSP エンジンは Interactive モードと Free-running モードと呼ばれる 2 種類の動作モードを備える。

Interactive モードは MeP の DSP 拡張機能に準拠し、20bit 幅の命令を MeP コアより受け取って動作する。MeP が連続して DSP 命令を発行できるようにするため、MeP コアのレジスタに演算結果を格納する命令を定義せず、MeP コアに対するパイプラインストールを発生しないようにした。DSP 命令による演算結果はデータ RAM もしくは、DSP エンジン内のレジスタに格納される。DSP エンジン内のレジスタは制御バス経由で読み出すことが可能。

Free-running モードでは DSP エンジンは MeP コアとは独立したスタンドアローン DSP として動作する。MeP コアより “DSP run” 命令を実行すると DSP は Interactive モードから Free-running モードに移行し、独自の命令 RAM から命令をフェッチして処理を開始する。Free-running モードにおいて、“DSP exit” 命令を実行すると、DSP はプログラム実行を終了して Interactive モードに移行し、MeP コアに対して処理終了を示す割り込み要求を発行する。

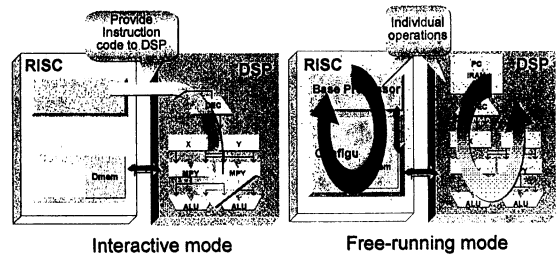


図 3.3 DSP エンジン動作モード

Free-running モード中、MeP コアは並行して処理を実行するか、halt 状態で DSP の処理終了を待つという 2 通りの対応が選べる。また、“DSP stop” と “DSP continue” の 2 命令が Free-running モード中にも発行可能で、一旦 DSP を停止して、別の処理を行い、元の処理を再開するという手順で、マルチタスク処理にも対応できる。

Interactive モードは、MeP と DSP を交互に使用して、信号処理は DSP、複雑なプログラムフロー制御は C 言語でコーディングして MeP で実行という使い方を想定している。Free-running モードは、DSP と MeP が独立して動作できるため、1 モジュールでホストプロセッシングとデータプロセッシングのマルチタスク処理が可能となる。この実装は ARM プロセッサと TI C55x DSP のコンビネーションである OMAP [6] に似ているが、OMAP が 2 つの独立した異種プロセッサによる実装であるのに対し、MeP と DSP エンジンで同一のデータメモリをシェアし、インタラクティブに DSP エンジン进行操作できる点において大きく異なる。実装上の特長として、システムクロックを系統毎に分割し、クロックゲーティング回路を RTL 上に記述した。これによって MeP、DSP どちらかが停止している間、クロックツリーにて消費される電流を大幅に削減できる。機能ブロック毎の細かいクロックゲーティング回路は EDA ツールにて自動生成することで動作時の消費電流低減も可能。DSP エンジンにおいては、下記メモリアクセス時のストールの際にもシステムクロック

を停止してメモリ調停を行っている。

- Free-runningモード中、DSP命令RAMに対するローカルバスからのアクセスが発生
- DSPエンジンがデータRAMアクセス中にDMAコントローラによる同一データRAMバンクに対するアクセス要求が発生

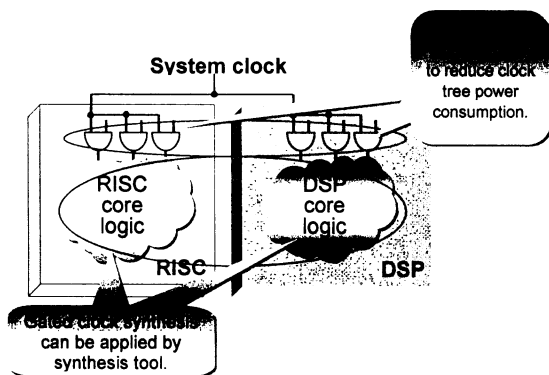


図 3.4 クロックゲーティング

MeP コアにおいては、特別なスタンバイ状態を用意し、データ RAM、タイマ、割り込み検出回路以外のクロックを停止し、DSP エンジンが Free-running モード中、MeP 内部で消費される電流を低減した。

4. LSI 実装例

表 4.1 は DSP エンジンを搭載したテストチップの仕様である。0.13um の “Low power” CMOS 6 層メタルプロセスを使用し、170MHz での動作を確認した。図 4.1 にチップ写真、図 4.2 にプログラム開発環境を示す。

表 4.1 テストチップ仕様

Technology	0.13um CMOS, 6-level metal Low power process	
Logic size	300K gate CPU:130K DSP:130K Data Streamer/Global Bus IF:40K	
Memory size	DataRAM	128KByte
	CPU instruction RAM	32KByte
	CPU instruction cache	4KByte
	DSP instruction RAM	40KByte
Power consumption	0.23mA/MHz@1.5V High load operation, w/o memory power	
Fmax	170MHz@ Worst condition	

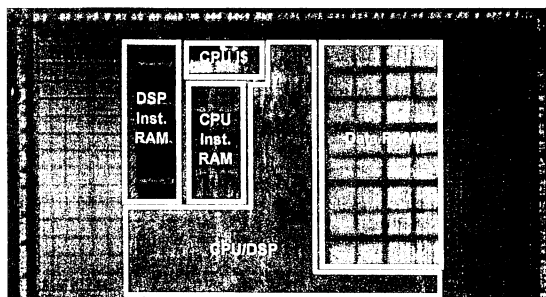


図 4.1 テストチップ写真

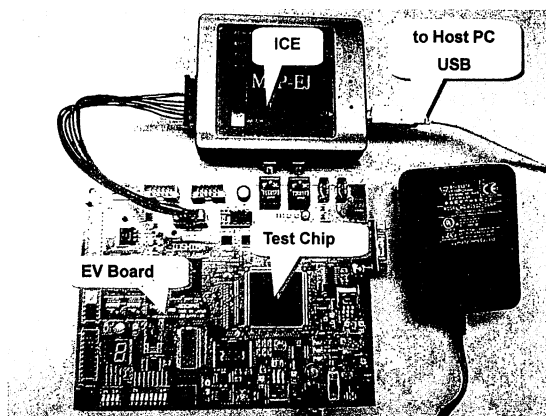


図 4.2 プログラム開発環境

5. まとめ

特定用途向けのプログラマブル DSP をマルチプロセッサ SoC 上に実装するに適した MeP の拡張機能 (MeP-c3 Core [1]) について記述した。

オーディオ処理や通信用携帯端末向けのアプリケーションをターゲットとし、MeP の DSP 拡張機能をベースとした 32bit デュアル MAC 構造の汎用 DSP エンジンを開発した。DSP エンジンは Interactive モードと Free-running モードと呼ばれる 2 種類の動作モードを備え、前者は MeP と DSP を交互に使用し、制御フローは C 言語にて MeP が処理し、信号処理 DSP が受け持つ。後者は MeP と DSP が個別に処理を行い、ホスト処理とデータ処理をマルチタスクで並行して実行できる。

テストチップを 0.13um CMOS プロセスで試作し、170MHz 動作、0.23mA/MHz(コア Logic 部)の消費電流を達成した。

文 献

- [1] <http://www.mepcore.com>
- [2] Miyamori, T., "A Configurable and Extensible Media Processor," Embedded Processor Forum, Apr. 2002.
- [3] Shunichi Ishiwata et al. "A Shingle-Chip MPEG-2 Codec Based on Customizable Media Embedded Processor" in IEEE Journal of Solid-State Circuits, Vol.38, No.3, March 2003.
- [4] Y.Kondo et al. "A 4GOPS 3 Way-VLIW Image Recognition Processor Based on a Configurable Media Processor" in IEEE ISSCC digest of technical papers, pp.148-149, 2001
- [5] Jun Tanabe et al, "Visconti: Multi-VLIW Image Recognition Processor based on Configurable Processor," 25th IEEE Custom Integrated Circuits Conference, CICC 2003, pp.185-188.
- [6] <http://focus.ti.com/omap/docs/omaphomepage.tsp>
- [7] Toshiyuki Furusawa et al, "A DSP Engine for an Extensible Media Embedded Processor," 2004 IEEE Asia-Pacific Conference on Advanced System Integrated Circuits, AP-ASIC 2004, pp160-163.