

単一端子変化遅延テストに基づくデータパスのテスト容易化設計

吉川 祐樹[†] 大竹 哲史[†] 井上美智子[†] 藤原 秀雄[†]

[†] 奈良先端科学技術大学院大学, 情報科学研究科

〒 630-0192 けいはんな学研都市

E-mail: †{yuuki-y, ohtake, kounoe, fujiwara}@is.naist.jp

あらまし 本稿では、階層遅延テスト生成に基づくデータパスの非スキャンテスト容易化設計法を提案する。提案手法では、データパスの全てのテスト対象パスが単一端子変化2パターン可検査性を満たすように設計変更を行う。これによりロバストテスト、ノンロバストテスト可能なパス遅延故障のテストを保証する。単一端子変化の2パターンは、組合せ部分回路に対して、1端子のみ2パターン目の値が変化するテストパターンである。単一端子変化の2パターンは、任意の2パターンに比べて、レジスタ転送レベルにおける制御経路の生成を容易にすることができる。その結果、提案手法は、階層2パターン可検査性を保証するテスト容易化設計法より小さい面積オーバーヘッドを達成できる。更に、提案手法では、順序冗長なパスの一部をテスト不要なパスとし、テスト及びテスト容易化設計から除外することで、過剰テストの緩和、面積オーバーヘッドの削減を行う。

キーワード バス遅延故障、階層遅延テスト生成、非スキャンテスト容易化設計、単一端子変化2パターンテスト

Design for Testability Based on Single-Port-Change Delay Fault Testing for Data Paths

Yuki YOSHIKAWA[†], Satoshi OHTAKE[†], Michiko INOUE[†], and Hideo FUJIWARA[†]

[†] Graduate School of Information Science, Nara Institute of Science and Technology

Kansai Science City, 630-0192, Japan

E-mail: †{yuuki-y, ohtake, kounoe, fujiwara}@is.naist.jp

Abstract This paper presents a non-scan design-for-testability(DFT) method based on single-port-change(SPC) delay fault testing for register-transfer level data paths. SPC two-pattern testability guarantees detection of robust and non-robust testable path delay faults. SPC two-pattern tests for combinational logic blocks can be generated by using a combinational test generation algorithm with constraints. Comparing to arbitrary two-pattern tests, it is easier to generate control paths for SPC two-pattern tests. As a result, proposed method can reduce hardware overhead compared to the previous DFT method for hierarchical two-pattern testability. Furthermore, in order to relax overtesting, we propose a method to find subset of sequentially redundant paths.

Key words path delay fault, hierarchical test generation, non-scan DFT, single-port-change two-pattern test

1. ま え が き

近年、VLSIの動作速度はますます高速化し、回路のタイミングに関する欠陥をテストするために、遅延故障をテスト対象とすることが非常に重要になっている。遅延故障のモデルには、遷移故障、セグメント故障、バス遅延故障などがあり、中でも、バス遅延故障は最も一般性が高いとされている[1]。バス遅延故障のテストには、テスト対象パスの始点及び関連する入力に所望の連続する2パターンを印加する必要がある。一般に、順序回路では、その2パターンを正当化するためのテスト系列を求め

るのに膨大な時間を必要とし、実用的な時間で高い故障検出率を得ることができない。そこで、フリップフロップ(FF)に対し2パターン可制御性と可観測性を保証する、拡張スキャン方式のテスト容易化設計法がある[2][3]。しかし、面積オーバーヘッドが非常に大きく、更にテスト時のシフト動作により、テスト実行時間が長くなるという問題がある。この問題点を緩和する手法として、レジスタ転送レベル(RTL)で表現された回路に対するテスト容易化設計法が提案されている[4]。この手法は、RTL回路のデータパスに対して、非スキャン方式のテスト容易化設計法を適用し、面積オーバーヘッドとテスト実行時間の問題

を緩和している。しかし、面積オーバーヘッドは小さいとは言えず、更に改善の余地がある。また[2],[4]は、過剰テストの問題を考慮していない。過剰テストとは、本来テスト不可能なパスが、テスト容易化設計を行うことにより、テストされてしまうことを言う。その結果、歩留まりが悪くなる、良品を不良品と判断してしまうなどの悪影響を及ぼす。

バス遅延故障のテストは、2パタンの品質により、ロバストテスト、ノンロバストテスト、機能的活性可能テストに分類され、この順で品質が高い。本稿では、ロバストテスト、ノンロバストテストを対象とする。文献[5],[6]において、ロバスト及びノンロバストテスト可能な故障は、単一可検査というクラスに分類されている。単一可検査に属するバス遅延故障のテストには、テスト対象バスの始点となる1ビットにのみ遷移を起こす単一入力変化 (Single-Input-Change, SIC) の2ボタンを生成できることが保証されている。本稿では、この単一入力変化の概念をRTLに拡張した単一端子変化 (Single-Port-Change, SPC) 2ボタン可検査性を提案し、全てのテスト対象パスが、単一端子変化2ボタン可検査性を満たすためのテスト容易化設計法を述べる。更に、コントローラの状態遷移、データバスへの制御信号を解析することにより、テスト不要なパスの判定方法を提案する。ベンチマーク回路に対する実験結果より、従来法に比べて面積オーバーヘッドを最大約50%削減し、テスト不要なバスをテスト対象バスから除外できることを示す。

2. 対象とする回路

RTL回路は、一般にコントローラとデータバスに分離することができ、それらは互いに制御信号線とステータス信号線で接続されている。RTLの回路要素には、信号線、演算モジュール、マルチプレクサ、レジスタがあり、各回路要素が持つ出力端子と入力端子は、信号線によって接続されている。外部入力からレジスタ、レジスタからレジスタ、レジスタから外部出力、外部入力から外部出力までのビット幅を持つ経路をRTLパスと呼ぶ。本稿では、単にパスと表現した場合、RTLパスのことを言う。また、レジスタにはホールド機能を持つものとそうでないものがある^(注1)。本稿では、データバスをテスト対象回路とし、データバス内部のバス遅延故障をテスト対象とする。データバス内部のバス遅延故障とは、データバス内に始点と終点を持つパスの遅延故障のことであり、制御信号線やステータス信号線のバス遅延故障は含まない。制御信号線やステータス信号線は、それぞれ外部から直接制御可能、外部で直接観測可能であるものとし、データバス内部の信号線のビット幅は均一であると仮定する。また、演算モジュールは2入力1出力とし、各バス上に存在する演算モジュール数は高々1つとする。

3. テスト生成

本章では、本手法で用いる階層遅延テスト生成と単一端子変化2ボタンテストについて述べる。また、テスト不要なパスの

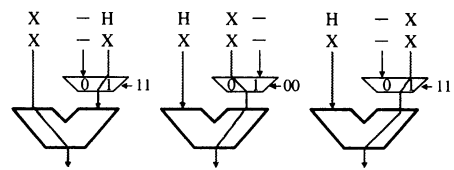


図1 ATPGに与える単一端子変化2パタンの制約

判定方法について説明する。

3.1 階層遅延テスト生成

階層遅延テスト生成は以下の2ステップからなる。

(1) ゲートレベルのテスト生成

組合せ部分回路単体に対して組合せテスト生成アルゴリズムを適用し、単一端子変化の2ボタン集合 T を生成する。組合せ部分回路とは、テスト対象バスの終点となるレジスタへの入力組合せ部分回路 (入力鍵) のことを言う。

(2) RTLのテスト生成

組合せ部分回路に対してテストプラン生成を行う。テストプランとは、任意の $t \in T$ を外部入力から組合せ部分回路へ正当化し、その出力応答を外部出力へ伝搬するための制御入力の時系列である。外部入力から組合せ部分回路の入力となるレジスタまでの経路を制御経路と言う。また、テスト応答を取り込んだレジスタから外部出力までの経路を観測経路と言う。

3.2 単一端子変化2ボタンテスト

単一端子変化の2ボタンとは、1端子のみ2ボタン目の値が変化するテストボタンである。この2ボタンにおいてテストされるパスは、2ボタン目が変化する1本のRTLパスである。このときテストされるRTLパスをオンパスと言う。一方、オンパスの始点で起こる遷移を終点まで伝搬させるために、遷移の起こらない2ボタンを印加するRTLパスをオフパスと言う。オフパスは、オンパスに対して高々1本あれば十分である。そのため、演算モジュールにおいて、オンパス側の入力端子と異なる入力端子に接続されたパスの中からオフパスを1本選択する。2ボタンが印加される2時刻において、各マルチプレクサは、オンパスとオフパスを選択する。

単一端子変化の2ボタンは、組合せ部分回路に制約を与えてテスト生成を行うことにより求まる。制約を表す記号として、 X と H を用いる。 X は任意の値、 H は直前の値を保持することを表す。図1にテスト生成時に与える制約の例を示す。 XX は連続する任意の値を生成可能なことを表し、オンパスの入力制約となる。 XH は1ボタン目のみ任意の値で、2ボタン目は1ボタン目の値を保持することを表し、オフパスの入力制約となる。オンパスでもオフパスでもないパスは、2ボタンを印加する時刻において、マルチプレクサに選択されない。よって、オンパスのテストに影響を与えないため、生成する2ボタンには制約を与えない。この例では、3回の制約付きテスト生成によって全てのパスをテスト対象にすることができる。単一端子変化2ボタンテストは、オンパスの始点にのみ任意の2ボタンを必要とするため、制御経路の生成が容易になるという利点を持つ。

(注1): 一般に、ホールド機能を持たない記憶素子をラッチと言うが、本稿ではラッチをホールド機能を持たないレジスタとして扱う

3.3 単一端子変化2パタンの完全性

本節では、単一端子変化2パターンテストが、ロバストテスト、ノンロバストテスト可能な故障を全てテストできることを証明する。

Smithらは[5]で、あるバス遅延故障に対してロバストテスト可能な単一入力変化の2パターンが存在するとき、かつそのときに限りその故障はロバストにテストできることを示した。また、ノンロバストテストに関して以下の定理が証明されている。

定理[6] あるバス遅延故障に対してノンロバストテスト可能な単一入力変化の2パターンが存在するとき、かつそのときに限りその故障はノンロバストにテストできる。

以上のことから、ロバストテスト、ノンロバストテスト可能な故障に対して、ロバストテスト、ノンロバストテスト可能な単一入力変化の2パターンが必ず存在すると言える。単一入力変化の2パターンは、テスト対象バス（ゲートレベルのバス）の始点となる1ビットのみ遷移が起こる。一方、単一端子変化の2パターンは、オンバスの始点となる n ビットに遷移を起こすことができる。そのため、1ビットのみ遷移を起こすことも当然可能である。よって、単一端子変化2パターンは単一入力変化の2パターンを被覆している。このことから、単一端子変化2パターンテストは、ロバストテスト、ノンロバストテスト可能な故障を全てテストできることが保証される。

3.4 テスト不要なバスの判定

RTLの記述を解析することにより、コントローラの状態遷移とデータバスへの制御信号の情報を得ることができる。本稿では、回路構造とデータ転送に関する情報からテスト不要なバスを抽出し、テスト対象バスから除外する。テスト不要なバスとは、フォールスバスと複数クロック耐性バス（Multiple clock tolerant paths）のことを言う。フォールスバスは、常に活性化されないバスのことである。複数クロック耐性バスは、バスの始点から終点まで値が伝搬するのに2クロック以上かかっても良いバスを指す。その結果、過剰テストの緩和が行われ、更にテスト不要なバスに対してテスト容易化設計を行う必要がなくなり、付加ハードウェアの削減にもつながる。

ここで、テスト不要なバスの判定対象バスを $p \in P$ とする。 p の始点となるレジスタを R_s 、終点となるレジスタを R_e 、各々の L/H （1/0に対応）の制御信号線を C_{R_s} 、 C_{R_e} とし、 p 上のマルチプレクサの制御信号線を C_{M_1}, \dots, C_{M_n} とする（マルチプレクサが p を選択するときの制御値を p_1, \dots, p_n とする）。また、コントローラの状態 $S = \{S_0, \dots, S_n\}$ の中で S_i から S_j へ直接状態遷移可能である時、 S_i と S_j を連続する2状態と言う。連続する2状態での制御信号を、 $C_x = (V_i, V_j)$ と表現する。テスト不要なバスを判定するためには、連続する2状態を考える必要がある。以下の2つの条件は、ある連続する2状態において p のテスト不要性を判定するための十分条件である。

定理1 どの連続する2状態に対しても、以下の条件のいずれかが成り立つとき、 p はテスト不要である。

条件1 $C_{R_s} = (0, -)$ または $C_{R_e} = (-, 0)$ -:ドントケア

条件2 $C_{M_1}, \dots, C_{M_n} \neq (-, p_1), \dots, (-, p_n)$ □

条件1はレジスタに関する条件で、状態 S_i で R_s に値が取り

込まれない、もしくは S_i で R_s に取り込まれた値が S_j で R_e に取り込まれないことを意味している。条件2はマルチプレクサに関する条件で、 S_i で R_e に取り込まれた値が R_e まで伝搬する S_j において、バス p が選択されていないことを意味している。

4. 単一端子変化2パターン可検査性

本章では、演算モジュールを通るバスについて単一端子変化2パターン可検査性を定義する。演算モジュールを通らないバスのテストは、オフバスが存在しないため、1本の制御経路と1本の観測経路を保証するだけで十分テスト可能である。1本の制御経路であれば、値の正当化に関してタイミングの衝突は起こらない。タイミングの衝突とは、同時刻に、同じ外部入力に対して異なる値が要求されることを言う。よって、次節で述べるスルー機能を用いることで必ず制御経路を構成できることから、制御経路に関して議論の対象としない。演算モジュールを通るRTLバス $p \in P$ のテストは、2本の制御経路 C_1, C_2 で2パターンを正当化し、観測経路 O_p で観測する。 C_1 はオンバスへの制御経路、 C_2 をオフバスへの制御経路とする。

定義1 C_1, C_2 が組合せ部分回路に対して単一端子変化の2パターンを正当化でき、かつその応答を O_p で観測可能なとき、オンバス p は単一端子変化2パターン可検査であると言う。

4.1 制御経路の条件

制御経路上に演算モジュールが存在する場合、演算モジュールの入力（制御経路側）から出力へ、値を変化させることなく伝搬させるために、スルー機能を用いる。一般の演算モジュール（加算器や乗算器など）では、他方の入力に定数値を印加することでスルー機能を実現できる。定数値の印加は、マスク素子や補助経路によって実現できる[7]。マスク素子は、制御信号が1のとき定数を出力し、0のとき入力を出力へ通過させる機能を持つ。補助経路は、外部入力から演算モジュールの入力までの経路のことで、タイミングを考慮して所望の定数を正当化することで実現する。以下では議論を簡単にするため、全ての演算モジュールにスルー機能があるものと仮定するが、単一端子変化2パターン可検査性を満たすのに十分なスルー機能の付加については、テスト容易化設計アルゴリズムで述べる。

単一端子変化2パターンを外部入力から組合せ部分回路に正当化するためには、制御経路間の順序深度の関係や、制御経路上のホールド機能の有無が重要となる。制御経路 C_i の順序深度は、制御経路上に現れるレジスタの数とし、 $SD(C_i)$ で表す。また、オンバスへの制御経路の終点を EP_{on} で表し、オフバスへの制御経路の終点を EP_{off} で表す。定理2では、オンバスに対して単一端子変化2パターンを保証するための制御経路の十分条件を述べる。

定理2 組合せ部分回路に対する制御経路が、以下の3つの条件のいずれかを満たすとき、 EP_{on} と EP_{off} に対してオンバスをテストするための単一端子変化2パターンを正当化できる。

条件1 C_1 と C_2 が異なる外部入力を持ち、経路を共有しない。

条件2 C_1, C_2 に関して、 $|SD(C_1) - SD(C_2)| \geq 2$ となる。

C_1 と C_2 が外部入力を共有する場合、分岐点から EP_{on}, EP_{off}

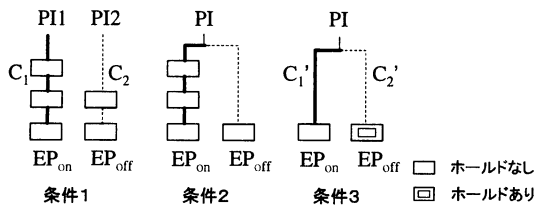


図 2

への経路をそれぞれ C'_1, C'_2 とする。

条件 3 $|SD(C'_1) - SD(C'_2)| \leq 1$ かつ、 C'_2 上にホールド機能を持つレジスタが少なくとも 1 つ存在する。 □

図 2 は上記の 3 つの条件を図示したものである。

証明 条件 1 は、2 本の制御経路間にタイミングの衝突が起こらないことから任意の 2 パタンを正当化可能である。条件 2 は外部入力を共有しているものの、タイミングが衝突することなく任意の 2 パタンを正当化できる。条件 1, 2 は、任意の 2 パタンを正当化できることから単一端子変化の 2 パタンも正当化可能と言える。条件 3 の場合であっても、先にオフパスへ 1 パタンを正当化し、値をホールドした後オンパスへ 2 パタンを正当化することで、単一端子変化の 2 パタンを正当化できる。 □

単一端子変化の 2 パタンは、 $|SD(C'_1) - SD(C'_2)| = 0$ の場合であってもホールド機能だけで解決できる。一方、任意の 2 パタンを正当化する場合、ホールド機能だけではタイミングの衝突を回避できず、より複雑なテスト容易化設計が必要となる。

4.2 観測経路の条件

組合せ部分回路のテスト応答を観測するためには、バスの終点となるレジスタで取り込んだテスト応答を変化させることなく外部出力へ伝搬すればよい。そのため、観測経路上の全ての演算モジュールに対してスルー機能が存在すればよい。

5. テスト容易化設計

本章では、全てのテスト対象バスを単一端子変化 2 パタン可検査にするためのテスト容易化設計アルゴリズムを提案する。このアルゴリズムは、過剰テストの緩和とテスト容易化設計に伴うハードウェアオーバーヘッドの最小化を図る。

5.1 付加ハードウェア要素

テスト容易化設計に用いる付加ハードウェアとして、以下の 3 つの要素を用いる。

- マルチプレクサ
- ホールド機能
- スルー機能

テスト用のマルチプレクサ（以下、通常マルチプレクサと区別するためテストマルチプレクサと言う）は、単一端子変化 2 パタン可検査性を保証するため、外部入力からレジスタまでの経路を新たに生成するのに用いる。ホールド機能とは、レジスタの値を保持する機能であり、レジスタの直前にマルチプレクサを付加し、出力を入力へフィードバックさせることで実現可能となる。なお、スルー機能に関しては、4.1 節で述べた通

りである。

5.2 テスト容易化設計アルゴリズム

テスト容易化設計アルゴリズムは、以下の 5 ステップで構成される。

- (1) テスト不要な RTL バスの判定
 - (2) 自己ループが原因となり 2 パタンを正当化できないレジスタの検出とテストマルチプレクサの挿入
 - (3) 各組合せ部分回路に対する制御経路、観測経路の決定
 - (4) 全てテスト対象バスが、単一端子変化 2 パタン可検査性を満たすためにホールド機能を追加
 - (5) テストプランの生成とスルー機能の付加
- ステップ 1

定理 1 の条件に従ってテスト不要バスを検出し、テスト対象から除外する。これにより、過剰テストの緩和を行うことができるだけでなく、テスト容易化設計なしではテストできないバスがテスト不要と判定されれば、付加するハードウェアの削減にもつながる。

ステップ 2

レジスタから組合せ回路要素のみを通して元のレジスタへフィードバックする経路をレジスタに関する自己ループと呼ぶ（以下、自己ループと略す）。この自己ループを持つレジスタの中で、2 パタンを正当化できないレジスタを 2 パタン制御不能レジスタと呼ぶ。2 パタン制御不能レジスタを始点とするバスをテストするための制御経路は、定理 2 を満たさない。2 パタン制御不能レジスタを検出するために、 R, M, Fo, Fi 4 種類のノードと有向辺を用いて回路をモデル化する。各ノードは順に、レジスタ、演算モジュール、分岐点、マルチプレクサを表しており、回路要素の出力端子から入力端子への信号線に対応した有向辺で接続される。図 3(a)(b) は 2 種類の簡単な構造の自己ループの例である。データバス内の任意の自己ループは、どちらかのグラフに Fo ノード、 Fi ノードを付加したグラフでモデル化できる。自己ループが、以下の 2 つの条件を同時に満たすとき、そのループ上のレジスタ R_i は 2 パタン制御不能レジスタである。

- (1) M_i から R_i の間に、外部入力から任意の値を正当化できる経路を持つ Fi_i がない
- (2) R_i を始点とし、 M_i を通る経路が 1 本でもテスト必要なバスである

2 パタン制御不能レジスタは、 M_i から R_i の間にテストマルチプレクサを挿入し、外部入力からテストマルチプレクサへ経路を追加することで、2 パタンを正当化することができる。定理 2 の条件 1 を満たすために、外部入力の選択は、演算モジュールの入力端子のうち、2 パタン制御不能レジスタが接続されていない方の端子に最も小さい順序深度で到達する外部入力以外の中から行う。これにより、ステップ 3 において演算モジュールの各端子には、異なる外部入力から制御経路が生成される。ただし、回路が唯一の外部入力しか持たない場合、その外部入力から経路生成を行う。定理 2 の条件 2 もしくは 3 を満たせない場合、ステップ 4 においてレジスタにホールド機能を付加する。

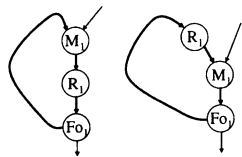


図3 自己ループ (a) 自己ループ (b)

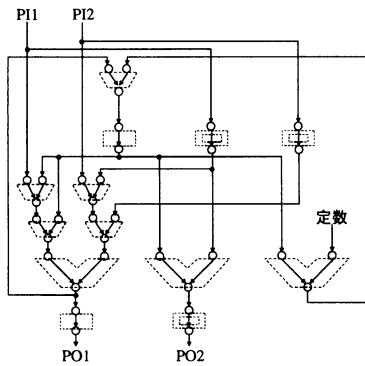


図4 端子グラフ

ステップ3

最小の面積オーバーヘッドで全てのテスト対象パスが単一端子変化2ボタン可検査性を満たせることが理想である。しかしながら、経路の数は膨大であり、存在する全ての解の中から最適解を見つけることは困難であるためヒューリスティックを用いる。本研究では、付加するハードウェアを少なくするために、制御経路の集合が外部入力をもととする林を構成するように制御経路を選ぶ。また、テスト実行時間の短縮を考慮し、外部入力からレジスタまでの順序深度が小さい制御経路を選択する。そこで、そのような経路を探索するために、端子グラフ $G = (V, E)$ を用いる [7]。頂点集合 V は、回路要素の入出力端子であり、 E は、信号線と回路要素の入出力関係を示す。図4はLWFの回路を端子グラフに変換した図である。この端子グラフに対して、レジスタに関する幅優先探索を行うことにより外部入力を根とする林を構成し、外部入力から各レジスタへの最も順序深度の小さい経路を見つける。探索は、全てのレジスタに到達した時点で終了する。幅優先探索を用いた経路探索は、従来法でも行われている。本稿では、単一端子変化2ボタン可検査性の特徴を考慮した探索条件を追加する。単一端子変化2ボタン可検査性を満たすには、経路上にホールド機能が存在する方が有利である。そこで、同じ順序深度の探索経路が複数存在する場合、ホールド機能を持つレジスタを始点とする経路探索を優先することにする。図5は、図4に対して幅優先探索を行った結果であり、生成された林を制御林と呼ぶ。

一方、各レジスタの観測経路は、観測林を生成することで決定する。観測林の生成は、外部出力からの幅優先探索により行うが、制御経路と観測経路でスルー機能を共有できることから、同じ順序深度ならば制御林と重なる枝を優先して幅優先探索を行う。

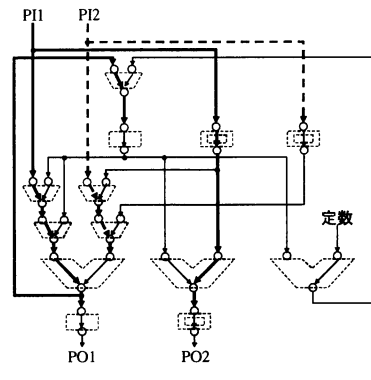


図5 制御林

ステップ4

最初に、単一端子変化2ボタン可検査性を満たさないパスを判定するために以下の処理を行う。各組合せ部分回路について注目し、各RTLパスが定理2を満たすかどうかを判定する。このとき、各レジスタへの制御経路や順序深度は、ステップ3で生成した制御林から得る。オンパスへの制御経路に対して、定理2を満たすオフパスへの制御経路が1本も存在しない場合、そのオンパスをテストするためのテストプランは存在しない。このような場合、オフパスの始点となるレジスタの中で、最も順序深度の小さいレジスタを、ホールド機能を追加する候補とする。候補群の中で、最も順序深度の小さいレジスタのうちの1つにホールド機能を追加する。ステップ3へ戻り、更新された情報を基に関連する部分の制御林を変更する。全てのテスト対象パスに対して、定理2を満たす制御経路の組が少なくとも1つ存在するまで繰り返す。最も順序深度の小さいレジスタから解決する理由は、制御林が木構造であるため、根（外部入力）に近い部分にホールド機能を追加することで、葉（レジスタ）の問題が解決される可能性があるためである。

ステップ5

ステップ4によって、各パスは単一端子変化2ボタン可検査性を満たしている。テスト実行時間ができるだけ短いテストプランを生成するために、各オンパスに対して最小の順序深度、かつオンパスとは異なる外部入力からの制御経路を持つオフパスを優先して選択する。そのようなオフパスが存在しない場合、最小の順序深度のオフパスの中から1つ選択する。このようにテストプランを決定することで、テスト実行時間は短くなる。

今まで、全ての演算モジュールの全ての入力端子から出力端子にスルー機能があると仮定して議論してきた。ここでは、全てのテストプランを決定した上で、真に必要なとされるスルー機能が、補助経路によって実現できるのか、それともマスク素子を付加しなければならないのかを調べる。スルー機能を必要とする場所は、制御林、観測林いずれかの枝が存在する入出力端子間である。これらのスルー機能に対して、制御経路や観測経路による値の正当化とタイミングが衝突しない補助経路を探索する。補助経路が存在しない場合、マスク素子を付加する。

6. 実験結果

本章ではベンチマーク回路を用いた実験より、階層2ボタン可検査性を満たすテスト容易化設計法[4]と本手法を、面積オーバーヘッド及びテスト実行時間について比較する。階層2ボタン可検査性を満たすデータパスは、各組合せ部分回路に対して任意の2ボタン可制御性、及び1ボタン可観測性を持つ。この従来法は、拡張スキャン方式に比べて低い面積オーバーヘッド、短いテスト実行時間を達成している。論理合成ツールは、DesignCompiler (Synopsys)を使用した。パス遅延故障に対する制約付き組合せテスト生成アルゴリズムは、本研究室のVirendra Singh氏が実装したものをを使用した。

表1は、各回路に対してそれぞれのテスト容易化設計法を用いた場合の面積オーバーヘッドと、付加したハードウェア要素の個数を示している。ただし、提案法において、テスト不要なパスの判定は行わず、提案法、従来法ともに全てのRTLパスをテスト対象とした場合の結果である。MUXはテストマルチプレクサ、HOLDはホールド機能、THRUはスルー機能を表す。REFF (Rotating enhanced-flip-flop)は、従来法でのみ使用される付加ハードウェア要素で、強制的に2ボタンを保持するためにレジスタとマルチプレクサを付加することから非常に面積オーバーヘッドが大きい。各回路において、提案法は従来法より小さい面積オーバーヘッドとなった。中でもPaulinとLWFの面積は、従来法に比べて約50%削減している。この理由は、従来法がREFFを付加する場合でも、提案法はマルチプレクサやホールド機能の付加で解決するためである。Tsengでは、両手法とも同じハードウェア要素を付加したため、同じ面積オーバーヘッドになっている。自己ループを多く持つ回路や、同じ外部入力から同じ順序深度で到達するレジスタ数が多い回路では、提案法と従来法の差が顕著に現れると言える。

表2にテスト実行時間の比較を示す。提案A、従来Aはどちらも演算モジュールを通る全てのRTLパスをテストするときのテスト実行時間である。演算モジュールを通らないRTLパスのテストは、両手法とも同じテスト実行時間となるため評価の対象にしていない。各組合せ部分回路に対するテストボタン数はどちらの手法も同じである。Paulin、LWFいずれの回路においても、提案法は従来法より短いテスト実行時間となった。提案B、従来Bはどちらもテスト不要なパスを判定した場合のテスト実行時間である。テスト不要なパスの判定はテスト容易化設計法に依存せず、Paulinでは11本、LWFでは3本のRTLパスをテスト不要と判定した。その結果、過剰テストを緩和するだけでなく、テスト実行時間の短縮も行うことができた。

7. まとめ

階層テスト生成に基づく従来の非スキャンテスト容易化設計法では、実用的な時間でテスト生成でき、実動作速度でテスト実行可能である。しかし、面積オーバーヘッドが大きいという問題があった。また、過剰テストの問題を考慮していなかった。本稿では、従来法の利点を失うことなく、面積オーバーヘッドを削減可能なテスト容易化設計法を提案した。更に、過剰テスト

表1 面積オーバーヘッドの比較

回路名	手法	面積オーバーヘッド (%)	MUX	HOLD	THRU	REFF
Paulin	提案	3.30	3	0	0	0
	従来	7.43	2	0	1	2
LWF	提案	6.38	1	1	0	0
	従来	13.99	0	0	0	1
Tseng	提案	3.12	1	0	2	0
	従来	3.12	1	0	2	0

表2 テスト実行時間の比較

回路名	手法	RTLパスの数 (本)	テスト実行時間 (クロックサイクル)
Paulin	提案A	25	1,594,211
	提案B	14	785,088
	従来A	25	1,645,299
	従来B	14	905,060
LWF	提案A	14	49,751
	提案B	11	38,748
	従来A	14	74,633
	従来B	11	59,137

の緩和も行った。従来法との比較では、全てのベンチマーク回路に対して、従来法よりも面積オーバーヘッドが小さい、テスト実行時間が短いことを示した。

謝辞 本研究に関し、多くの貴重な意見をいただいた本学の米田友和助手、岩垣剛中核的研究機関研究員はじめコンピュータ設計学講座の諸氏に感謝する。また、制約付き組合せテスト生成アルゴリズムを提供していただいたVirendra Singh氏に感謝する。本研究は一部、日本学術振興会科学技術研究費補助金・基盤研究B(2)(課題番号15300018)の研究助成による。

文 献

- [1] Angela Krstic and Kwang-Ting(Tim)Cheng, *Delay Fault Testing for VLSI Circuits*, Kluwer Academic Publishers, 1998.
- [2] B. I. Devadas and G. E. Stong, "Design for testability: Using scanpath techniques for path-delay test and measurement," *Proceeding of International Test Conf.*, pp. 365-374, 1991.
- [3] Tapan J. Chakraborty, Vishwani D. Agrawal, Michael L. Bushnell: "Design for testability for path delay faults in sequential circuits," *Proc. DAC'93*, pp. 453-457, 1993.
- [4] Md. Altaf-Ul-Amin, S. Ohtake and H. Fujiwara, "Design for hierarchical two-pattern testability of data paths," *IEICE Trans. on Information and Systems*, Vol. E85-D, No. 6, pp. 975-984, Jun. 2002.
- [5] G. L. Smith, "Model for Delay Faults Based Upon Paths," *Proceeding of International Test Conference*, Nov. 1985, pp. 342-349.
- [6] M. A. Gharaybeh, M. L. Bushnell and V. D. Agrawal, "Classification and Test Generation for Path-Delay Faults Using Single Stuck-at Fault Tests," *Journal of Electronic Testing: Theory and Applications*, Vol. 11, No. 1, pp. 55-67, Aug. 1997.
- [7] H. Wada, T. Masuzawa, K. K. Saluja and H. Fujiwara, "Design for strong testability of RTL data paths to provide complete fault efficiency," *Proc. Int. Conf. on VLSI Design*, pp. 300-305, 2000.