

[招待論文] IP 再利用を容易化する検証 IP とアサーション －検証 IP と STARC における取り組み－

今井正紀†

† 株式会社半導体理工学研究センター (STARC)

〒222-0033 横浜市港北区新横浜 3-17-2 新横浜友泉ビル 5F

E-mail: † imai@starc.or.jp

あらまし 複雑化する SoC と製品サイクルの縮小に対応するため設計生産性向上への要求が増大している。IP 再利用がその解決には必須である。結果として、SoC における IP の搭載率の向上が益々見られるようになってきている。ここで搭載される IP には内製 IP とともに 3rd パーティからの調達 IP があり、しばしば特に調達 IP の機能品質の問題が指摘されており、IP 再利用における阻害要因になっている。つまり IP 再利用の容易化を図るには先ず検証品質、効率向上により設計-検証間ギャップを埋める必要がある。それに向けては IP 品質の向上に繋がる標準化が必要であり、STARC ではアサーションチェッカーを含む検証 IP に関するガイドライン策定などの取り組みを行っている。それらについて概要を紹介する。

キーワード アサーション、検証、検証 IP、テストベンチ、HVL、IP 品質、デリバラブルズ

Verification IP and Assertion for IP-Reuse promotion － Verification IP and the related activities in STARC －

Masanori Imai†

† IP Reuse Group, Design Technology Development Dept. STARC, 5F Yusen Bldg., 17-2, Shin Yokohama 3-chome, Kohoku-ku, Yokohama, 222-0033 Japan

E-mail: † imai@starc.or.jp

Abstract Growing complexity of SoC's and reducing life cycle time of electronic products both are demanding higher design productivity. IP reuse is an absolute must for its solution. Consequently, the growing number of IP cores tend to be integrated into a single chip to improve the productivity. As well known, integrated IP cores include 3rd party IP cores besides dedicated IP ones. The 3rd party IP cores are sometimes said to be problematic in functional quality, which is one of the main roadblocks that disturb IP reuse promotion. Therefore, to ease IP reuse, we need to close design-verification gap in advance by IP quality enhancements and efficient verification methodologies like as the assertion technology. We are developing IP related standards leading to attaining our goals. A guideline for verification IP's including assertion checkers is one of such standards. Those activities in STARC are outlined.

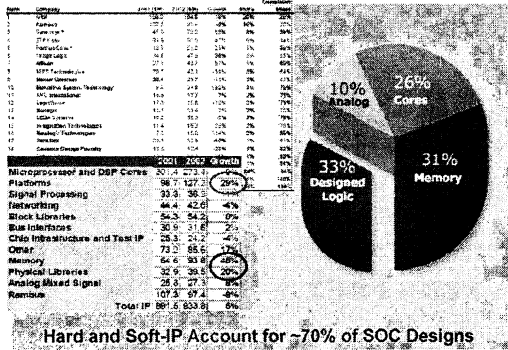
Keyword Assertion, Verification, Verification IP, Testbench, HVL, IP quality, deliverables

1. IP ベース SoC 設計における課題と動向

複雑化、大規模化により設計の困難さを増す SoC、一方、製品ライフサイクルの縮小に伴う TTM (Time To Market) の短縮化を求められる製品、このトレードオフの関係を解決するため設計生産性の向上が求められている。この有力な解決手段の一つに設計階層の抽象化とともに再利用設計、いわゆる IP (Intellectual Property) の再利用がある。

FSA (Fabless Semiconductor Association) によると図 1 に示すように SoC の約 70% が IP などの再利用ブロックにより占められており更に搭載比率は増えると予

測されている。再利用される IP にはいわゆる IP プロバイダからの購入 IP (3rd パーティ IP) が含まれるが、その機能品質問題が IP 再利用の容易化を阻害する要因として大きなものになっている。また SoC の respin における原因の内訳では機能的な原因単独で 60% 強を占めると言われている。この機能的な不具合のうち再利用した IP に起因する不具合は、IP の機能そのものの不具合、IP の利用法の誤りを合わせると機能的な不具合の半分程度を占めているというデータもある。SoC への IP の搭載率の増加傾向の中で IP 機能品質を向上させる技術、標準が求められている。

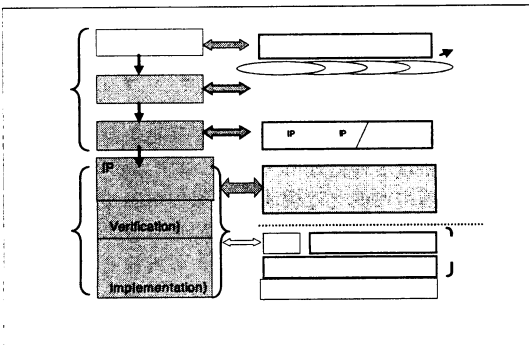


2. IP

これまで IP 再利用容易化に必要なインフラとなる技術開発、標準化を行ってきた (図 2)。

現在、IP の再利用は現に活発に行なわれているが図 2 の全てが統合された基盤の上で上記再利用、流通が行なわれているとは必ずしも言えない状況である。その大きな原因の一つとして以下に述べる 3rd パーティ IP の品質、第三者サポート問題があると考えている。

IP を用いる場合、IP の中身には手を加えないブラックボックスの利用と、IP の中身に手を加えるホワイトボックスの利用とがある。前者がより理想的な IP の再利用である。ただ IP の機能バグのために手を加えざるを得ないケースや、いわゆる面積、電力、速度の物理的 3次元の最適化のために手を入れるために後者になる場合が少なくない。前者においてもそうであるが、特にこの後者の場合に「IP の開発者以外の第三者によるサポート、利用」の困難さの問題が顕著になる。SoC 開発者は、本来自社にない補完技術獲得の手段として、あるいは設計期間短縮のために 3rd パーティ IP を購入する。一方、3rd パーティ IP プロバイダは自社の貴重な設計リソースの有効利用のために、サポートにリソースを張り付ける形でそれを割きたくないという事情がある。このため上記のような問題が発生する。



このため IP の機能のバグや IP の使い方における開発者とユーザの意図の相違による使用法の誤りなどにより 1 で述べたような SoC 全体の respin などにつながっているといわれている。その中で STARC において中心的に取り組んでいるのが IP の機能品質に絡む技術開発、標準化である。この取り組みに関し、最近注目を集めているアサーションを含む検証 IP が有力な手段となると考えており、それを IP 再利用の観点からどのようにモデル化したり、利用するかについての推奨ガイドライン策定が当面の大きな目標となっている。3 章以降でこれらについて紹介する。

3. STARC IP

IP の品質向上に向けて、① IP の品質が計測できる項目、IP とともに提供可能 (提供すべき) なデータセットの策定 (デリバラブルズ)、② IP の品質をそれに基づき計測するための定量化手順の策定、③ IP の品質を決める各項目の詳細化、特に検証関連項目での要素技術開発、および記述基準 (ガイドライン) の策定、標準化、の側面から取り組んでいる。①、②については 3.1、③については 3.1.3.2 で紹介する。

3.1 IP 品質基準とデリバラブルズ

・ IP 品質基準とスコアリング

IP の品質基準とは IP の機能品質を客観的に評価することを可能とする項目である。IP の品質を客観的に判断する項目は表 1 に示すように、本稿で注目する検証品質以外にも多岐にわたる。これらはある重み付けを行った後に客観的に IP 品質がスコアリングされる。

検証品質を測る項目はさらに表 2 のように詳細化される。表 2 の項目を計測することで検証品質を測ることになる。IP 品質項目については VSIA (Virtual Socket Interface Alliance)、FSA (fabless Semiconductor Association) などによる QIP という基準がありアナログ IP への対応などが検討されている。QIP (Quality IP) メトリックにおいても品質の上で重要性を増す検証 IP への対応も計画されているようである。

S ₁	(1)
S ₂	(2)
S ₃	(3)
S ₄	(4)
S ₅	(5)
S ₆	(6)

- (1)
- (2)
- (3)
- (4) 3
- (5)
- (6)
- (7) IP

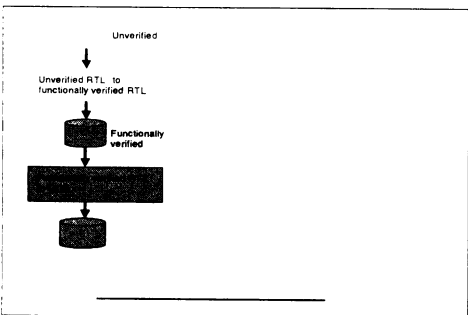
・デリバラブルズ

IP を SoC 開発者などに提供する場合に Verilog や VHDL などの HDL (Hardware Description Language) で記述された設計データそのもの他に購入あるいは導入判断に必要な提供データ、いわゆるデリバラブルズが同時に提供される必要がある。それがデリバラブルズの規定である。検証品質についても表 3 のように決められているが現状は大まかなものでそれぞれに対する詳細なガイドラインを策定する必要があり、現在取り組んでいる。

-
-
-
-
-
-
-

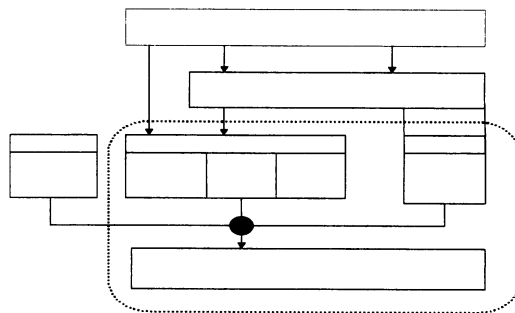
3.2 IP モデリング技術

IP モデリングに関しては図 3 に示すように機能検証系の IP モデリング、および実装検証系の IP モデリングという形で取り組んでいる。



このように（機能）検証済み RTLtoGDS インプリメンテーションで求められるモデルと検証済み RTL に至るフローで求められるモデルに分けられるが本稿では機能検証系の IP モデリングについてのみ述べる。当

IP モデリング開発で現在対象としているのは主に、IP 機能検証モデル(トランザクタ、ジェネレータ、BFM (Bus Functional Model))、モニタ、アサーションチェッカ、そして検証シナリオ等に関するモデリングや作成法についてのガイドラインである。アサーションチェッカーなどは 3.1 で述べた検証用のデリバラブルズを構成しており、IP の規格書（仕様書）から RTL(Register Transfer Level)データ、検証 IP に至るフローとこれらデリバラブルズの間接関係を図 4 に示す。ここでは省略しているが検証シナリオを開発する場合には、仕様書の executable spec. に相当するような検証項目の客観的な記述を目的とした UML(Universal Markup Language)などによる表現を介在する場合がある。

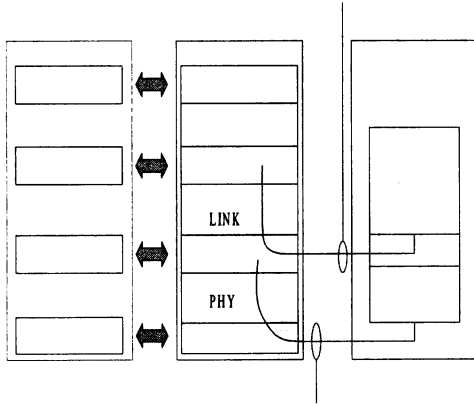


よく知られているようにアサーションには IP のインタフェース部に記述する外部アサーションと内部アサーションとがあるが IP のブラックボックス的利用法に対応したものが外部アサーション、ホワイトボックス的利用法に対応したものが内部アサーションと考えられる。外部アサーションは通信系などの標準インタフェース系に有効であり、アサーションの内容は標準から決まる。一方、内部アサーションの場合はアサーションの内容は標準とともに IP 開発者の実装の意図により決まる。検証 IP そのものの再利用を考えた場合、外部アサーション用のアサーションチェッカーは再利用が容易である。IP 再利用、特に流通が全面的には進まない中で通信系の標準 IP の再利用、流通が先ず期待されるのはこの理由である。なお、再利用容易化のためにテストベンチから独立にするため、ガイドラインでは外部アサーションを更に IP 機能検証モデルから外に置くことを推奨している。

（外部）アサーションチェッカーは図 5 のように IP 機能検証モデル DUT (Design Under Test) の間のインタフェースを流れるデータをチェックする。

IP 機能検証モデルはチェックするデータがあるプロトコルの観点でチェックするためにはモニタによってプロトコルを抽出する必要がある。アサーションを

記述する言語には4章で紹介する PSL(Property Specification Language) などがあるが、PSL などではプロトコルを直接記述しにくいということでモニタを Verilog など で記述することが行われるが、アサーション記述言語の利点をこの点で阻害しない意味で、その記述の誤りの可能性を減らすために記述性の良いモニタの記述言語の推奨や記述ガイドラインも合わせて検討していく必要があると考えている。



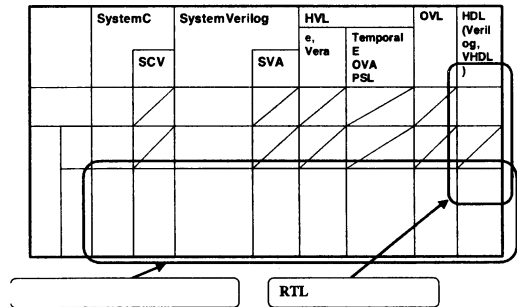
IP にはアサーションの発火に対応した検証シナリオがデリバラブルズとして提供されねばならない。IP 機能検証モデルはこの検証シナリオの再利用化のため図5に示す階層化を考えており、そのためのモデリングのガイドラインを開発中である。それにしたがって再利用されるアサーションチェッカーの方にも階層化が必要となってくるため異なる階層に対応したアサーションチェッカー間の構成部品の再利用ということもガイドラインとして可能か検討しているところである。

4. 検証 IP、言語、検証ガイドライン

検証 IP を開発するためにはそのための何らかの言語が必要である。現在、IP 機能検証モデルは SystemC、アサーションチェッカー、プロトコルチェッカーに関しては PSL をガイドラインの実証のために用いているが、ガイドラインとしては言語に出来る限り依存しないもの为目标に開発している。実証に用いる言語は標準性が高い proprietary でないという基準を満たす中から選んだ。すでに STARC において開発済みの RTL 設計スタイルガイド開発時のように言語 (Verilog, VHDL) が完全には絞られていないため言語非依存性のガイドラインを現時点では目標としている。実証には

今回用いなかったが IEEE-SA Corporate Initiative 下の WG で標準化 (P1364, P1800) に向けた作業が進められている SystemVerilog も想定する必要があり、ガイドラインには言語非依存性の観点から何らか反映することを考えている。

表4に検証言語、これまで開発した RTL 設計スタイルガイド、および開発中の機能検証関係のガイドラインの関係を示した。



5. おわりに

IP 再利用を容易するために注目している IP 機能品質向上へ向けた STARC における取り組みを紹介した。ここ 2、3 年のことと思われるが、商用の検証 IP の出現ためこれまで大きな課題であった 3rd パーティ IP を含む IP の機能品質の問題が何らか解消される方向に動くことが期待される。そのためには再利用を考慮した構造を検証 IP が持っている必要があり、その標準となるガイドラインを現在開発中である。

文 献

- [1] IP 技術開発室編、“品質向上への取り組み経緯と現状-”, STARC News, No. 20, PP12-13, April 2004
- [2] J. Bergeron, “Writing Testbenches”, (Second Edition), Kluwer Academic Publishers, 2003
- [3] F. Haque, J. Michelson, and K. Khan, “The Art of Verification with Vera”, Verification Central, 2001
- [4] S. Palnitkar, “Design Verification With e”, Prentice Hall PTR, 2003
- [5] ARM, http://www.jp.arm.com/event/pdf/seminar2004_06.pdf
- [6] Cadence, http://www.cadence.com/images/products/func_ver/fv_abvl.html, 2004
- [7] 後藤謙治, “SoC 検証を効率化する新技術 (前編) 「トランザクション」とは”, NIKKEI MICRODEVICES, May 2004
- [8] 後藤謙治, “SoC 検証を効率化する新技術 (後編) 「アサーション」とは”, NIKKEI MICRODEVICES, June 2004
- [9] Synopsys white paper, “Assertion-Based Verification”, March, 2003