

## 電源グリッド配線最適化の一検討

原田 大輝<sup>†</sup> 草野 健次<sup>††</sup> 嶋田 貴之<sup>†</sup> 石嶋 宏亘<sup>††</sup> 福井 正博<sup>†</sup>

<sup>†</sup>立命館大学大学院理工学研究科情報システム学専攻

<sup>††</sup>立命館大学理工学部電気電子工学科

<sup>‡</sup>立命館大学理工学部電子情報デザイン学科

〒525-0058 滋賀県草津市野路東 1-1-1

E-mail: {re009015, re004021, ro007013, re001021, mfukui}@se.ritsumei.ac.jp

あらまし ULSI の微細化技術の進展により、電源電圧の低電圧化、搭載回路の大規模化が進み、電源系を安定動作の重要性が増している。著者らは、配線密度や IR ドロップ、インダクタノイズ、エレクトロマイグレーション等を考慮して、電源配線系を最適化するアルゴリズムを検討し、簡単な実験によってその効果と問題点を明らかにした。

キーワード 電源配線, 電源グリッド, IR ドロップ, エレクトロマイグレーション,

## A Study for Power Grid Optimization

Taiki Harada,<sup>†</sup> Kenji Kusano,<sup>†</sup> Takayuki Shimada,<sup>†</sup> Hironobu Ishijima,<sup>†</sup> and Masahiro Fukui<sup>†‡</sup>

<sup>†</sup>Department of Information Science and Systems Engineering,

Graduate School of Science and Engineering Ritsumeikan University

<sup>††</sup>Department of Electrical and Electronic Engineering, Ritsumeikan University

<sup>‡</sup>Department of VLSI System Design, Ritsumeikan University

Noji-higashi 1-1-1, Kusatsu, Shiga 525-0058, Japan

E-mail: {re009015, re004021, ro007013, re001021, mfukui}@se.ritsumei.ac.jp

**Abstract** To the advent of super deep submicron age, stabilization of power supply system becomes more and more important against the lowering of power supply voltage, the increasing of size of circuits mounted. Authors have designed a power wiring optimization algorithm that considers wiring congestion, IR drop, inductor noise of power pads, and electro migration; also, have studied its usefulness and problems by examining the prototype system

**Keyword** power and ground routing, power grid, IR-drop, electro-migration

### 1. はじめに

近年、半導体微細化技術の進展と伴に、携帯電話をはじめとする情報家電、デジタルカメラ、車内 LAN など大規模システムが集積回路上に実現可能となり、パーソナル機器を中心に半導体は大幅な飛躍をしている。

一方、LSI 設計の低電圧化、微細化によって顕在化する IR ドロップやエレクトロマイグレーション[1] (以下 EM という) などによる、VLSI の電源系の不安定動作、性能劣化、信頼性低下が懸念され、それらを解決する最適化手法が強く求められている。

動作マージンを見込んだ電源配線設計を行ってしまうと、回路面積増大や配線資源およびコストの浪費を招く。また、電源でのインダクタノイズの影響は、

低電圧化にともない顕著に表れるようになり、各機能ブロックに悪影響を与える。その影響を最小限に抑える技術が必要とされているため、いっそう深刻な問題となっている。消費電流の増加にともない、ノイズや物理的現象に対して、電源配線のレイアウトや配置などの最適化を行う必要がある。

本研究は、電源配線系の動作を安定化させる手法を提案する。従来平均値等の静的な電力モデルでの解析 (e.g. [2]) が主流であり、電源配線の抵抗成分による電圧降下、つまり IR ドロップだけを考慮し解析する手法が多い[3]。

本文では、メッシュ構造の各頂点に時間変化する回路の電流消費モデルを動的に与え、過渡現象も加味して、動的なインダクタノイズや IR ドロップ、EM を

解析する。改善が必要な各頂点においては、電源配線幅やデキャップリング(以下デキャップという)容量の配置や大きさの最適化を行う方法を提案する。

以上の本質的な課題と解決方法を明確にするため、 $10 \times 10$  の小規模なメッシュ構造の電源配線に対して、プログラム実験を行い、検討を加える。

その結果から、 $1000 \times 1000$  の実用規模のメッシュ構造における解析方法についても考察する。

## 2. 問題定義

### 2.1 レイアウトモデル

微細化設計における電源配線最適化を行うため図1のようなメッシュ配線構造のレイアウトを考える。図1(b)に示すレイアウトは、図1(a)の格子の一部分を拡大したものである。

配線構造は垂直と水平の2層構造となっており、交点でコンタクトによってつながっている。電源配線の構造は各社各様であり、図1のように各枝の幅を可変とする方法や、図2のように電源を安定させたいところに新たな補強配線を通す方法などがある。電源配線以外にグランド配線も混在する。電源配線とグランド配線の間にはデキャップ容量と言われるキャパシタが挿入されており、動的なIRドロップやインダクタノイズを緩和する。

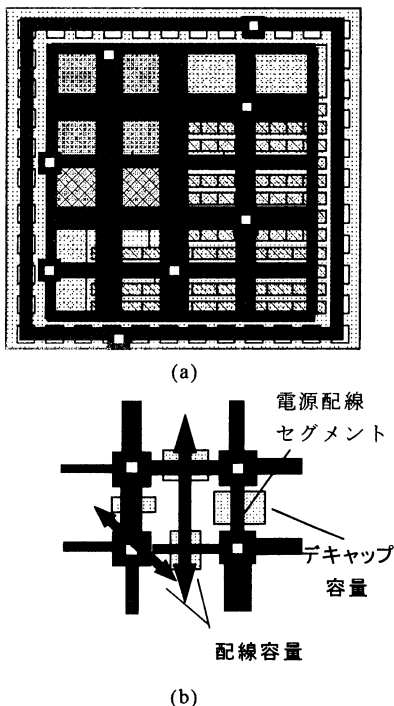


図1 電源配線構造の一例(各配線セグメントの幅が異なる構造) (a)チップ全体図, (b)部分拡大図

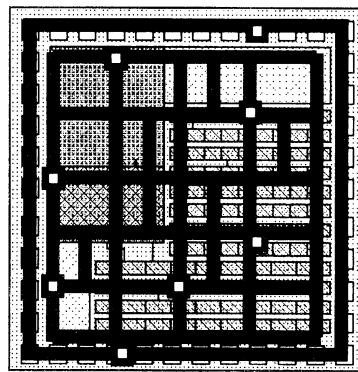


図2 電源配線構造の一例  
(補助配線による電源線補強タイプ)

図3で、その効果の一例を示す。この図において、縦軸はある頂点における電位、横軸は経過時間を示している。T(1), T(2)は、消費電流の値が変更される点を表す。実線はデキャップ容量を大きくしたときの変化であり、点線はデキャップ容量を小さくしたときの変化である。このグラフでデキャップ容量の違いによる動的なIRドロップの違いを見ることができる。

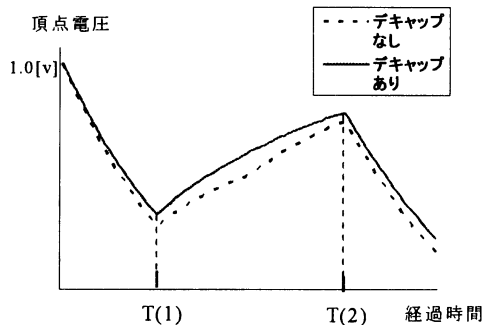


図3 デキャップ挿入時の電圧の変化

昨今の微細化設計では、電源電圧が1V前後に低電圧化しており、電源でのインダクタノイズに対する十分な動作マージンの確保が問題である。本手法ではノイズを減らすためにデキャップと配線幅の最適化によるアプローチをとる。デキャップ容量は一般的には拡散容量やメタル容量などが使われるが、前者の場合ではセル配置との面積トレードオフが生じ、後者の場合では配線との面積トレードオフ(すなわち、同じ領域を配線とデキャップ容量で取り合う)が生じる。本文は、後者を想定してモデル化したので、デキャップ容量を多くあるいは大きく配置しすぎると各格子における配線のための面積が減る。その結果、配線率の低下や、配線混雑度増によるカップリングノイズや歩留まり低下などの問題が生じる。

## 2.2 電源配線の回路モデル

本手法では図4に示す電源配線の回路モデルを使用する。メッシュ構造の各格子を構成する部分を格子領域と呼ぶことにする。格子領域の4辺の抵抗は、それぞれレイアウトモデルにおける対応する電源配線セグメントの抵抗値である。

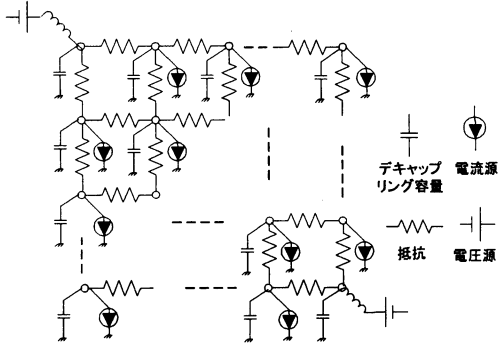


図4 メッシュ構造の回路モデル

また、各頂点に接続する容量は、その位置に配置されたデキャップ容量と配線容量の和である。各頂点にはLSIの各機能ブロックに供給する消費電流を表す電流源も接続されている。電源配線の動作を安定化させる指標として、IRドロップとEMに関する制約を設ける。

IRドロップ制約：電源供給ネットワークで、全ての頂点Vに対して、各機能ブロックが駆動するための最低電圧Vminを制約とする。

$$V > V_{\min}$$

EM制約：EMを生じさせないために、電流密度に最大値制約を持たせる。枝電流をI、配線幅wとおくと、電流密度σは、 $\sigma = I/w$ となる。

$$\sigma < \sigma_{\max}$$

## 2.3. インダクタノイズ

インダクタノイズが深刻な問題となっており、原因はパッケージの寄生インダクタンスである。各機能ブロックにおいて、消費電流が変化するにつれ、インダクタノイズが発生する。インダクタ成分による逆誘導起電力 ( $L \cdot dI/dT$ ) が生じるため、電圧源が不安定になり、回路の誤動作を招くので考慮する必要がある。インダクタノイズを抑えるために、電源配線設計範囲内での解決策としてはデキャップを用いる方法が挙げられる。しかしデキャップは面積とのトレードオフがあるので、この点も考慮しなければならない。

## 3. 回路解析の手法と評価

回路解析は、ニュートンラプソン法によって実現した。これは微小時間 $\Delta T$ における電圧などの変化を順次数値計算していく方法である。

LSIの各ブロックによる動的な消費電力は、図5に示すような時間変化する電流源によって表現する。これらの変化を起こすタイミングを  $T(0), T(1), \dots, T(k)$  ( $k=0, \dots, k_{\max}$ ) によって表現する。すなわち、 $T(k)$ の各々の時間ごとに、各電流源の値が変化する。

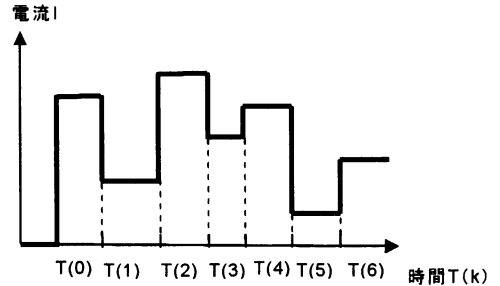


図5 動的電力モデル

回路解析プログラムは、時間  $T(k)$  における、電流源の値の変化に基づき、各枝電流、頂点電圧を数値解析的に求め、各時間における IR ドロップと枝電流密度をファイルに出力する。最初に、微小時間内は頂点電圧を固定と考え、微小時間 $\Delta T$ 後の各枝電流を求める。その後、各頂点における電荷Qを求め、その値から、各頂点での電圧を求める手順を繰り返す。微小時間 $\Delta T$ を適切に選べば、精度と処理時間を両立できる。本実験では、 $\Delta T$ は、局所的な時定数RCの1/100を用いた。

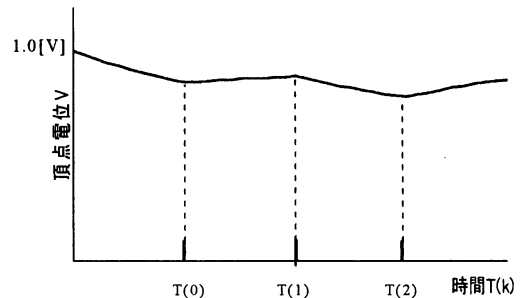


図6 頂点の時間に対する電圧の変化

図6は、1個の頂点における電位の時間変化をプロットしたものである。IRドロップの動的変化が見られる。

また、電源電圧のある頂点で、パッケージのインダクタンスによって生じる  $dI/dT$  ノイズの動的変化を求める。Vddは電圧源 Liはインダクタ Qはコンデンサ、Iはインダクタを流れる電流  $I_1, I_2$ は枝電流  $V_1, V_2$ は各頂点電圧である。

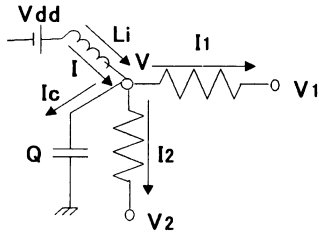


図7 di/dT ノイズのある頂点

インダクタノイズの変化を求めるため図7のように記号を定義する。まず頂点の電圧 V における電流 I1, I2 を求める。メッシュ回路の消費電流の値が変化した場合、インダクタによって V から Vdd に電流が流れ Vdd の値が変化し回路に影響を及ぼす。

#### 4. 最適化アルゴリズム

本手法は、評価関数を最も改善する場所と改善操作を発見し、その改善操作を改善が行われなくなるまで繰り返す方法、すなわち最大傾斜法を用いた逐次改善法を用いる。まず4.1節では、IR ドロップ、EM の値、配線率を総合的に評価改善するための評価関数について述べる。次に、4.2節でアルゴリズムを示す。

##### 4.1. 評価関数

最適化プログラムは、回路解析によって得られた IR ドロップと EM の値、配線率を総合的に考慮し、電源配線幅とデキャップの値を最適化する。最適化の評価指標としては、未結線リスク、IR ドロップリスク、EM リスクを用いる。詳細については以下に述べる。

##### A. 未結線リスク

各格子領域は、電源配線、信号線、デキャップで使用されるため、それぞれの占める面積の総和を格子領域の面積に比較し、その割合が増えると未結線を生じる危険性が増加する。格子の面積を S とし、電源配線の占める面積を Sp、信号線の占める面積を Sw、デキャップの占める面積を Sd とし、各面積 S に占めるそれらの割合を Ps とすると、

$$P_s = \frac{Sp + Sw + Sd}{S} \times 100 \quad (4)$$

となる。本手法では簡易化のためデキャップと配線が重ならないものとし、同じ層にあるものとする。Ps が 0% のとき配線可能で、100% となると配線不可能となる。その中間における未結線リスク Rw を図8ように定義する。本実験では、Ps が 30% から 70% までは直線的な関数によって未結線リスク Rw が増大するように定義した。

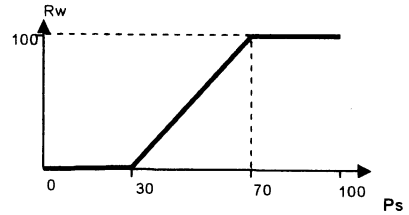


図8 未結線リスク

信号線の密度は配置配線システムの結果によって与える。あるいは、システムレベルのフロアプランによって概略の配線密度を推定し与えるものとする。一般的に、中央ほど密集度が高いので、図9のような傾向を示す。

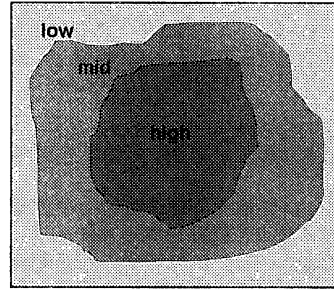


図9 信号配線密集度

##### B. IR ドロップリスク

各頂点において各ブロックが必要とする以上の電位を供給しなければならない。電圧源電位を Vdd とし、各頂点電位を V とする。電圧源に対する IR ドロップの割合を Pir とすると、

$$P_{ir} = \frac{V_{dd} - V}{V_{dd}} \times 100 \quad (5)$$

となる。IR ドロップが一定値以上となると、回路は動作しない。未結線リスクと同様にして、IR ドロップリスク Rir を図10に示すように定義する。本実験では、Pir が 0 から 20% までは直線的な関数によって IR ドロップリスク Rir が増大するように定義した。

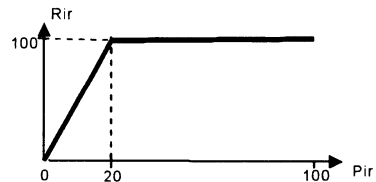


図10 IR ドロップリスク

### C. EM リスク

電流密度が増加すると、EMの危険性が増加する。リスクが100となる密度を $\sigma_{max}=I_{max}/W_{min}$ とする。リスクが増加し始める電流密度を $\sigma_p=(I_{max}/W_{min}) \cdot 0.7$ とする。未結線リスクと同様に、その中間におけるEMリスク $Rem$ を図11のように定義する。また $I_{max}$ の値は全ての枝に流れる電流の最大電流値を用いる。

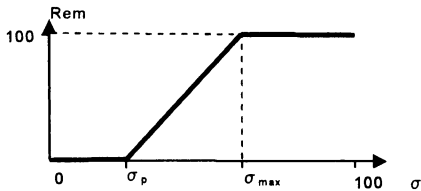


図11 EMリスク

### D. 評価関数

3つのリスクの内、どれか1つでも100%になれば有効な電源配線が実現できないことは明白である。そこで、100を最も安全として、そこからリスクを差し引いた値を安全度と定義する。最適化の指標は、3つの安全度の積を用いる。

格子領域Aの安全度 $Safe(A)$ は、以下のように与える。

$$Safe(A) = \frac{(100 - R_w)(100 - R_{ir})(100 - Rem)}{100^3} \quad (6)$$

最適化のための全体の評価関数Fは次のように定義する。

$$F = 1000 \cdot \min_A Safe(A) + \sum_A Safe(A) \quad (7)$$

## 4.2. 最適化アルゴリズム

最適化の基本的な考え方は、最大傾斜法を用いた逐次改善法である。その手順としては、(1)データの初期化、(2)全ての動作時間における回路解析を用いた評価関数の最悪値の計算、(3)最も改善度の高い場所と改善操作の選択、(4)改善が行われなくなるまで(2~3)の繰り返し、である。しかしながら、回路解析を何度も繰り返す手順であるため、処理の効率化のため、以下の工夫を行う。

### A. 重要な時間帯 T(k) の選択

本来、全ての時間帯 $[T(k), T(k+1)]$  ( $k=1, \dots, n$ ) において回路解析を行い、IRドロップやEMを評価すべきであるが、計算時間の節約のため、評価関数Fの最悪から2個目までの値を与える時間帯 ( $[T(k_1), T(k_1+1)]$ ,  $[T(k_2), T(k_2+1)]$ ) のみを回路解析の対象とする。尚、最適化処理の途中で、最悪から2個目までの値を与える時間帯は変化する可能性があるため、再選択を行う。

### B. 改善度の高い場所と改善操作の選択

本来、全ての格子領域(図4参照)において、その領域の電源配線セグメント、あるいはデキャップ容量を増やすあるいは減らす操作を考えられる全ての場合において評価し、その中で、最も評価関数値を改善する操作を選択することが好ましいが、計算時間を減らすため、評価値の一番低い格子領域と、ランダムに選択した4つの格子領域、合わせて5つの格子領域を選択する。ここでランダムに選んだのは最適化の際の評価値が最悪なセグメントばかりの改善度を比較するより、評価値の比較的穏やかな値でも改善度が高い値を取る可能性があるか検討するためである。

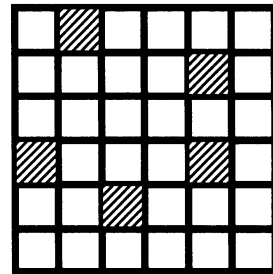


図12 5つの格子領域の選択

次に選択された格子領域のどの部分を改善するかを選択方法であるが、現状は、全ての可能性のある電源配線セグメントの幅増、幅減、デキャップ容量の増、減を選択している。それらの変化を起こした場合の、回路解析、リスク計算の処理をおこなった後、セグメントの評価値Fの値を算出する。これらの改善後の評価値を比較して最も改善度の高い改善操作を選択する。この部分の効率化については現在評価中である。

## 5. 実験および評価

実験では、配線幅とデキャップ容量は連続値ではなく、それぞれ3個の値を取り得ると設定し、それらの内から選択するものとした。なお初期状態では、各電源配線セグメントの幅、および、デキャップ容量は中間値とした。図13の実験結果は、時間T(k)における評価関数Fの改善を示すグラフである。

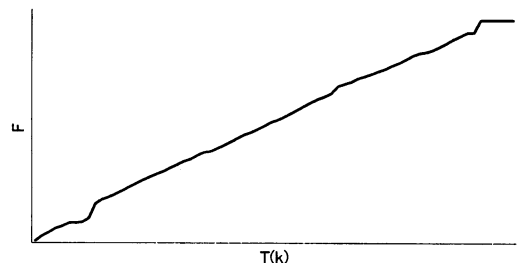


図13 評価値の推移

最適化処理に要した時間は、2091 秒であった。使用したワークステーションは CPU Pentium®4, 3.40GHz, メモリが 4GB である。プログラムは C 言語でコーディングし、コンパイラは、Visual Studio.NET を用いた。

最適化処理の格子領域の選択において、5 つの選択された格子領域のうち一番評価値の低いセグメントが選択されたか、あるいはそれ以外のランダムに選択された 4 つのうちから選択されたかを観察した。最適化処理の初期段階では評価値の一番低いセグメントが選択されたが、全体の評価値が改善するにつれに選択された 4 つのいずれか選択されるようになった。この理由については、初期は配線率の改善が行われ、後ほど I R ドロップや E M の改善に移行したものと想像するが、断定はでない。この点については、研究会発表時により詳細を報告する予定である。

次に、計算複雑度についてであるが、回路解析の処理は、回路規模の線形オーダーである。最適化処理は、重要な格子領域の選択、および改善度の高い場所と改善操作の選択は定数オーダーであり、改善が行われなくなるまでの繰り返し回数が、規模の増大に比例して増えるものとする、全体の計算複雑度は頂点数  $N$  に対して  $O(N^2)$  と推定できる。10\*10 規模で、約 2000 秒要したので、1000\*1000 メッシュでは、規模が 10000 倍になるため、20000000000 秒  $\approx$  56000000 時間となり、実用的な時間とはいえない。アルゴリズムの効率化で 10000 倍、回路解析処理部分をハードウェア化し、全体を 1000 倍効率化したとして、約 5 時間になると推定する。今後は、分割統治等を用いたアルゴリズムの効率化を検討するとともに、回路解析部のハードウェアアルゴリズム化の検討をすすめる予定である。

## 6. まとめと今後の課題

本稿では微細化設計における、電源グリッド配線の最適化手法を述べた。ニュートンラプソン法を用いて、微少時間で変化する簡易的な回路解析による実験を行い、計算時間や最適化プロセスに関して検証を行った。

今後は、それぞれのリスクのパラメータにはトレードオフが存在するので、この 3 種類のリスクの関係を解析し、最適性の向上を進める。

また、実践的な値を用い最適化手法のプログラミングを行うとともに、計算処理時間の効率化を行っていく。回路解析精度の評価・向上や、解析処理のハードウェア化も同時に検討する。

## 謝辞

本研究において、松下電器産業株式会社の山口龍一様、川上善之様、立命館大学の寺井秀一教授、吉川雅弥講師には、関連の資料提供および有益な議論に対して感謝致します。また立命館大学福井研究室の押川克寛氏には、プログラム作成に関する協力と議論に感謝致します。

本研究の一部は科研費基盤研究(C)(2) 16560316(平成 16 年~17 年)「大規模電子システムの仕様設計段階における高精度消費電力解析手法の研究」、文部科学

省ハイテクリサーチセンター整備事業プロジェクト“インテリジェント・シリコン・ソサエティにおける研究”による。

## 文 献

- [1] Su-Wei Wu, Yao-Wen Chang, “Efficient Power /Ground Network Analysis for Power Integrity-Driven Design Methodology” *Proceedings of DAC2004*, pp.177-180, June 2004.
- [2] Dionysios Kouroussis, Farid N. Najm, “A Static Pattern-Independent Technique for Power Grid Voltage Integrity Verification” *Proceedings of DAC2003*, pp.99-104, June 2003.
- [3] 山口隼司, 橋本昌宜, 小野寺秀俊, “IR ドロップを考慮した電源線構造の最適化手法” *ISSN1344-0640, IPSJ Symposium Series Vol.2002, No.10*, pp.253-258
- [4] Jaskirat Singh, Sachin S. Sapatnekar, “Congestion-aware Topology Optimization of Structured Power /Ground Networks,” *IEEE Trans. on CAD*, May 2005.
- [5] 草野健次, 原田大輝, 嶋田貴之, 石嶋宏直, 福井正博, “電源グリッド配線最適化の一検討,” 情報処理学会関西支部大会(2005 年 10 月発表予定)