

## 4 8-Way VLIW プロセッサ内蔵シングルチップマルチプロセッサ

田中 篤志<sup>†</sup> 須賀 敦浩<sup>†</sup> 早川 文彦<sup>†</sup> 多湖 真一郎<sup>†</sup> 今井 賢<sup>†</sup>

<sup>†</sup> 富士通研究所 〒211-8588 神奈川県川崎市中原区上小田中 4-1-4

E-mail: <sup>†</sup> tanaka.atsushi@jp.fujitsu.com, <sup>†</sup> suga.atsuhiko@jp.fujitsu.com, <sup>†</sup> hayakawa.fumihi@jp.fujitsu.com,  
<sup>†</sup> s-tago@jp.fujitsu.com, <sup>†</sup> imai.satoshi-02@jp.fujitsu.com

あらまし 我々は、デジタルハイビジョン TV 画像の復号化処理が可能な組み込み用プロセッサを低消費電力・低価格で実現させるために、8 並列同時実行可能な VLIW プロセッサコアを 4 つ内蔵した 1 チップマルチコアプロセッサ FR1000 を開発した。

本プロセッサは、プロセッサコア 533 MHz、メモリアンタフェースは 266 MHz、システムバスは 178MHz で動作する。四つのコアを用いた処理では、MPEG2 MP@HL の復号化をソフトウェアだけで実現することに成功した。本プロセッサの MPEG2 MP@HL 復号化時の消費電力は 3 W である。

キーワード 組み込み、マイクロプロセッサ、チップマルチプロセッサ、マルチコアプロセッサ、低消費電力

### Single-Chip Multi-Processor Integrating Quadruple 8-Way VLIW Processors

Atsushi TANAKA<sup>†</sup> Atsuhiko SUGA<sup>†</sup> Fumihiko HAYAKAWA<sup>†</sup>

Shinichiro TAGO<sup>†</sup> and Satoshi IMAI<sup>†</sup>

<sup>†</sup> Fujitsu Laboratories 4-1-1 Kamikodanaka, Nakahara-ku, Kawasaki, Kanagawa 211-8588 Japan

E-mail: <sup>†</sup> tanaka.atsushi@jp.fujitsu.com, <sup>†</sup> suga.atsuhiko@jp.fujitsu.com, <sup>†</sup> hayakawa.fumihi@jp.fujitsu.com,  
<sup>†</sup> s-tago@jp.fujitsu.com, <sup>†</sup> imai.satoshi-02@jp.fujitsu.com

**Abstract** To realize the low power consumption and low-cost equipment needed to encode high-definition broadcasts, we have developed a FR1000 single-chip multicore processor that integrates four 8-way VLIW FR-V processor cores. This new multicore processor cores operate at 533 MHz, the memory interfaces at 266 MHz, and the system bus at 178 MHz. By using four processor cores, MPEG2 MP@HL video streams can be decoded using just software. This processor needs three watts to decode MPEG2 MP@HL video streams.

**Keyword** embedded, microprocessor, chip multi-processor, multi-core processor, low-power.

#### 1. はじめに

近年、高解像度のリアルタイム動画処理、イメージング処理に代表されるように、組み込みプロセッサに要求される性能は高まっている。性能を向上させる方法は、周波数を向上させる方法と並列度を向上させる方法がある。しかし、周波数の向上は、消費電力が比例して増加してしまうため、低消費電力が要求される組み込みプロセッサでは適さない。

我々が開発してきたプロセッサ<sup>[1][2][3]</sup>は、低消費電力かつ高性能を実現するために、SIMD 命令によるデータレベル並列性、VLIW 方式による命令レベル並

列性といった細粒度の並列性を導入してきた。しかし、一連の命令列から抽出できる ILP には限界がある。最近の研究では、スーパースカラプロセッサが達成可能なプロセッサ動作率は IPC の値で 0.14 から 1.9 の間であると報告されている<sup>[5]</sup>。

プロセッサ動作率の上限を超える手法として、1 つのプロセッサで複数のスレッドを処理するマルチスレッド手法(SMT)、または、複数のプロセッサを 1 つのチップに乗せる手法(CMP)、を用いることで、粗粒度並列性を抽出する方法がある。

SMT は、一般にスーパースカラプロセッサのアウト

オブオーダー実行部を拡張し、複数スレッドを同時に実行することで実現している。一方、VLIW プロセッサはそのアーキテクチャ思想上アウトオブオーダー実行部を持たないため、一般に SMT は採用されない。

そこで我々は、VLIW 方式というアーキテクチャを継承しつつ、粗粒度の並列性を抽出するために、4つの VLIW プロセッサコアを 1 チップに搭載する方式 (CMP アーキテクチャ) を採用した FR1000 を開発した。

近年は MP98<sup>[6]</sup>、CELL<sup>[7]</sup> に代表される CMP を採用するアーキテクチャが数多く提案されている。ただし、CMP アーキテクチャのプロセッサが性能を発揮するためには、コアへのデータ供給や、ソフトウェアの構成を考慮する必要がある。

本稿では、CMP アーキテクチャを採用した FR1000 のチップアーキテクチャおよび、CMP 向けソフトウェアアーキテクチャについて報告する。

## 2. チップアーキテクチャ

FR1000 のブロック図を図 1 に示す。FR1000 は、4つのプロセッサコア、メモリコントローラ、システムバス、DMA コントローラ、周辺機器およびこれらを接続するバスで構成されている。

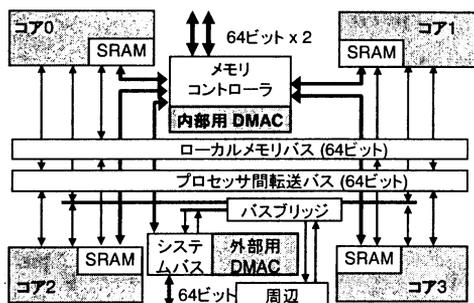


図 1: FR1000 ブロック図

### 2.1. コアアーキテクチャ

FR1000 プロセッサが搭載するプロセッサコアが実行する命令は、整数演算命令と浮動小数点演算命令及び 16 ビットの固定小数点演算命令であるメディア命令から構成される。メディア命令は、SIMD 方式により 1 つの命令で 4 演算又は 8 演算を同時に処理することができる。8 並列同時実行可能なプロセッサコアは、1 サイクルに整数演算命令 4 つ、メディア命令 4 つ実行できるため、1 サイクルに 28 演算を同時に処理することができる。従って、FR1000 プロセッサは、4 つのコアを有するため、1 サイクルで 112 演算を同時に処理する能力を有する。よって、FR1000 プロセッサは

533MHz 動作時のピーク性能は 59.7GOPS である

### 2.2. バスアーキテクチャ

CMP では、複数のコアがバスにアクセスするため、バスで競合が発生する。FR1000 では 4 つのプロセッサコアおよび 2 つの DMA コントローラを実装しており、これらのメモリアクセスが競合する。この競合を回避するために、FR1000 では図 1 に示すバス構成を採用した。

#### (1) 2 チャンネルメモリインタフェース

FR1000 4 つのプロセッサコアがメモリにアクセスしたとしても、性能低下を避けるため、2 チャンネルのメモリインタフェースを実装した。各コアはメモリインタフェースと専用のクロスバーで接続し、複数のコアが同時にメモリにアクセス可能とした。

#### (2) コア内蔵 SRAM

外部メモリアクセス削減のために、コアのローカルメモリとして SRAM を内蔵した。全てのコアは全ての内蔵 SRAM と専用のクロスバーで接続し、複数のコアが同時に内蔵 SRAM にアクセス可能とした。

#### (3) プロセッサ間通信向け専用バス

プロセッサ間通信を高速に行うために、専用のプロセッサ間通信制御機構を搭載した。

#### (4) 64 ビットシステムバスインタフェース

高解像度の画像データなど、大容量のデータを転送するために、64 ビット幅のシステムバスインタフェースを搭載した。

#### (5) DMA コントローラ

同時動作可能な DMA コントローラ 2 つを搭載した。1 つは、プロセッサコア間、プロセッサコア-外部メモリ間、メモリーメモリ間転送を行う内部用 DMAC である。もう 1 つは、メモリーシステムバス間の転送を行う外部用 DMAC である。内部用 DMAC と外部用 DMAC のチャンネル数は、それぞれ 16 チャンネルである。

## 3. CMP 向けソフトウェアアーキテクチャ

CMP では複数のプロセッサコアに処理を割り当てるために、ソフトウェアを分割することになる。その分割では以下の 2 点が重要である。

1. 各コアの処理量を均等にすること

2. プロセッサ間通信の処理量を少なくすること

上記の2点をふまえ、MPEG2 復号化ソフトウェアの CMP 向け構成を作成した。

MPEG2 復号化ソフトウェアを MPEG2 が規定するスライス層で分割する。分割のようすを図 2に示す。各コアにスライス1ライン分を割り当てることで、各コアの処理時間を均等にすることができる。また、MPEG2 では同一フレーム内のスライスの間でデータ依存が無い。そのため、スライス層で分割した場合は、プロセッサ間通信の処理時間を少なくすることができる。

マルチコア向け MPEG2 復号化ソフトウェアのフローチャートを図 3に示す。コア0が行う処理は、前処理、ピクチャヘッダ解析、他コアの起動、スライス層以下の復号化、他コアの完了待ちである。コア0以外のコアが行う処理は、スライス層以下の復号化とコア0との同期である。

メインメモリへのアクセスを削減するために、復号後のデータはいったん内蔵 SRAM にストアし、その後、内部 DMAC が内蔵 SRAM からメインメモリへバースト転送する方式を採用した(図 4)。外部 DMAC はメインメモリとシステムバスに接続されるビデオチップ間のデータ転送を行う。内部 DMAC のデータ転送はスライス処理後に開始され、データ転送はスライスを単位として行われる(図 5)。

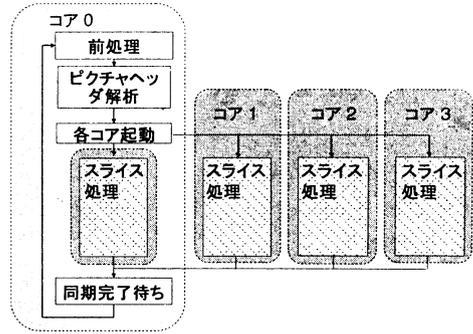


図 3: マルチコア向け MPEG2 復号化フローチャート

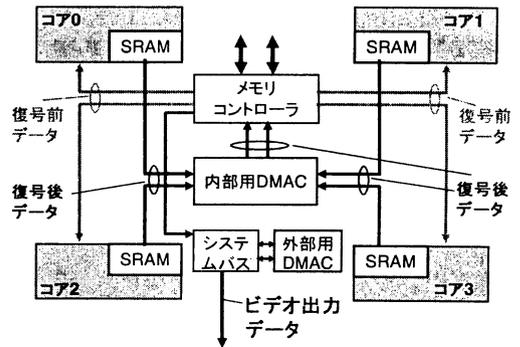


図 4: MPEG2 復号化時の DMAC 動作状況

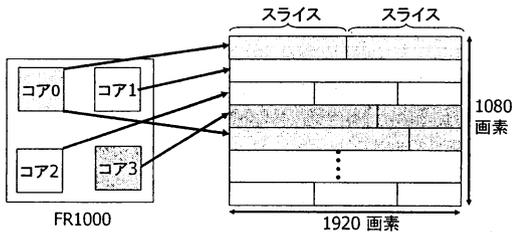


図 2: スライス層分割

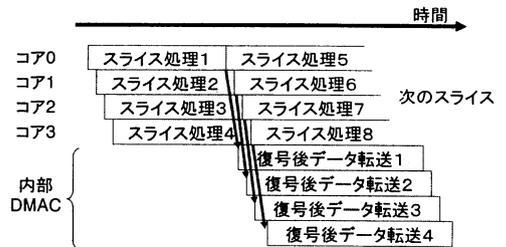


図 5: MPEG2 復号化時の内部 DMA 転送内容

#### 4. 性能評価

2.2章と3章で示したバスアーキテクチャとソフトウェアアーキテクチャを FR1000 で評価する。

#### 4.1. バスの性能評価

FR1000 の DMA 転送性能を評価した。内蔵 SRAM 間の転送とメモリ上のある領域のデータをメモリ上の別の領域へ転送を行いながらメモリと外部デバイスとの間のデータ転送を行った時の性能を測定した。測定の結果、メモリ間転送及びメモリ-外部デバイス間転送ともにそれぞれ 1GB/s の性能を実現し、競合が発生した場合も 1GB/s 以上の転送性能が確保できることが確認できた。

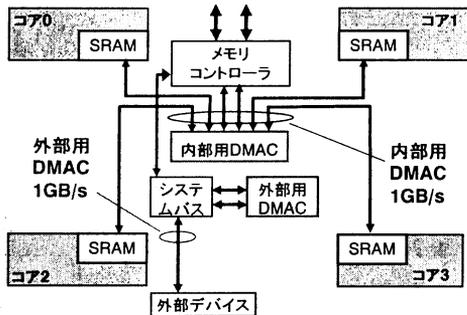


図 6：データ転送性能

#### 4.2. ソフトウェアの性能評価

3章で示したソフトウェアアーキテクチャを実装し、FR1000でMPEG2 MP@HLの復号化の性能を測定した。復号化するデータ形式は、画像サイズは1920×1088、ビットレートは20Mbpsである。

測定の結果、FR1000では、MPEG2 MP@HLを復号化するのに必要な周波数は約400MHzになった。なお、FR1000の1つのコアでMPEG2 MP@ML(画像サイズ720×480、ビットレート8Mbps)を復号化するのに必要な周波数は190MHzとなった。また、FR1000の1つのコアでMPEG2 MP@HLを復号化では、800MHz以上の周波数が必要であることが分かった。

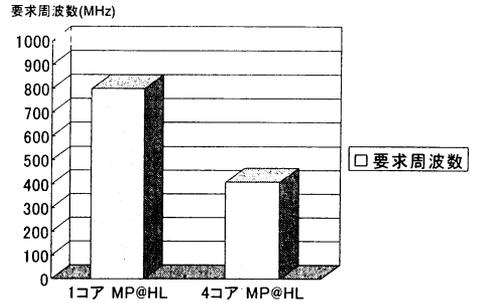


図 7：MPEG2 MP@HL 性能評価結果

#### 5. まとめ

本稿では、8 並列同時実行可能な VLIW プロセッサコアを 4 個内蔵した 1 チップマルチコアプロセッサを報告した。本プロセッサは、1 サイクルで 112 演算を処理することができ、各コアに 128KB の内蔵 SRAM を搭載し、2 チャンネルのメモリインタフェース、64 ビットのシステムバスインタフェースを持つ。

本プロセッサは、90 nm CMOS 9 メタル層のプロセス、900 ピンのフリップチップパッケージを用いて開発し、チップサイズは 11.9 mm × 10.3 mm である。プロセッサコアは 533MHz、メモリインタフェースは 266MHz、システムバスインタフェースは 178MHz で動作する。533MHz 動作時のピーク性能は 59.7GOPS である。

FR1000 は、MPEG2 MP@HL の復号化処理を約 400MHz で実現することができ、そのときの消費電力は 3W である。MPEG2 MP@ML の約 6 倍の処理量がある MPEG2 MP@HL 復号化を、およそ 2 倍程度の消費電力で実現し、高性能化と低消費電力化を同時に達成した。

コア	4 コア 8-way VLIW アーキテクチャ
メモリ	32 KB+32 KB/コア (D-キャッシュ, I-キャッシュ) 128 KB/コア (ローカルメモリ)
DMA コントローラ	16 チャンネル (内部転送), 16 チャンネル (外部転送)
インタフェース	メインメモリ IF 266 MHz 64 bit x 2ch システムバス 178 MHz 64 bit
テクノロジー	90-nm CMOS, 9 層メタル
トランジスタ数	28M (ロジック), 55M (メモリ)
動作周波数	533 MHz @ 1.2 V
消費電力	3.0 W @ 1.2 V, 533 MHz
パッケージ	900 ピン FCBGA

表 1: チップ仕様

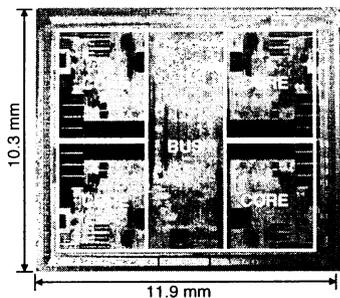


図 8: 1 チップマルチプロセッサのチップ写真

## 文 献

- [1] A.Suga, "A 4-Way VLIW Embedded Multimedia Processor", IEEE Solid-State Circuits Conference, Vol.43, pp.240-241, Feb. 2000
- [2] A.Suga, "Introducing the FR500 Embedded Microprocessor", IEEE MICRO, vol.20, No.4, pp.21-27, Jul./Aug.2.2000
- [3] H. Okano et al., "An 8-way VLIW embedded multimedia processor built in 7-layer metal 0.11  $\mu$  m CMOS technology," ISSCC Dig. Tech. Papers, pp.374 - 375, Feb 2002.
- [4] T. Shiota et al., "A 51.2GOPS 1.0GB/s-DMA single-chip multi-processor integrating quadruple 8-way VLIW processors," ISSCC Dig. Tech. Papers, pp.18 - 19, Feb 2005.
- [5] U.SIGMUND, T. UNGERER, "Memory hierarchy studies of multimedia enhanced simultaneous multithreaded processors for MPEG-2 video decompression," In Proceedings of the Workshop on Multithreaded Execution, Architecture and Compilation, August 2000
- [6] M. Edahiro, S. Matsushita, M. Yamashita, N. Nishi, "A Single-Chip Multiprocessor for SmartTerminals," IEEE MICRO, pp.12 - 20, July, 2000.
- [7] D.Pharm et al., "The Design and Implementation of a First-Generation CELL Processor," ISSCC Dig. Tech. Papers, pp.184 - 185, Feb 2005